


1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41
42



计算机组成实验指导书-LAB3

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB3	CSE-COA-LAB-003	0.3	1 of 15
	作者	修改日期	公开	
	WnSN Lab	9/21/2012		

1. OVERVIEW

1.1 实验名称

简单的类 MIPS 单周期处理器实现 – 控制器, ALU

1.2 实验目的

1. 理解 CPU 控制器, ALU 的原理

1.3 实验范围

本次实验将覆盖以下范围

1. ISE 的使用
2. Spartan-3E 实验板的使用
3. 使用 Verilog HDL 进行逻辑设计
4. CPU 控制器的实现
5. ALU 的实现

1.4 实验预计时间


120~150 分钟

1.5 实验报告与验收办法

需提交纸质报告, 实验完毕需验收登记

1.6 注意事项

1. 本实验的逻辑设计工具为 Xilinx ISE13.4, 但不仅限于此, 学生可以使用自己喜欢的逻辑设计工具, 如 Snyplify 等。

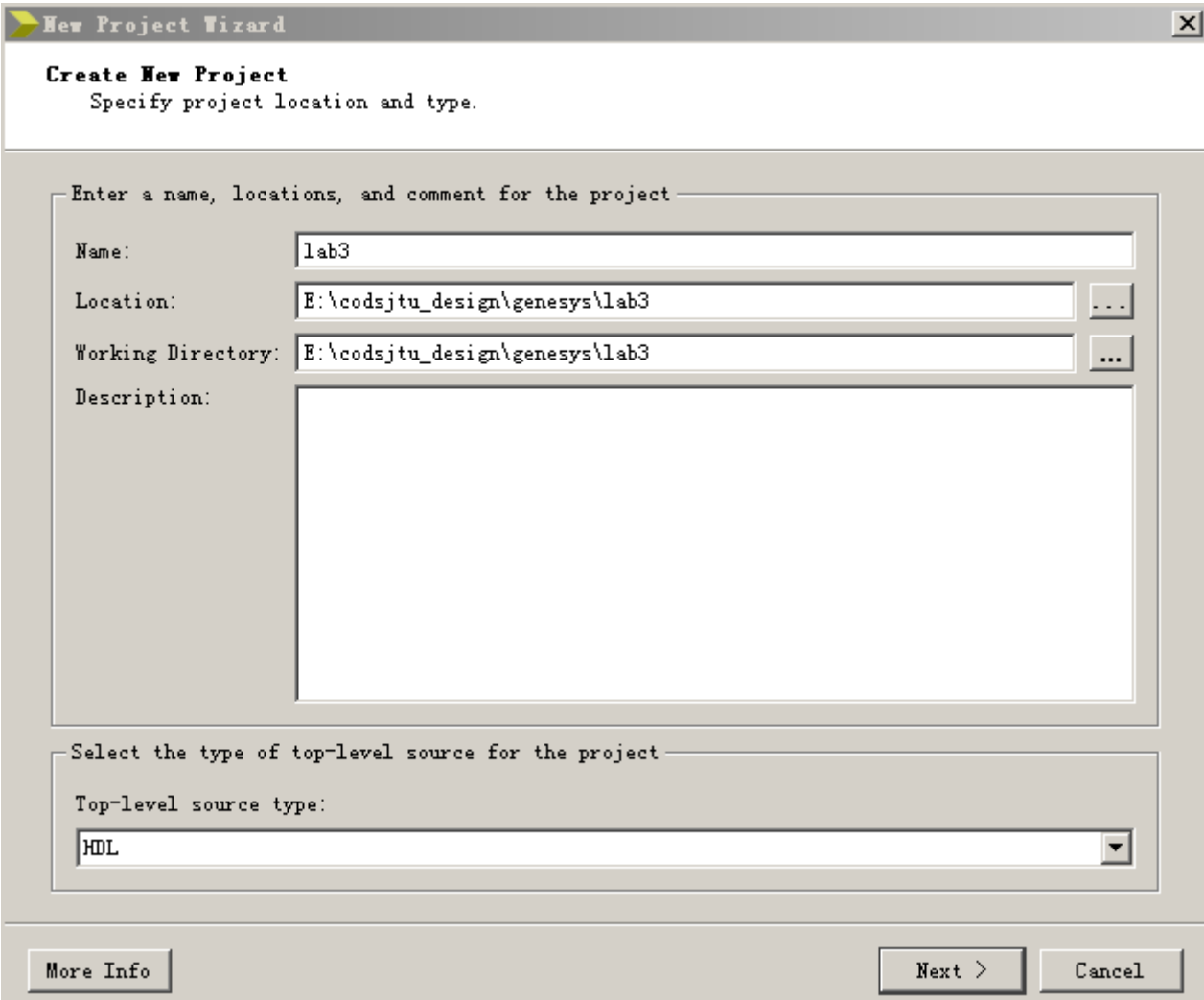
 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB3 作者 WnSN Lab	CSE-COA-LAB-003 修改日期 9/21/2012	0.3	2 of 15 公开

2. 新建工程


2.1 实验描述

2.1.1 新建工程

- 1. 启动 ISE 13.4。
- 2. 选择 File > New Project... 出现 New Project Wizard。
- 3. Project Name 填写 lab3，选择工程 Project Location,Top-level Source Type 选择 HDL。点击 Next。



4. Device Properties 中各属性填写如下：
Product Category: **ALL**

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB3	CSE-COA-LAB-003	0.3	3 of 15
	作者	修改日期		
	WnSN Lab	9/21/2012	公开	

Family: **Spartan3E**
Device: **XC3S500E**
Package: **FG320**
Speed: **-4**
Synthesis Tool: **XST(VHDL/Verilog)**
Simulator: **ISim (VHDL/Verilog)**，也可用 Modelsim 仿真。
Preferred Language: **Verilog**

New Project Wizard

Project Settings

Specify device and project properties.

Select the device and design flow for the project

Property Name	Value
Evaluation Development Board	None Specified
Product Category	All
Family	Spartan3E
Device	XC3S500E
Package	FG320
Speed	-4
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	Verilog
Property Specification in Project File	Store all values
Manual Compile Order	
VHDL Source Analysis Standard	VHDL-93
Enable Message Filtering	

More Info

< Back

Next >

Cancel

5. 点击 Next
6. 在 New Project Wizard – Project Summary 中点击 Finish，结束建立工程

<div>上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering</div>	标题	文档编号	版本	页
	计算机组成实验指导书 LAB3	CSE-COA-LAB-003	0.3	4 of 15
	作者	修改日期	公开	
	WnSN Lab	9/21/2012		

3. 主控制单元模块 CTR

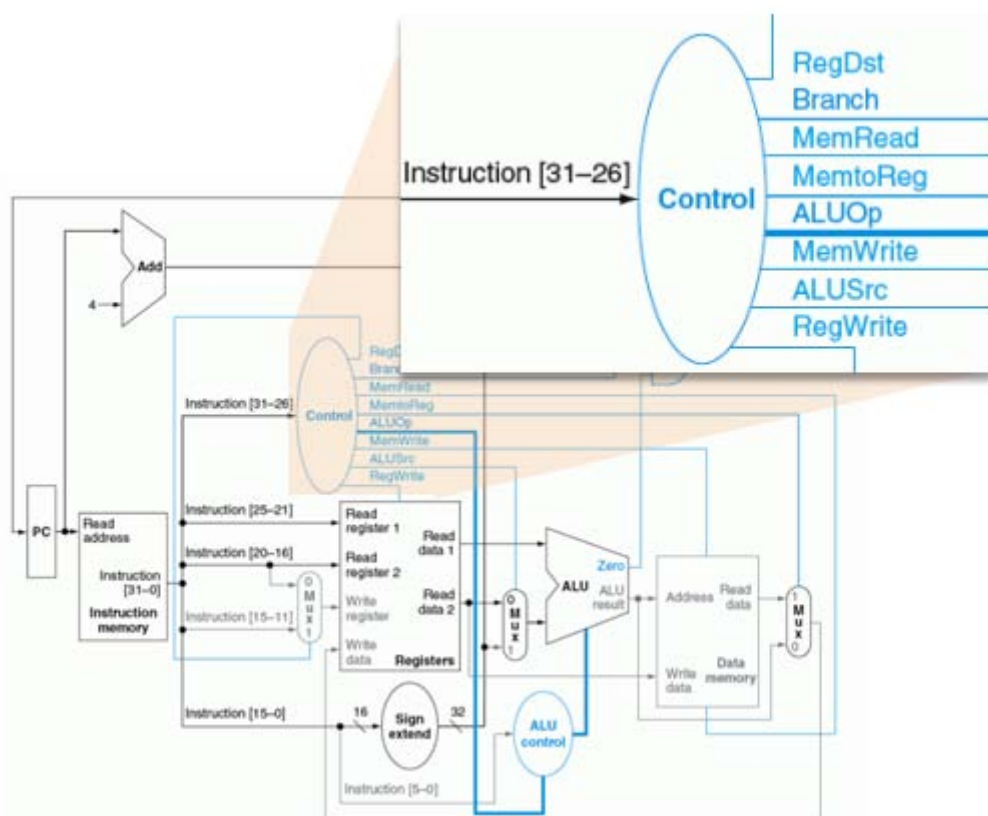
3.1 实验描述

3.1.1 模块描述

主控制单元输入为指令的 opCode 字段，即操作码。操作码经过主控制单元的译码，给 ALUCtr, Data Memory, Registers, Muxs 等部件输出正确的控制信号。

R	opcode		rs		rt		rd		shamt		funct	
	31	26	25	21	20	16	15	11	10	6	5	0
I	opcode		rs		rt		immediate					
	31	26	25	21	20	16	15	0				
J	opcode		address									
	31	26	25									

Mips 基本指令格式

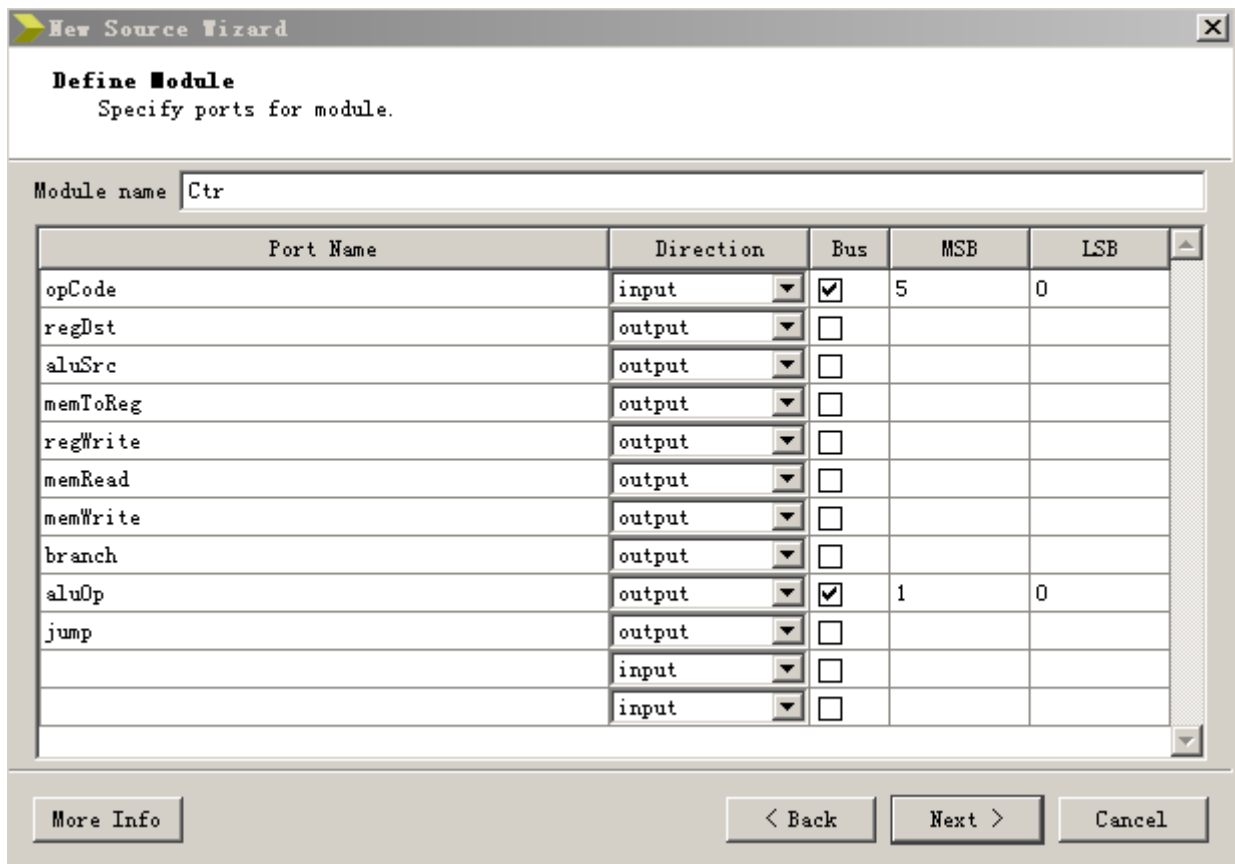


主控制模块（控制模块的 IO 定义）

上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB3	CSE-COA-LAB-003	0.3	5 of 15
	作者	修改日期	公开	
WnSN Lab		9/21/2012		

3.1.2 新建模块源文件

- 1. 新建文件命令：Project – New Source...
或：Hierarchy 窗口中，在正确设备名 (xc2vp30-7ff896 或类似)上右键鼠标，弹出菜单中点击 New Source...



```
20 //////////////////////////////////////////////////
21 module Ctr(
22     input [5:0] opCode,
23     output regDst,
24     output aluSrc,
25     output memToReg,
26     output regWrite,
27     output memRead,
28     output memWrite,
29     output branch,
30     output [1:0] aluOp,
31     output jump
32 );
33
34
35 endmodule
```

<div>上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering</div>	标题	文档编号	版本	页
	计算机组成实验指导书 LAB3	CSE-COA-LAB-003	0.3	6 of 15
	作者	修改日期	公开	
	WnSN Lab	9/21/2012		

或这样声明模块端口：

```
20 //////////////////////////////////////
21 module Ctr(opCode, regDst, aluSrc, memToReg, regWrite, memRead, memWrite,
22           branch, aluOp, jump);
23
```

3.1.3 编写译码功能

Input or output	Signal name	R-format	lw	sw	beq
Inputs	Op5	0	1	1	0
	Op4	0	0	0	0
	Op3	0	0	1	0
	Op2	0	0	0	1
	Op1	0	1	1	0
	Op0	0	1	1	0
Outputs	RegDst	1	0	X	X
	ALUSrc	0	1	1	0
	MemtoReg	0	1	X	X
	RegWrite	1	1	0	0
	MemRead	0	1	0	0
	MemWrite	0	0	1	0
	Branch	0	0	0	1
	ALUOp1	1	0	0	0
	ALUOp0	0	0	0	1


主控制模块真值表（OpCode 与控制输出的编码关系）

注：Jump 指令编码是 000010，Jump 信号输出 1，其余输出 0

指令	opCode
R 型： add, sub, and, or, slt	000000
I 型： lw	100011
I 型： sw	101011
I 型： beq	000100
J 型： J	000010

指令操作码

用 verilog 代码写出上述真值表内容。实现方式多种多样，这里给出一种使用 case 语句的参考方案，如下图：

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB3	CSE-COA-LAB-003	0.3	7 of 15
	作者	修改日期	公开	
	WnSN Lab	9/21/2012		

```

34     reg regDst;
35     reg aluSrc;
36     reg memToReg;
37     reg regWrite;
38     reg memRead;
39     reg memWrite;
40     reg branch;
41     reg [1:0] aluOp;
42     reg jump;

43
44     always @ (opCode)
45     begin
46         case (opCode)
47             6'b000010: // jump
48             begin
49                 regDst = 0;
50                 aluSrc = 0;
51                 memToReg = 0;
52                 regWrite = 0;
53                 memRead = 0;
54                 memWrite = 0;
55                 branch = 0;
56                 aluOp = 2'b00;
57                 jump = 1;
58             end

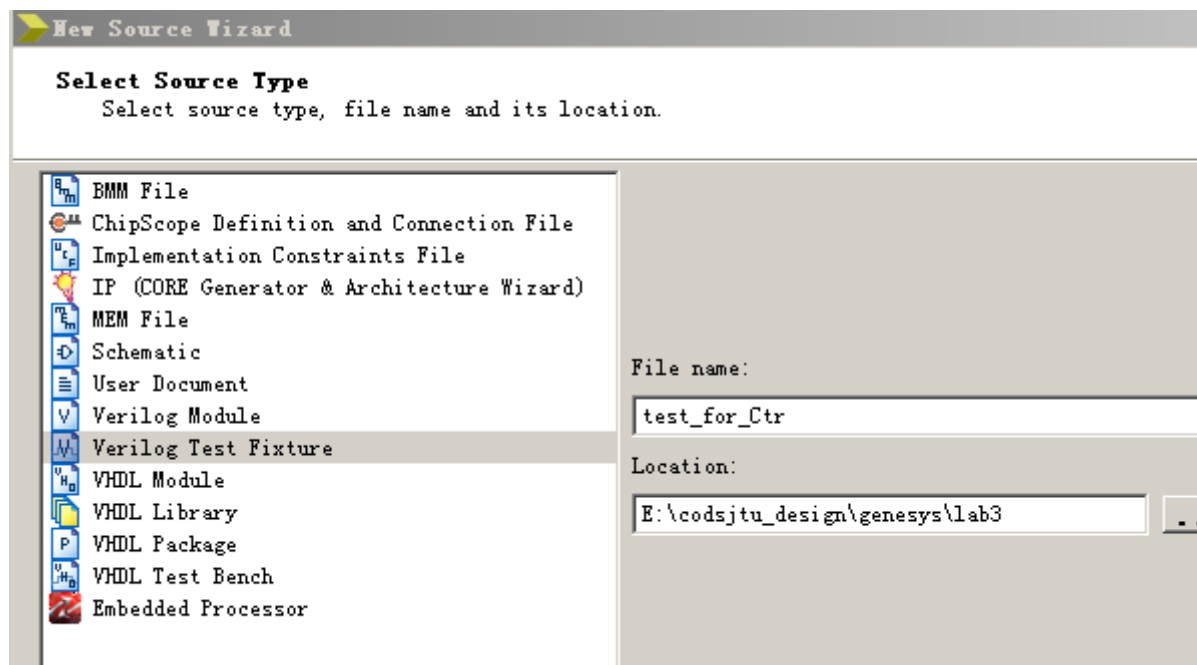
59         // add R type here
60         // 6'bxxxxxx:
61         // begin
62         // ..
63         // end

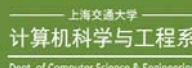
64
65         // add lw here
66         // add sw here
67         // add beq here
68         default:
69         begin
70             regDst = 0;
71             aluSrc = 0;
72             memToReg = 0;
73             regWrite = 0;
74             memRead = 0;
75             memWrite = 0;
76             branch = 0;
77             aluOp = 2'b00;
78             jump = 0;
79         end
80     endcase
81 end
82 endmodule

```

3.1.4 添加 Testbench 仿真文件进行行为仿真

1. 右键选中 Hierarchy 窗口，点击 New Source，创建 Testbench 文件

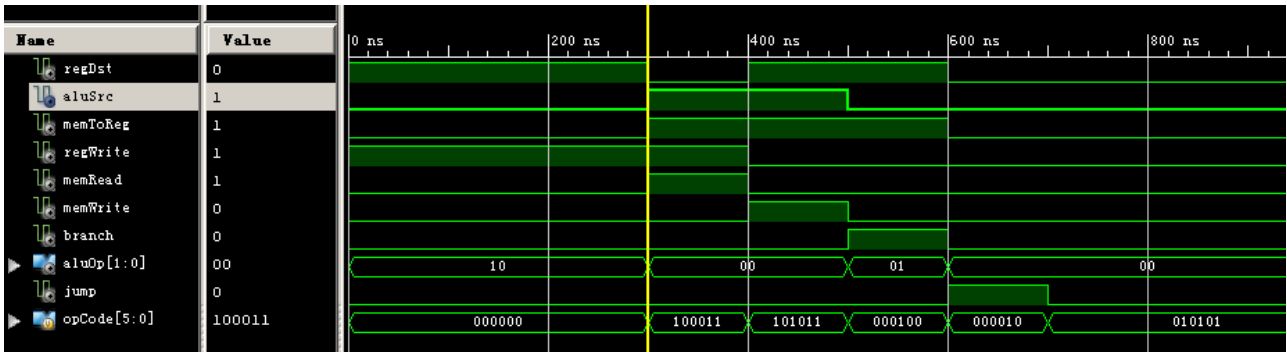


	标题	文档编号	版本	页
	计算机组成实验指导书 LAB3	CSE-COA-LAB-003	0.3	8 of 15
	作者	修改日期	公开	
	WnSN Lab	9/21/2012		

2. 下一个窗口选择 Ctr 模块，点击 Next。工具会自动为 Ctr 创建 Testbench 模板文件。
3. 在该文件下添加如下激励，即输入信号的控制。

```
55 initial begin
56     // Initialize Inputs
57     opCode = 0;
58
59     // Wait 100 ns for global reset to finish
60     #100;
61
62     #100 opCode = 6'b0000010; //jump
63     // Add other stimuluses here
64     |
```

4. 在 View:栏中选中 Simulation，Hierarchy 窗口中选择 test_for_Ctr 文件。
5. 在 Processes:窗口中选择 Simulate Behavioral Model，双击开始仿真。
6. 若需要可选中 Process Properties 调整仿真运行时间。
7. 得到 ISim 仿真图，观察波形，查看仿真结果是否满足当初的设计。如果有错，检查并修改代码，重新仿真。（操作小技巧：小键盘 -， +，快速缩放波形视野）
8. 下面给出一个仿真波形样例：



Ctr 的仿真波形

3.2 实验报告

上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB3	CSE-COA-LAB-003	0.3	9 of 15
	作者	修改日期	公开	
	WnSN Lab	9/21/2012		

4.1.3 编写译码功能

我们约定 aluCtrOut[3:0]的值与 ALU 操作的对应关系如下：

ALU control lines	Function
0000	AND
0001	OR
0010	add
0110	subtract
0111	set on less than
1100	NOR

aluCtrOut 和 alu 操作的对应关系

Instruction opcode	ALUOp	Instruction operation	Funct field	Desired ALU action	ALU control input
LW	00	load word	XXXXXX	add	0010
SW	00	store word	XXXXXX	add	0010
Branch equal	01	branch equal	XXXXXX	subtract	0110
R-type	10	add	100000	add	0010
R-type	10	subtract	100010	subtract	0110
R-type	10	AND	100100	and	0000
R-type	10	OR	100101	or	0001
R-type	10	set on less than	101010	set on less than	0111


根据 ALUOp 控制位和 R 型指令的不同功能码来设 ALU 控制位

注: ALU control input 实际上是 ALU 的输入，aluCtr 的输出

ALUOp		Funct field						Operation
ALUOp1	ALUOp0	F5	F4	F3	F2	F1	F0	
0	0	X	X	X	X	X	X	0010
X	1	X	X	X	X	X	X	0110
1	X	X	X	0	0	0	0	0010
1	X	X	X	0	0	1	0	0110
1	X	X	X	0	1	0	0	0000
1	X	X	X	0	1	0	1	0001
1	X	X	X	1	0	1	0	0111

输入输出真值表

用 verilog 代码写出上述真值表内容。
实现方式多种多样，这里给出一种使用 casex 语句的参考方案，如下图：

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB3	CSE-COA-LAB-003	0.3	11 of 15
	作者	修改日期	公开	
WnSN Lab		9/21/2012		

1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34

```
21 module AluCtr(aluOp, funct, aluCtr);
22     input [1:0] aluOp;
23     input [5:0] funct;
24     output [3:0] aluCtr;
25
26     reg [3:0] aluCtr;
27
28     always @ (aluOp or funct)
29     casex ({aluOp, funct})
30         8'b00xxxxxx: aluCtr = 4'b0010;
31         // add other 7 situations here
32     endcase
33
34 endmodule
```

注：{a, b}是位拼接运算符

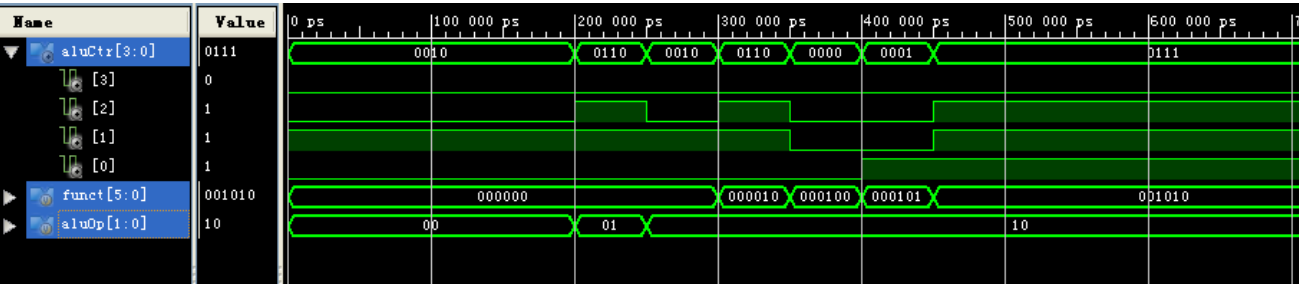
4.1.4 仿真

- 1. 根据之前叙述的方法进行行为级仿真。新建文件 test_for_aluCtr。
- 2. 在 Testbench 中设定不同的输入。请覆盖所有的情况，以保证逻辑的正确。
- 3. 观察波形是否满足逻辑。如果有错，修改代码，重新仿真。

4. 下面给出仿真样例：



仿真波形（A）



仿真波形（B）

5. 注意图 A 和图 B 的代码区别。

4.2 实验报告

上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB3	CSE-COA-LAB-003	0.3	12 of 15
	作者 WnSN Lab	修改日期 9/21/2012	公开	

5. ALU

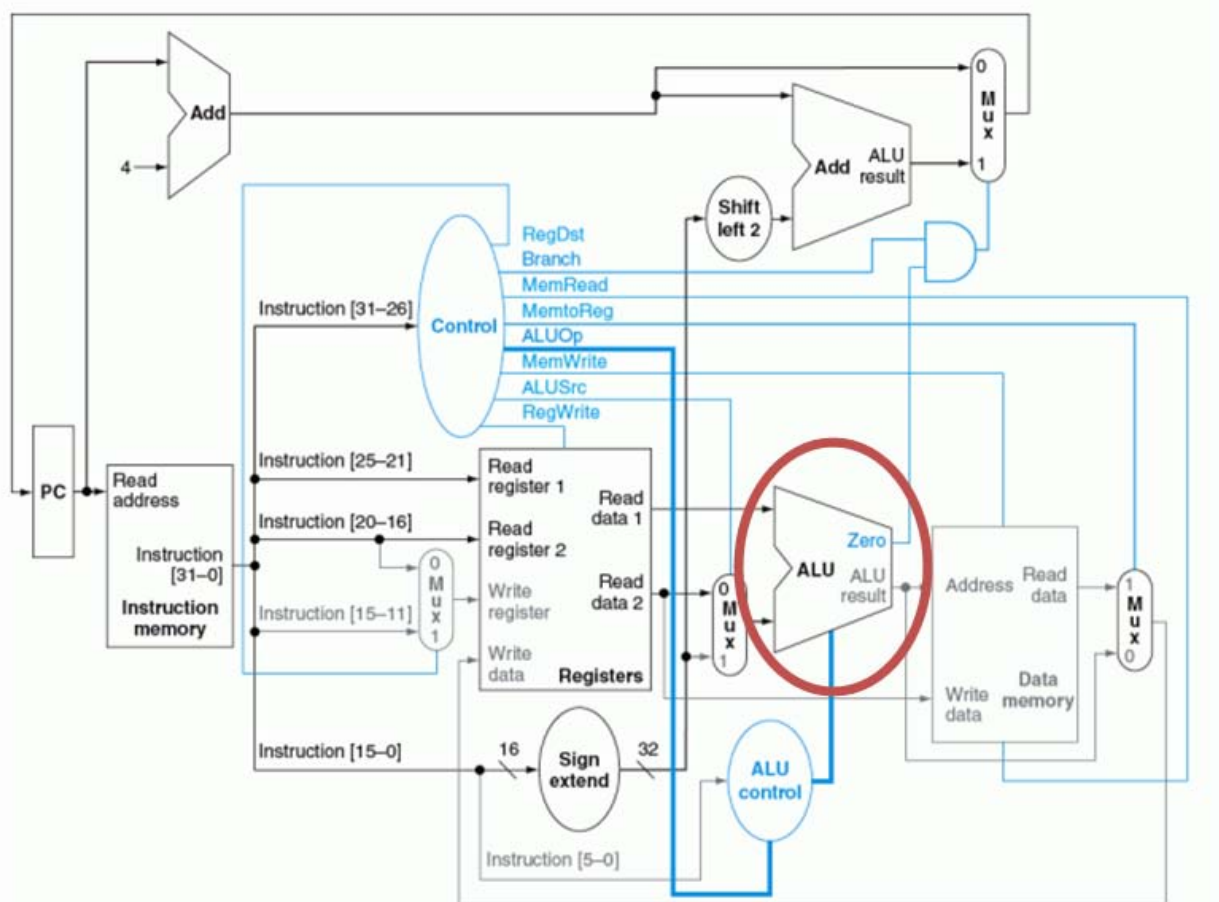
5.1 实验描述

5.1.1 模块描述

根据 aluCtrl, 对两个输入做对应的操作。aluRes 输出结果。如果是减法操作, 若结果为 0, zero 输出置为 1.


输入: input1 (32bit),, input2 (32bit), aluCtr (4bit)

输出: zero(1bit), aluRes (32bit)



5.1.2 新建模块源文件

略

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB3	CSE-COA-LAB-003	0.3	13 of 15
	作者	修改日期		
	WnSN Lab	9/21/2012	公开	

5.1.3 实现功能

ALU control lines	Function
0000	AND
0001	OR
0010	add
0110	subtract
0111	set on less than
1100	NOR

注：beq 实际是个减法操作

用 verilog 代码实现 ALU 功能。实现方式多种多样，比如 case 语句。这里给出另一种参考方案，如下图：

```
21 module Alu(input1, input2, aluCtr, zero, aluRes);
22     input [31:0] input1;
23     input [31:0] input2;
24     input [3:0] aluCtr;
25     output zero;
26     output [31:0] aluRes;
27     reg zero;
28     reg [31:0] aluRes;
29
30     always @ (input1 or input2 or aluCtr)
31     begin
32         if (aluCtr == 4'b0010) // add
33             aluRes = input1 + input2;
34         else if(aluCtr == 4'b0110) // sub
35         begin
36             aluRes = input1 - input2;
37             if (aluRes == 0)
38                 zero = 1;
39             else
40                 zero = 0;
41         end
42         // add and, or, slt here
43     end
44
45 endmodule
```

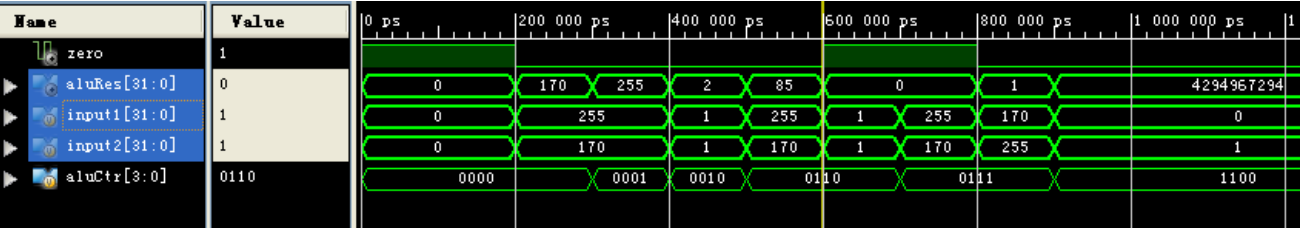
5.1.4 仿真

1. 根据之前叙述的方法新建文件 test_for_Alu
2. 在 testBench 中设定不同的输入。覆盖所有不同控制的情况，多选取一些输入数据，以保证逻辑的正确。

上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB3	CSE-COA-LAB-003	0.3	14 of 15
	作者	修改日期	公开	
	WnSN Lab	9/21/2012		


3. 观察波形是否满足逻辑。如果有错，修改代码，重新仿真。

4. 下面给出仿真样例：



Alu 仿真波形

5.2 实验报告

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB3	CSE-COA-LAB-003	0.3	15 of 15
	作者	修改日期	公开	
	WnSN Lab	9/21/2012		