


1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41
42



计算机组成实验指导书-LAB6

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB6	CSE-COA-LAB-006	0. 1	1 of 10
	作者	修改日期	公开	
	WnSN Lab	11/21/2010		

1. OVERVIEW

1.1 实验名称

简单的类 MIPS 多周期流水化处理器实现

1.2 实验目的

1. 理解 CPU 的 Pipeline, 对 Data Hazard, Branch Hazard 有初步认识

1.3 实验范围

本次实验将覆盖以下范围:

1. ISE 的使用
2. VirtexII Pro 实验板的使用
3. 使用 VerilogHDL 进行逻辑设计

1.4 实验预计时间


120 分钟

1.5 实验报告与验收办法

无需提交实验报告, 任课老师或助教认可并登记后即可。

1.6 注意事项

1. 本实验的逻辑设计工具为 Xilinx ISE11.1, 但不仅限于此。学生可以使用自己喜欢的逻辑设计工具, 如 Snyplify 等。

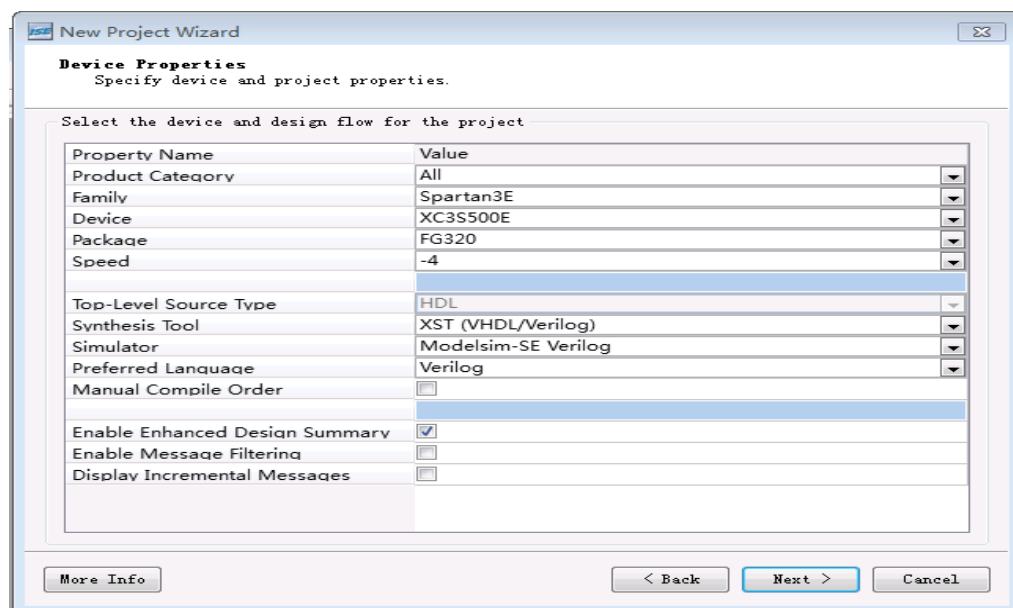
 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB6 作者 WnSN Lab	CSE-COA-LAB-006 修改日期 11/21/2010	0. 1	2 of 10 公开

2. 新建工程


2.1 实验描述

2.1.1 新建工程

1. 启动 ISE 9.1i。
2. 选择 File > New Project... 出现 New Project Wizard。
3. Project Name 填写 lab6，选择工程 Project Location, Top-level Source Type 选择 HDL。点击 Next。
4. Device Properties 中各属性填写如下：
Product Category: **ALL**
Family: **Spartan3E**
Device: **XC3S500E**
Package: **FG320**
Speed: **-4**
Synthesis Tool: **XST(VHDL/Verilog)**
Simulator: Modelsim-SE (verilog) [注：这次将用 Modelsim 仿真]
Preferred Language: **Verilog**
确认 **Enable Enhanced Design Summary** 已勾选。



5. 点击 Next。
6. 在 New Project Wizard – Create New Source 中点击 Next。
7. 在 New Project Wizard – Add Existing Sources 中点击 Next。
8. 在 New Project Wizard – Project Summary 中点击 Finish，结束建立工程。

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB6	CSE-COA-LAB-006	0. 1	3 of 10
	作者	修改日期	公开	
	WnSN Lab	11/21/2010		

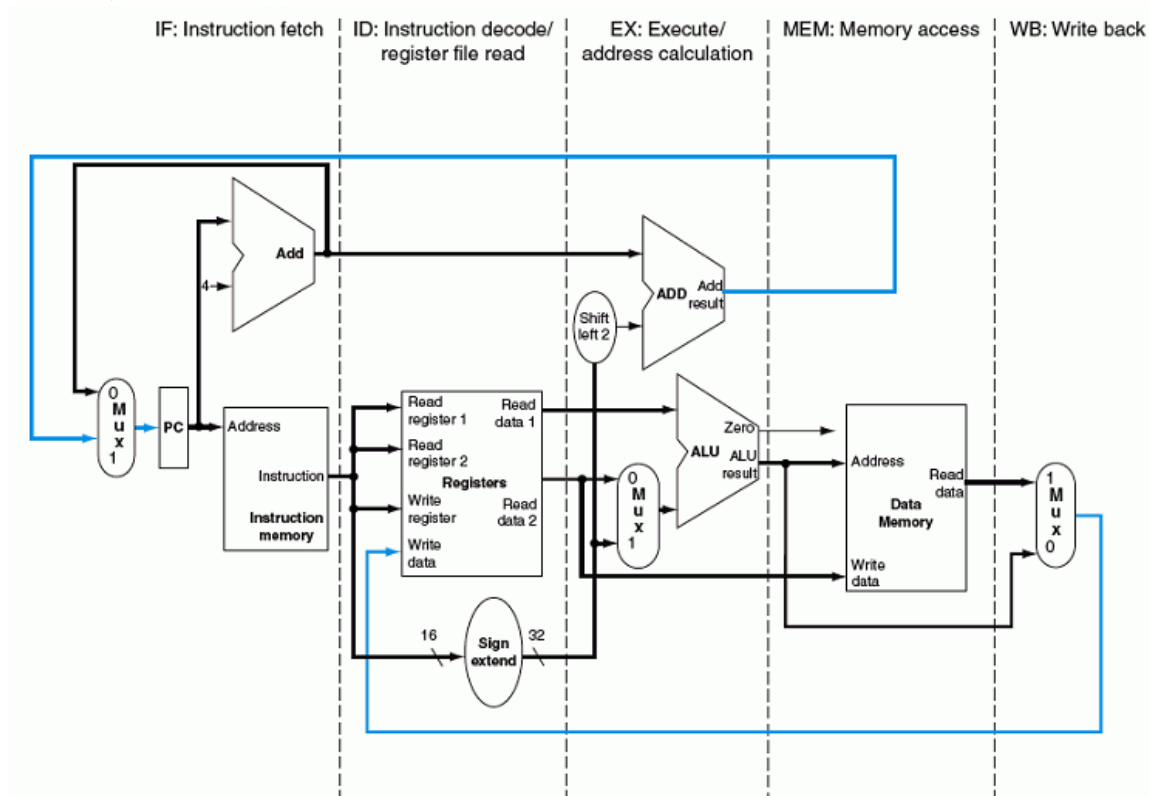
3. TOP 模块

3.1 实验描述

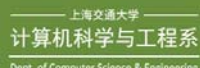
由于前几次实验已经完成了 CPU 各部分的主要功能，因此只需要完成 Top 模块。

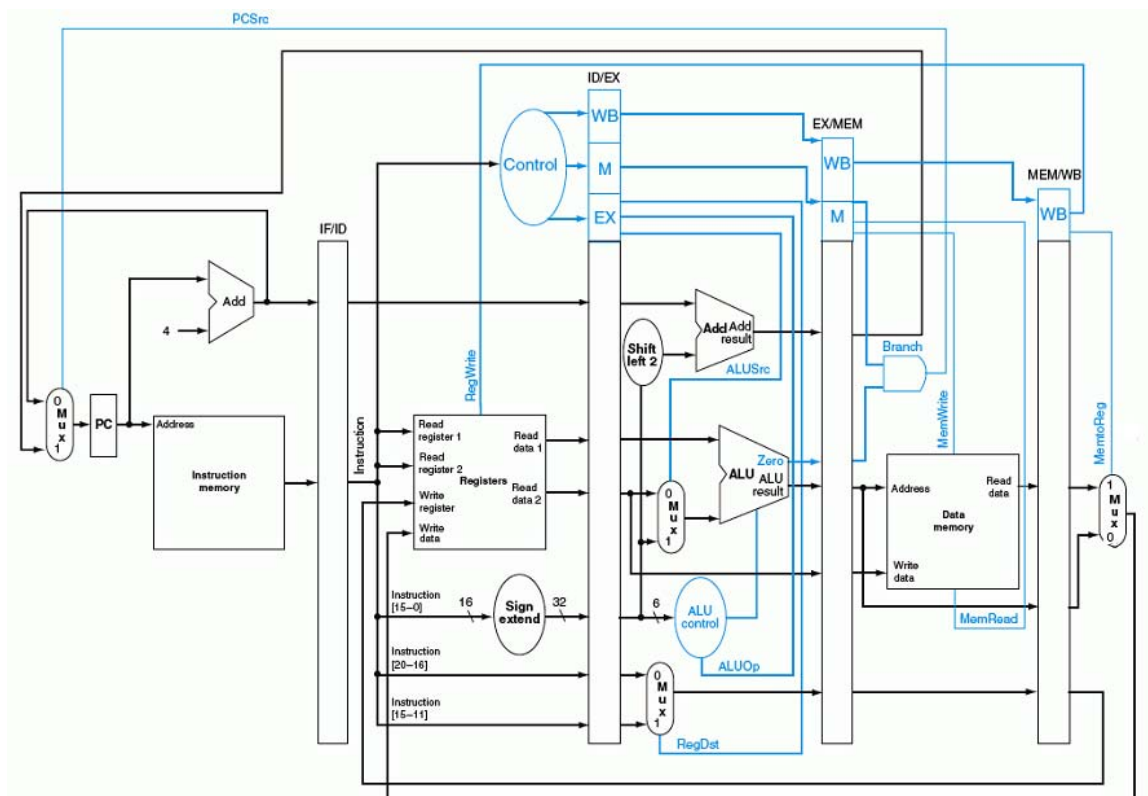
3.1.1 模块描述

下面是流水的主要结构：

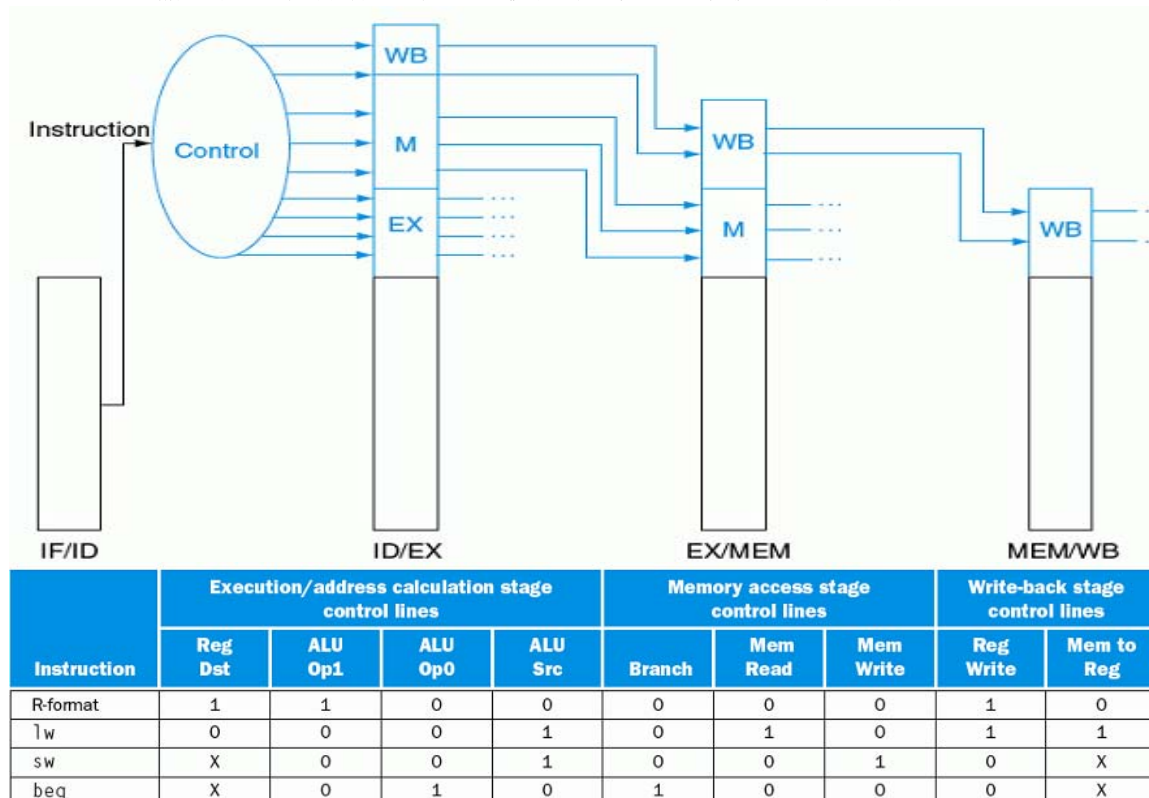


将单周期 CPU 进行分割，插入 4 级寄存器，将其分割为 IF，ID，EX，M，WB 五大部分：

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB6	CSE-COA-LAB-006	0. 1	4 of 10
	作者 WnSN Lab	修改日期 11/21/2010	公开	



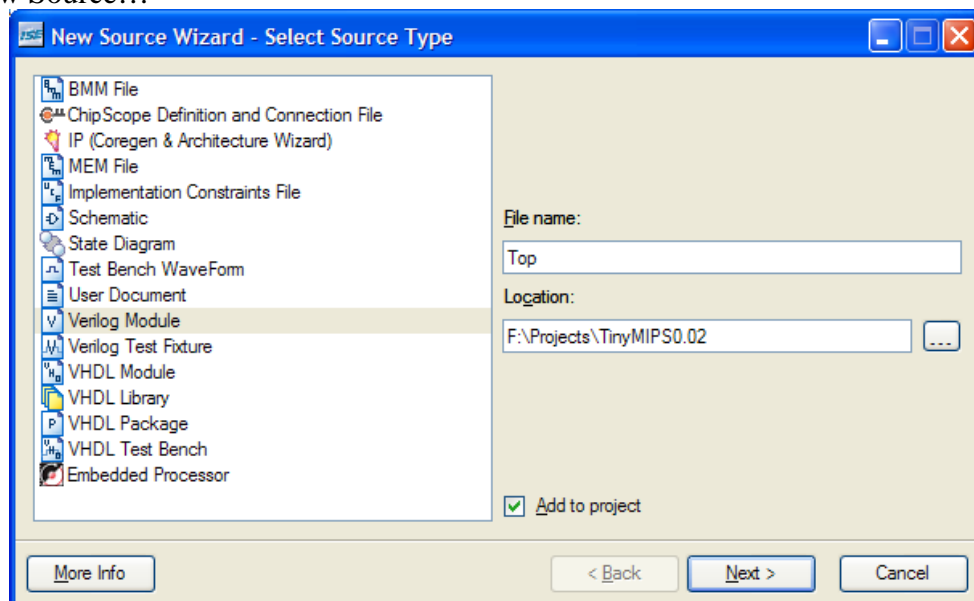
其中 Control 的输出需要被保存下来，以供后续每级流水使用。如下所示：



3.1.2 新建模块源文件

新建文件命令：菜单栏 -- Project – New Source...

或：Sources 窗口中，设备名(xc2vp30-7ff896 或类似)上右键鼠标，弹出菜单中点击 New Source...



3.1.3 编写功能

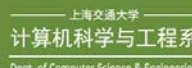
添加指令内存模块：instructionMemory

```
module InstructionMemory(address, CLK, RESET, readData);
    input [31:0] address;
    input CLK;
    input RESET;
    output reg [31:0] readData;

    reg [31:0] memBuffer [0:63];

    always@(address)
    begin
        readData = memBuffer[address>>2];
    end
endmodule
```

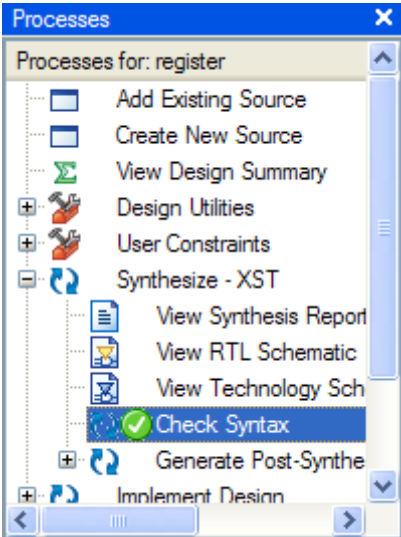
编写 Top 模块：

 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB6 作者 WnSN Lab	CSE-COA-LAB-006 修改日期 11/21/2010	0. 1	6 of 10 公开

1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25
26
27
28
29
30
31
32
33
34
35
36
37
38
39
40
41
42


```
1 module Top(CLOCK_IN, RESET, SWITCH, LED);
2     input CLOCK_IN;
3     input RESET;
4     input [3:0] SWITCH;
5     output [3:0] LED;
6
7     // for io
8     wire CLK;
9     assign CLK = CLOCK_IN;
10
11 // Regs
12 // PC
13 reg [31:0] PC;
14
15 // 1.0 for stage IF to ID
16 reg [31:0] IF_ID_PcAdd4;
17 reg [31:0] IF_ID_Instruction;
18
19 // 2.0 for stage ID to EX
20 reg [31:0] ID_EX_PcAdd4;
21 reg [31:0] ID_EX_ReadData1;
22 reg [31:0] ID_EX_ReadData2;
23 reg [31:0] ID_EX_SignExt;
24 reg [20:16] ID_EX_InstHigh;
25 reg [15:11] ID_EX_InstLow;
26 // 2.1 to EX
27 reg ID_EX_RegDst;
28 reg [1:0] ID_EX_ALUOp;
29 reg ID_EX_ALUSrc;
30 // 2.2 to MEM
31 reg ID_EX_Branch;
```

注意，由于各种变量名称极为复杂，推荐在着手编码之前为自己选择一套命名规范。
另外，由于 MEM 级的 Branch 会影响 PCSrc 的值，从而影响下次 PC，因此需要为 Control 加入 RESET 功能，将 Branch 置零。
写完代码后在综合选项中运行语法检查。



3.1.4 仿真测试

1. 编写汇编代码，并使用我们提供的汇编器转化为二进制代码文件：
这里有两种选择，推荐使用自己编写的测试程序。
或者也可以使用下面的程序，注意，需要去除中间的 Data Hazard:

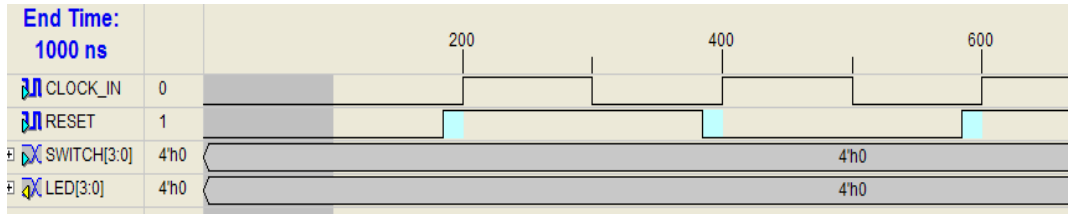
 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB6	CSE-COA-LAB-006	0. 1	7 of 10
	作者	修改日期	公开	
	WnSN Lab	11/21/2010		

```
1      lw $1, 40($0) ; 1
2      lw $2, 44($0) ; 5
3      lw $3, 48($0) ; 8
4      add $4, $1, $2 ; $4=6
5      sub $5, $3, $1 ; $5=7
6      and $6, $2, $1 ; $6=1
7      lw $10, 40($0) ; 1
8      lw $10, 40($0) ; 1
9      lw $10, 40($0) ; 1
10     or $7, $3, $1 ; $7=9
11     slt $8, $3, $1 ; $8=0
12     beq $0, $0, end ; to end
13     add $9, $7, $8 ; $9=9, not executed
14     end:
15     lw $10, 40($0) ; 1
16     lw $10, 40($0) ; 1
17     lw $10, 40($0) ; 1
18     lw $10, 40($0) ; 1
19     lw $10, 40($0) ; 1
```


2. 将上述代码转为二进制 Codes，保存为文件，文件名自定，这里假定是 result.txt，将数据
1
5
8
保存为 data.txt。

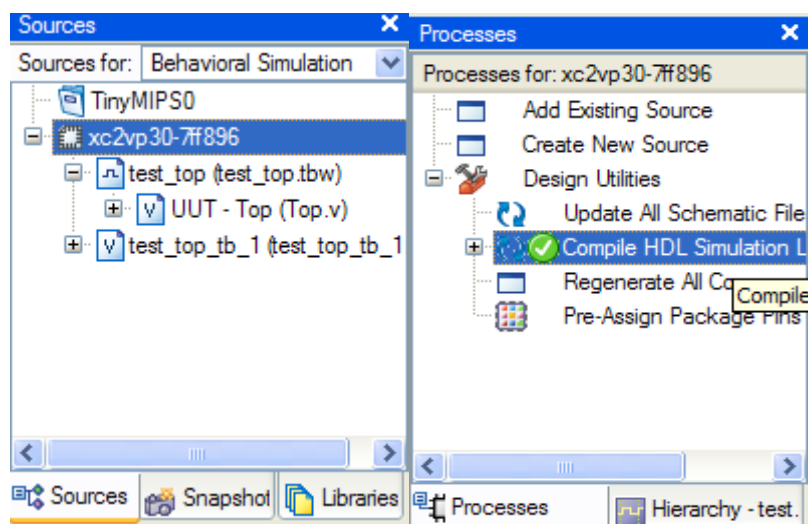
```
然后在 Top 中加入下面面代码：
initial
    $readmemb("result.txt", instMem.membuf, 8'h0);
    $readmemb("data.txt", dataMem.membuf, 8'ha);
end
```

- 3. 在 Sources 窗口中，将 Sources for 下拉框选择为 Behavioral Simulation。
- 4. 在 Top(Top.v)模块上点击右键，选择 New Source。
- 5. 文件类型为 Test Bench WaveForm，文件名自定。
- 6. Associate Source 中选择 Top，Next..
- 7. Finish。
- 8. 弹出的 Initial Timing and Clock Wizard – Initialize Timing 中，使用 clock_in 作为时钟输入，仿真周期自定。
- 9. 设置输入波形。下面给出一个样例：

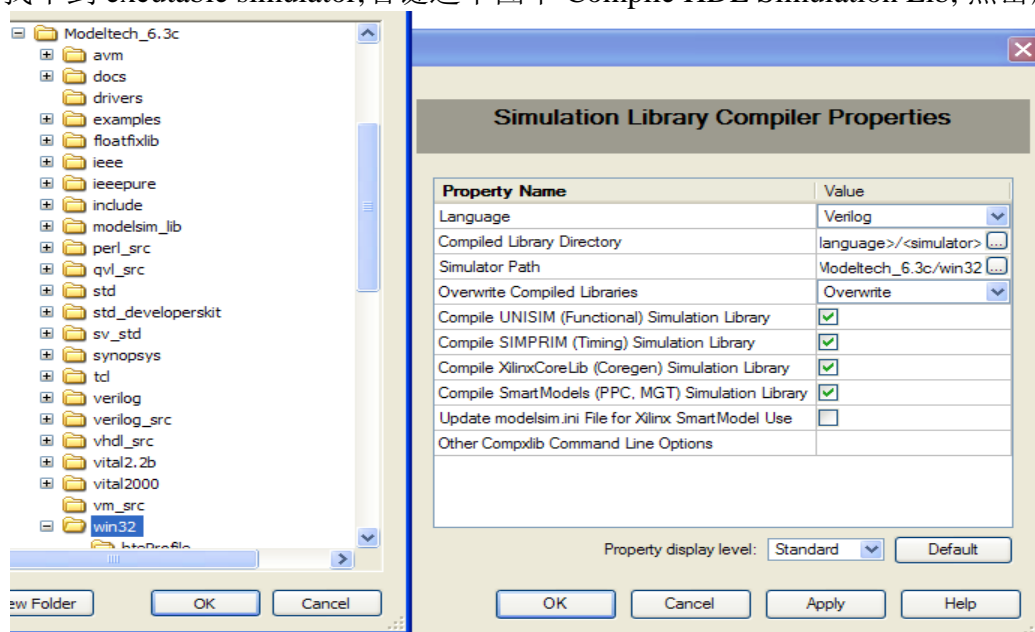


10. 选中 Sources 中的设备，在 Processes 中运行 Compile HDL Simulation Lib:

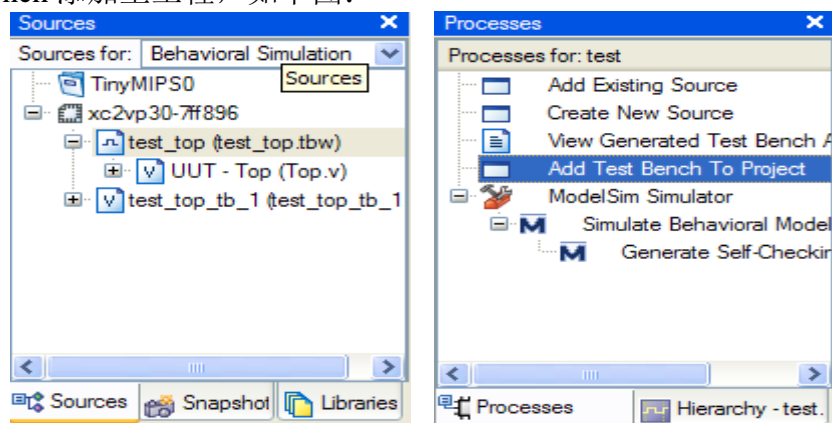
 上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB6	CSE-COA-LAB-006	0. 1	8 of 10
	作者	修改日期	公开	
	WnSN Lab	11/21/2010		



如若找不到 executable simulator,右键选中图中 Compile HDL Simulation Lib, 点击属性



11. 将 testbench 添加至工程, 如下图:

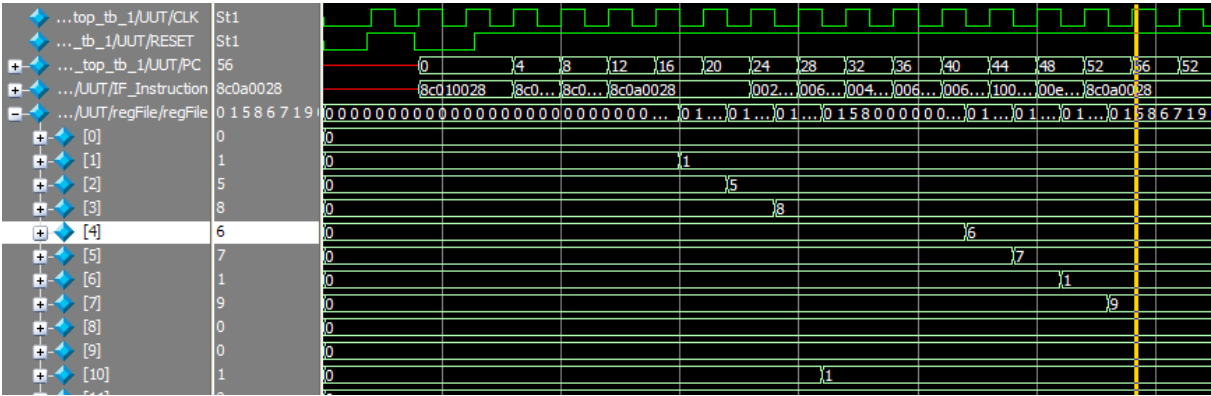


上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB6 作者 WnSN Lab	CSE-COA-LAB-006 修改日期 11/21/2010	0. 1	9 of 10 公开

12. 双击 Sources 中出现的 test_tb_x.v 文件，可以查看具体的代码，添加图中标注的代码修改输入。这里修改的目的是，将 reset 信号的作用时间包含初始化和 PC 指令两部分，并且 PC 置零在初始化之后。如不需，也可不修改。

```
48     initial begin
49         // ----- Current Time: 185ns
50         #185;
51         RESET = 1'b1;
52         // -----
53         // ----- Current Time: 385ns
54         #200;|
55         RESET = 1'b0;
56         // -----
57         // ----- Current Time: 585ns
58         #250;
59         RESET = 1'b1;
60         // -----
61     end
```

13. 运行仿真，可以看到仿真结果（操作小技巧：小键盘 -, +，快速缩放波形视野）检查波形。如果有错，检查代码逻辑，重新仿真。



3.2 实验报告
无

上海交通大学 计算机科学与工程系 Dept. of Computer Science & Engineering	标题	文档编号	版本	页
	计算机组成实验指导书 LAB6	CSE-COA-LAB-006	0. 1	10 of 10
	作者	修改日期	公开	
	WnSN Lab	11/21/2010		