Chương 1: Những khái niệm và công nghệ máy tính

Câu 1

Cấp độ	1R	Thời gian	1
CĐR: 3.3.2.1			
Một megabyte bằng bao nhiêu byte? A. 2^10 byte. B. 2^20 byte. C. 2^30 byte. D. 2^40 byte.			

Đáp án

Câu 2

Cấp độ	1R	Thời gian	1
CĐR: 3.3.2.1			
Điện thoại được xếp vào loại máy tính nào trong các dạng máy tính sau: A. Máy để bàn B. Máy chủ. C. Máy tính nhúng. D. Máy thông minh.			

Đáp án

Câu 3

Cấp độ	1R	Thời gian	1
CĐR: 3.3.2.1			
1 bit có thể có bao nhiêu giá trị ? A. 2 B. 8 C. 10 D. 16			

Đáp án

Câu 4

Cấp độ	1R	Thời gian	1
CĐR: 3.3.2.1			
Trong các chức năng sau. Chức năng nào không phải là chức năng của phần cứng một máy tính? A. Nhập dữ liệu. B. Xuất dữ liệu. C. Tính toán dữ liệu. D. Lưu trữ dữ liệu.			

Đáp án

Câu 5

Cấp độ	2R	Thời gian	1

CĐR: 3.3.2.1
Trong các thiết bị sau. Thiết bị nào là thiết bị thuộc về thành phần ngõ nhập? A. Máy scan. B. Máy in. C. Màn hình. D. Projector.

Đáp án

Câu 6

Cấp độ	2R	Thời gian	1
CĐR: 3.3.2.1			
Trong các thiết bị sau. Thiết bị nào là thiết bị thuộc về thành phần ngõ xuất? A. Chuột. B. Webcam. C. Bàn phím. D. Projector.			

Đáp án

Câu 7

Cấp độ	2R	Thời gian	1
CĐR: 3.3.2.1			
Trong các loại bộ nhớ sau thì bộ nhớ nào chỉ lưu dữ liệu khi có nguồn điện A. Bộ nhớ khả biến. B. Bộ nhớ bất biến. C. Bộ nhớ thứ cấp. D. Đĩa quang.			

Đáp án

Câu 8

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.1			
Trong các loại bộ nhớ sau, bộ nhớ nào có tốc độ nhanh nhất A. RAM B. Đĩa từ C. Đĩa Quang D. Bộ nhớ Flash.			

Đáp án

Câu 9

Cấp độ	2R	Thời gian	1
CĐR: 3.3.2.1			
Trình biên dịch thuộc về lớp nào trong các lớp bên dưới A. Ứng dụng. B. Phần mềm hệ thống.			

C. Phần cứng. D. Firmware.

Đáp án

Câu 10

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.1			
Trong các chương trình sau, chương trình nào thuộc về lớp ứng dụng: A. Linux. B. Assembler. C. RAM. D. Web Bowser.			

Đáp án

Câu 11

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Trong các phát biểu sau, phát biểu nào đúng về tốc độ của bộ nhớ A. RAM > Đĩa quang > bộ nhớ Flash B. Cache > RAM > bộ nhớ Flash C. RAM > Register > Đĩa Quang. D. Rigister > Bộ nhớ Flash > RAM			

Đáp án

Câu 12

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.1			
Cho 1 màn hình có độ phân giải 1024 x 768, biết màn hình sử dụng hệ màu RGB (Red, Green, Blue), mỗi hệ màu cần 8 bit để biểu diễn, và màn hình không biểu diễn độ sau. Hỏi 1 frame cần lưu trữ bao nhiêu byte? A. 2359296 byte. B. 786432 byte. C. 18874368 byte. D. 2359296 bit.			

Đáp án

Câu 13

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
Trong các loại máy tính sau, máy tính nào dùng dùng cho các công việc tính toán kĩ thuật và khoa học phức tạp và cao cấp, ví dụ như dự báo thời tiết, khai phá dầu mỏ, tìm ra cấu trúc của protein v.v… với hiệu năng cao nhất: A. Máy tính để bàn. B. Low end-server.			

C. Supercomputer. D. Máy tính nhúng.

Đáp án

Câu 14

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.1			
Biết 1 frame phải tốn 10MB để lưu trữ trong bộ nhớ. Với bộ nhớ 2GB thì có thể lưu trữ bao nhiêu frame? (làm tròn xuống số gần nhất ví dụ: 10.8 thì làm tròn thành 10) A. 102 frame B. 204 frame. C. 1024 frame. D. 2048 frame.			

Đáp án

Câu 15

Cấp độ	1R	Thời gian	1
CĐR: 3.3.2.1			
CPU (Bộ xử lý trung tâm) là viết tắt của chữ nào trong các chữ sau: A. Central processor unit B. Control processor unit C. Control parallel unit D. Central processing unit			

Đáp án

Câu 16

Cấp độ	1R	Thời gian	1
CĐR: 3.3.2.1			
Cache được xây dựng dựa trên công nghệ nào? A. SRAM B. DRAM C. Flash D. DIMM			

Đáp án

Câu 17

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.1			
Cho 1 file có kích thước là 256KB nếu sử dụng bộ nhớ cache để đọc file này thì tốn 5ns, nếu sử dụng bộ nhớ Flash để đọc file này thì tốn 7µs. Nếu 1 file có kích thước là 1MB nếu sử dụng bộ nhớ cache thì tốn 30ns hỏi nếu dùng bộ nhớ flash để đọc file này thì tốn bao nhiêu thời gian? A. 42 µs B. 42 ns C. 42 ms			

D. 42 s

Đáp án

Câu 18

Cấp độ	2R	Thời gian	2
CĐR: 3.3.2.1			
Trong các hình thức mạng bên dưới. Hình thức mạng nào theo chuẩn IEEE 802.11, cho phép tốc độ truyền dữ liệu trong khoảng 1 – 100 triệu bit trên giây A. Ethernet B. LAN C. WAN D. Wireless technology			

Đáp án

Câu 19

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.1			
Cho 1 file có kích thước là 2MB, sử dụng công nghệ mạng Ethernet có tốc độ 100Mbit/s để truyền dữ liệu. Hỏi sau bao lâu thì truyền hết file này? A. 0.17 s B. 17 ms C. 21 ms D. 0.21 s			

Đáp án

Câu 20

Cấp độ	3U	Thời gian	2
CĐR: 1.2.1.1			
Hình ảnh lưu trữ vào trong máy tính dưới thì ngôn ngữ phần cứng máy tính hiểu hình ảnh này dưới dạng (Chọn đáp án đúng nhất): A. 1 chuỗi các pixel B. 1 chuỗi nhị phân 0 & 1 C. 1 ma trận các pixel D. 1 bitmap			

Đáp án

Câu 21

Cấp độ	1R	Thời gian		1
CĐR: 1.2.1.1				

	Những yếu tố nào làm nên thương hiệu cạnh tranh giữa các hãng sản xuất máy tính? A. Tốc độ. B. Công suất tiêu thụ. C. Giá thành. D. Cả 3 yếu tố trên.

Đáp án

Câu 22

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.1			
Giá trị thập phân của số thập lục phân ABCD là: A. 34981 B. 98341 C. 89431 D. 43981			

Đáp án

Câu 23

Cấp độ	1AP	Thời gian	1
CĐR: 1.2.1.1			
Cho giá trị logic của 3 ngõ vào như sau $I_1 = 1$, $I_2 = 0$, $I_3 = 1$. Cho biết giá trị logic ngõ vào I_4 là bao nhiêu để giá trị ngõ ra O = 1, với O được thể hiện dưới biểu thức như sau: $O = [I_4 + I_1 I_4 + I_2 I'_4 + (I_3 I_4)']$: A. $I_4 = 0$ B. $I_4 = 1$ C. $I_4 = X$ D. Cả 3 giá trị trên đều sai			

Đáp án

Câu 24

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
Trong hệ thống máy tính Intel Core i7 64 bits, độ dài của mỗi word là: A. 16 bytes B. 32 bytes C. 8 bytes D. 64 bytes			

Đáp án

Câu 25

Cấp độ	1AN	Thời gian	1
CĐR: 1.2.1.4			
Một Multiplexer 256-ra-1, với mỗi ngõ vào có 8 đường bit dữ liệu. Hỏi có tổng cộng bao nhiêu đường tín hiệu ngõ vào, bao nhiêu đường tín hiệu ngõ ra và bao nhiêu đường tín hiệu điều khiển? A. 8 tín hiêu ngõ vào, 1 tín hiệu ngõ ra, 3 tín hiệu điều khiển B. 256 tín hiêu ngõ vào, 8 tín hiệu ngõ ra, 8 tín hiệu điều khiển C. 2048 tín hiêu ngõ vào, 8 tín hiệu ngõ ra, 8 tín hiệu điều khiển D. 2048 tín hiêu ngõ vào, 1 tín hiệu ngõ ra, 8 tín hiệu điều khiển			

Đáp án

Câu 26

Cấp độ	1E	Thời gian	1
CĐR: 1.2.1.1			
Trong các thiết bị máy tính ngày nay, loại máy tính nào phổ được sử dụng nhiều nhất trong cuộc sống chúng ta? A. Máy tính xách tay B. Máy tính để bàn C. Máy tính nhúng D. Máy tính chủ			

Đáp án

Câu 27

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.4			
Chức năng của trình biên dịch: A. Dịch chương trình từ ngôn ngữ lập trình này sang ngôn ngữ lập trình khác B. Dịch chương trình từ phần mềm ứng dụng sang chương trình phần mềm hệ thống C. Dịch chương trình từ ngôn ngữ cấp cao sang ngôn ngữ phần cứng D. Dịch chương trình từ phần mềm ứng dụng sang hệ điều hành			

Đáp án

Câu 28

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.4			
5 thành phần chính trong cấu trúc của một máy tính là Bộ điều khiển trung tâm (Processor), Đường dữ liệu (Data path), Bộ nhớ (Memory), Ngõ nhập (Input), Ngõ xuất (Output). Phát biểu trên đúng hay sai? A. Đúng B. Sai			

Đáp án

Câu 29

Cấp độ	1R	Thời gian	1
CĐR: 1.3.2.13			
CPU không thực thi chức năng nào trong các chức năng sau đây: A. Truyền dữ liệu B. Thực hiện các phép toán luận lí C. Thực hiện các phép toán số học D. Tất cả các chức năng trên			

Đáp án

Câu 30

Cấp độ	1AN	Thời gian	1
CĐR: 1.2.1.1			
Một bức ảnh có độ phân giải 4K có kích thước 3840x2160 pixels. Mỗi pixel chứa thông tin 3 màu cơ bản đỏ, xanh lá cây, xanh lam. Mỗi màu cơ bản được thể hiện bởi 8 bits. Để lưu trữ bức ảnh đó trên bộ nhớ thì dung lượng tối thiểu của bộ nhớ là bao nhiêu Mbytes? A. 22 B. 23 C. 24 D. 25			

Đáp án

Câu 31

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.4			
Loại dữ liệu nào được lưu trữ trong các thanh ghi? A. Dữ liệu sẽ được sử dụng ngay tức thì B. Dữ liệu hay được sử dụng thường xuyên hoặc vừa mới được sử dụng C. Dữ liệu đang được sử dụng bởi một chương trình hiện tại đang chạy D. Dữ liệu cần được lưu trữ lại ngay cả khi máy tính tắt nguồn			

Đáp án

Câu 32

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.4			
Loại dữ liệu nào được lưu trữ trong bộ nhớ cache? A. Dữ liệu sẽ được sử dụng ngay tức thì B. Dữ liệu hay được sử dụng thường xuyên hoặc vừa mới được sử dụng C. Dữ liệu đang được sử dụng bởi một chương trình hiện tại đang chạy D. Dữ liệu cần được lưu trữ lại ngay cả khi máy tính tắt nguồn			

Đáp án

Câu 33

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.4			
Loại dữ liệu nào được lưu trữ trong bộ nhớ RAM? A. Dữ liệu sẽ được sử dụng ngay tức thì B. Dữ liệu hay được sử dụng thường xuyên hoặc vừa mới được sử dụng C. Dữ liệu đang được sử dụng bởi một chương trình hiện tại đang chạy D. Dữ liệu cần được lưu trữ lại ngay cả khi máy tính tắt nguồn			

Đáp án

Câu 34

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.4			
Loại dữ liệu nào được lưu trữ trong bộ nhớ Hard disk? A. Dữ liệu sẽ được sử dụng ngay tức thì B. Dữ liệu hay được sử dụng thường xuyên hoặc vừa mới được sử dụng C. Dữ liệu đang được sử dụng bởi một chương trình hiện tại đang chạy D. Dữ liệu cần được lưu trữ lại ngay cả khi máy tính tắt nguồn			

Đáp án

Câu 35

Cấp độ	1AP	Thời gian	1
CĐR: 1.2.1.1			
Để truyền 1 khung dữ liệu có kích thước 1024 Kbytes qua mạng Wifi có tốc độ 1 Mbps thì thời gian truyền mất bao lâu? A. 2 giây B. 4 giây C. 8 giây D. 16 giây			

Đáp án

Câu 36

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			

Một máy tính có bộ nhớ chính 4GB có thể lưu tối đa bao nhiêu frame ảnh (giả sử bộ nhớ ko chứa gì khác), cho biết độ phân giải màn hình hiển thị là 1280x800 pixel, màa sắc mỗi pixel được định nghĩa bởi 20 bit.

A. 650

B. 1600

C. 800

D. 2100

Đáp án

Câu 37

Cấp độ	1R	Thời gian	½
CĐR: 1.2.1.1			
Thành phần dùng để quản lý các nguồn tài nguyên của máy tính nhằm hỗ trợ các chương trình chạy trên máy tính đó là : A. Phần mềm hệ thống. B. Phần cứng. C. Hệ điều hành. D. Trình biên dịch.			

Đáp án

Câu 38

Cấp độ	1R	Thời gian	½
CĐR: 1.2.1.1			
Một bảng mạch bằng plastic chứa các khối mạch hay chip gồm có bộ xử lý, cache, bộ nhớ và kết nối các thiết bị I/O gọi là : A. Mạch tích hợp. B. Mạch tuần tự. C. Mạch chủ. D. Mạch tổng hợp.			

Đáp án

Câu 39

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.4			
Thành phần điều khiển đường dữ liệu, bộ nhớ và các thiết bị I /O tùy theo lệnh nào được thực thi của chương trình là : A. Datapath. B. Control.			

C. CPU. D. Memory.

Đáp án

Câu 40

Cấp độ	2U	Thời gian	½
CĐR: 1.2.1.4			
Một dạng bộ nhớ nhỏ bên trong bộ xử lý được xây dựng trên một công nghệ thiết kế bộ nhớ khác biệt, dựa trên static random access memory là: A. Flash memory. B. Secondary memory. C. Cache memory. D. Main memory.			

Đáp án

Câu 41

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.4			
Tổng thời gian để máy tính hoàn thành một tác vụ bao gồm thao tác truy cập đĩa, truy cập bộ nhớ, hoạt động I/O, thời gian thực thi của hệ điều hành là : A. Thời gian chờ. B. Thời gian đáp ứng. C. Thời gian hoàn thành. D. Chu kỳ đồng hồ.			

Đáp án

Câu 42

Cấp độ	2R	Thời gian	½
CĐR: 1.2.1.4			
Chức năng của khối ALU là : A. Giải mã lệnh. B. Tìm nạp lệnh. C. Thực thi các phép tính logic và toán học. D. Dịch câu lệnh.			

Đáp án

Câu 43

Cấp độ	2U	Thời gian	1
CĐR: 2.1.1.4			
Hiệu suất của máy tính **KHÔNG** được xác định bởi yếu tố :			

A. Tổng số câu lệnh. B. Chu kỳ xung clock. C. Số chu kỳ xung clock trên một lệnh. D. Tập lệnh.

Đáp án

Câu 44

Cấp độ	2R	Thời gian	½
CĐR: 1.2.1.1			
Thành phần nào **KHÔNG** phải là thành phần căn bản của máy tính : A. Bộ nhớ. B. Datapath. C. Khối điều khiển. D. Màn hình.			

Đáp án

Câu 45

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.4			
Một vùng nhớ có địa chỉ tối đa là 32 bit thì có dung lượng tối đa là : A. 1 GB. B. 2 GB. C. 4 GB. D. 5 GB.			

Đáp án

Câu 46

Cấp độ	2R	Thời gian	½
CĐR: 1.2.1.1			
CPU sẽ làm việc trao đổi dữ liệu trực tiếp với bộ nhớ nào ? A. RAM. B. ROM. C. Thanh ghi. D. Cache.			

Đáp án

Câu 47

Cấp độ	3A	Thời gian	2
CĐR: 1.2.1.1, 1.2.1.4			

Cho một màn hình màu sử dụng 8 bit để hiển thị một màu cơ bản (đỏ (Red), xanh lá (Green), xanh đậm (Blue)) trong mỗi pixel với độ phân giải 800x600 pixel. Hãy cho biết độ lớn nhỏ nhất của bộ đệm để có thể chứa một khung ảnh ? A. 3840000 byte. B. 1440000 byte. C. 11520000 byte. *D*. 480000 byte.

Đáp án

Câu 48

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.1, 1.2.1.4			
Một máy tính đã kết nối với một mạng Ethernet với tốc độ 2Gb cần gửi tệp (file) có dung lượng 512 KB. Hãy cho biết cần bao nhiêu thời gian để hoàn thành ? A. 0.512 ms. B. 1.024 ms. C. 2.048 ms. D. 4.069 ms.			

Đáp án

Câu 49

Cấp độ	2A	Thời gian	3
CĐR: 1.2.1.1, 1.2.1.4			
Cho thời gian truy cập DRAM là 100ns, thời gian truy cập đĩa từ là 5ms, thời gian truy cập cache là 10ns. Tìm thời gian cần đọc một file từ DRAM nếu thời gian cần để đọc cùng 1 file đó trên cache là 2µs ? A. 25 µs. B. 50 µs. C. 10 µs. D. 20 µs.			

Đáp án

Câu 50

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Loại bộ nhớ nào có tốc độ truy xuất nhanh nhất ? A. RAM. B. Cache. C. ROM. D. Thanh ghi.			

Đáp án

Câu 51

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Stack poiter là gì ? A. Là một giá trị biểu thị địa chỉ được cấp gần đây nhất trong ngăn xếp. B. Là một giá trị biểu thị địa chỉ bắt đầu ngăn xếp. C. Là một cấu trúc dữ liệu cho việc nạp những thanh ghi được tổ chức theo hàng đợi dạng vào-sau ra-trước. D. Là thanh ghi chứa địa chỉ của lệnh đang được thực thi.			

Đáp án

Câu 52

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Máy tính bên trong một thiết bị nào đó, được dùng để chạy một ứng dụng hay một tập hợp các phần mềm cho trước ; là lớp máy tính phổ biến nhất và trải rộng nhất về mặt ứng dụng và hiệu năng A. Máy tính cá nhân. B. Máy tính nhúng. C. Máy chủ. D. Máy desktop.			

Đáp án

Câu 53

Cấp độ	R1	Thời gian	0.5
CĐR: 1.2.1.1			
Phát biểu nào SAI nhiệm vụ của hệ điều hành trong một máy tính ? A. Xử lý các hoạt động đầu vào và đầu ra B. Cấp phát bộ nhớ và lưu trữ C. Xử lý và chạy các thuật toán của chương trình D. Quản lý và chia sẻ tài nguyên máy tính trong nhiều ứng dụng chạy cùng lúc			

Đáp án

Câu 54

Cấp độ	R1	Thời gian	0.5
CĐR: 1.2.1.1			
Chức năng của trình biên dịch (Compiler) là gì? A. Biên dịch từ các ngôn ngữ cấp cao sang ngôn ngữ máy. B. Là 1 công cụ hỗ trợ lập trình phần cứng.			

C. Là chương trình hỗ trợ lập trình viên tương đương với ngôn ngữ lập trình như Asembly hoặc C D. Biên dịch từ ngôn ngữ lập trình cấp cao sang ngôn Asembly

Đáp án

Câu 55

Cấp độ	R1	Thời gian	0.5
CĐR: 1.2.1.1			
Mã máy là các chương trình Asembly đúng hay sai? A. Đúng B. Sai			

Đáp án

Câu 56

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.4			
Cho một màn hình màu sử dụng 8 bit để hiển thị một màu cơ bản (đỏ (Red), xanh lá (Green), xanh lơ (Blue)) trong mỗi pixel với độ phân giải 1920×1080 pixel. Nếu một máy tính có bộ nhớ chính là 1048 Mbyte. Hỏi nó có thể chứa tối đa bao nhiêu khung ảnh, giả sử bộ nhớ không chứa gì khác (làm tròn đến hàng đơn vị của phần nguyên)? A. 518 B. 22 C. 173 D. 0			

Đáp án

Câu 57

Cấp độ	1R	Thời gian	½
CĐR: 1.2.1.4			
Trình biên dịch (compiler) là? A. Chương trình dịch các câu lệnh ở ngôn ngữ cấp cao sang hợp ngữ B. Chương trình dịch các câu lệnh của ngôn ngữ assembly sang C/C++ C. Chương trình nạp firmware cho các vi điều khiển. D. Chương trình quản lý các tài nguyên trên máy tính nhằm hỗ trợ các chương trình khác.			

Đáp án

Câu 58

Cấp độ	1R	Thời gian	½
CĐR: 1.2.1.4			
Ngôn ngữ nào sau đây **KHÔNG** phải là ngôn ngữ cấp cao? A. C/C++ B. Assembly C. Fortran D. Java			

Đáp án

Câu 59

Cấp độ	1U	Thời gian	½
CĐR: 3.3.2.1			
Màn hình HD có độ phân giải 1366 x 768, số pixcel trên màn hình là: A. 1.049.088 B. 1.049.080 C. 1.059.088 D. 1.048.088			

Đáp án

Câu 60

Cấp độ	1A	Thời gian	½
CĐR: 1.2.1.1			
Chu kỳ xung clock là $2x10^{-6}$ thì tần số của xung clock là: A. 500 Mhz B. 500 Khz C. 500.000 Khz D. 0.05 Ghz			

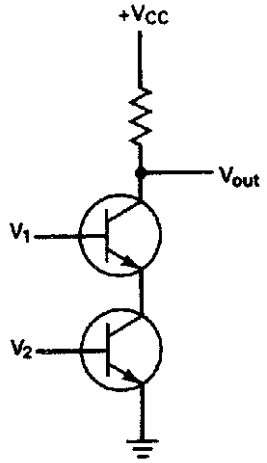
Đáp án

Câu 61

Cấp độ	2AN	Thời gian	½
CĐR: 2.1.1.4			
Sắp xếp các bộ nhớ tăng dần theo tốc độ truy xuất : SRAM, flash, đĩa từ, DRAM A. Đĩa từ → DRAM → Flash → SRAM B. Đĩa từ → SRAM → Flash → DRAM C. Đĩa từ → Flash → SRAM → DRAM D. Đĩa từ → Flash → DRAM → SRAM			

Đáp án

Câu 62

Cấp độ	2R	Thời gian	1
CĐR: 3.3.2.1			
Hình dưới là cấu trúc của cổng logic nào?  A. NOT			

B. AND
C. NAND
D. OR

Đáp án

Câu 63

Cấp độ	1R	Thời gian	½
CĐR: 1.3.2.13			

Trình tự các bước chuyển đổi một chương trình C trong một tập tin trên đĩa vào một chương trình đang chạy trên đĩa?
A. Compiler –> Linker –> Assembler –> Loader
B. Compiler –> Assembler –> Linker –> Loader
C. Compiler –> Assembler –> Loader –> Linker
D. Compiler –> Linker –> Loader –> Assembler

Đáp án

Câu 64

Cấp độ	2A	Thời gian	1
CĐR: 2.1.1.4			

Cho bảng tốc độ của mỗi loại bộ nhớ:

Cache	DRAM	Flash Memory	Magnetic Disk
5ns	50 ns	5 μs	5 ms

Giả sử có một file nào đó lưu trong bộ nhớ cache và tốn tổng cộng 1μs để đọc. Hỏi nếu file đó lưu trong *magnetic disk* thì tốt bao nhiêu thời gian để đọc?
A. $1x10^{-3}$ s
B. $1x10^{-6}$ s
C. 0.01 s
D. $1x10^{-9}$ s

Đáp án

Câu 65

Cấp độ	2A	Thời gian	1
CĐR: 2.1.1.4			

Cho bảng dưới:

Processor Rate	Clock	No. Instructions	Time
P1	2 GHz	20.10^9	7s

Tìm IPC (số lệnh được thực hiện trong một chu kì – instruction per cycle) cho bộ xử lý trên?
A. 10
B. 1428.5
C. 14.2
D. 1.42

Đáp án

Câu 66

Cấp độ	1AN	Thời gian	½
CĐR: 1.3.2.13			

Một máy tính đã kết nối với một mạng Ethernet với tốc độ 100Mbps cần gửi tệp (file) có dung lượng 256 KB. Hãy cho biết cần bao nhiêu thời gian để hoàn thành? A. 0.02s B. 0.002s C. 200 ms D. 0.2s

Đáp án

Câu 67

Cấp độ	1R	Thời gian	½
CĐR: 2.1.1.4			
Hiệu suất của một máy tính được xác định bởi yếu tố nào? A. Tổng số câu lệnh B. Chu kỳ xung clock C. Số chu kỳ xung clock trên một lệnh *D.* Cả 3 đều đúng			

Đáp án

Câu 68

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.4, 3.3.1.1			
Theo luật Moore, số lượng transistor trên mỗi đơn vị inch vuông sẽ tăng gấp đôi sau mỗi: A. 22 tháng B. 20 tháng C. 18 tháng D. 24 tháng			

Đáp án

Câu 69

Cấp độ	1A	Thời gian	1
CĐR:			
Dung lượng tối thiểu của bộ nhớ để lưu 1 tấm ảnh 640x480, RGB, mỗi kênh màu 8bit: A. 307200 bit B. 307200 byte C. 921600 bit D. 921600 byte			

Đáp án

Câu 70

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.4			
Điện thoại thông minh (smart phone) thuộc nhóm máy tính nào? A. Máy tính cá nhân B. Máy tính nhúng C. Máy tính chủ D. Siêu máy tính			

Đáp án

Câu 71

Cấp độ	1R	Thời gian	1
CĐR: 2.1.1.1			
Để nâng hiệu suất của máy tính, người thiết kế hệ thống cần? a. Tăng clock cycle time b. Giảm clock cycle time c. Không có câu nào đúng d. Cả ba câu trả lời trên là sai			

Đáp án

Câu 72

Cấp độ	2U	Thời gian	1
CĐR: 2.1.1.2			
Giả sử trong một chương trình A gồm 1000 lệnh thì có đến 200 lệnh tính toán số học. Người thiết kế giảm đi 50% số lượng chu kì cần thiết cho lệnh tính toán số học này. Chương trình này đã được tăng tốc như thế nào? a. 11.11% b. 12.12% c. 13.13% d. 14.14%			

Đáp án

Câu 73

Cấp độ	1R	Thời gian	1
CĐR: 1.2.4.1			
Máy tính để bàn được sử dụng cho? a. ứng dụng (thực thi chương trình) phục vụ cho tính toán cá nhân b. ứng dụng (thực thi chương trình) phục vụ tính toán nhiều người c. ứng dụng tính toán hiệu suất cao d. không có câu trả lời đúng			

Đáp án

Câu 74

Cấp độ	1R	Thời gian	1
CĐR: 1.2.4.1			
Đơn vị sử dụng cho kích thước của bộ nhớ là? A. Second B. Hezt C. Byte D. Bit			

Đáp án

Câu 75

Cấp độ	2R	Thời gian	1
CĐR: 2.1.1.1			
Ý nghĩa của do lường hiệu suất trong hệ thống máy tính nhằm? A. Đánh giá và so sánh phần cứng máy tính khác nhau B. Đánh giá và so sánh phần mềm máy tính khác nhau. C. Cả hai Đáp án và B ở trên sai. D. Cả hai Đáp án và B ở trên đúng.			

Đáp án

Câu 76

Cấp độ	2U	Thời gian	1
CĐR: 2.1.1.2			

Bảng dưới đây cho thấy 2 cách hiện thực trên 2 máy tính M1 và M2 với cùng một tập lệnh, trong đó tập lệnh này gồm 3 lớp lệnh (instruction class) A, B và C. Số lượng lệnh được thực thi trong một đoạn chương trình X được thể hiện ở cột cuối cùng.

Lớp	CPI cho M1	CPI cho M2	Tần số của lệnh
A	1	2	40%
B	3	2	30%
C	4	3	30%

Thông số CPI trung bình của đoạn chương trình X trên máy tính M1?

a. 2.1
b. 2.3
c. 2.5
d. 3

Đáp án

Câu 77

Cấp độ	2U	Thời gian	1
CĐR: 2.1.1.2			

Bảng dưới đây cho thấy 2 cách hiện thực trên 2 máy tính M1 và M2 với cùng một tập lệnh, trong đó tập lệnh này gồm 3 lớp lệnh (instruction class) A, B và C. Số lượng lệnh được thực thi trong một đoạn chương trình X được thể hiện ở cột cuối cùng.

Lớp	CPI cho M1	CPI cho M2	Tần số của lệnh
A	1	2	40%
B	3	2	30%
C	4	3	30%

Thông số CPI trung bình của đoạn chương trình X trên máy tính M2?

a. 2.1
b. 2.3
c. 2.5
d. 3

Đáp án

Câu 78

Cấp độ	2A	Thời gian	2
CĐR: 2.1.1.2			

Bảng dưới đây cho thấy 2 cách hiện thực trên 2 máy tính M1 và M2 với cùng một tập lệnh, trong đó tập lệnh này gồm 3 lớp lệnh (instruction class) A, B và C. Số lượng lệnh được thực thi trong một đoạn chương trình X được thể hiện ở cột cuối cùng.

Lớp	CPI cho M1	CPI cho M2	Tần số của lệnh
A	1	2	40%
B	3	2	30%
C	4	3	30%

Với cùng đoạn chương trình X thì máy tính nào có hiệu suất tốt hơn nếu xét trên khía cạnh thông số CPI trung bình?

a. Máy 1
b. Máy 2
c. Chỉ có máy 1 nhanh hơn máy 2
d. Hai máy chạy như nhau

Đáp án

Câu 79

Cấp độ	2A	Thời gian	2
CĐR: 2.1.1.2			

Bảng dưới đây cho thấy 2 cách hiện thực trên 2 máy tính M1 và M2 với cùng một tập lệnh, trong đó tập lệnh này gồm 3 lớp lệnh (instruction class) A, B và C. Số lượng lệnh được thực thi trong một đoạn chương trình X được thể hiện ở cột cuối cùng.

Lớp	CPI cho M1	CPI cho M2	Tần số của lệnh
A	1	2	40%
B	3	2	30%
C	4	3	30%

Hiệu suất của máy 2 so với máy 1 như thế nào?

a. Nhanh hơn 1.2 lần
b. Nhanh hơn 13%
c. Chậm hơn 13%
d. Chậm hơn 1.2 lần

Đáp án

Câu 80

Cấp độ	2A	Thời gian	2
CĐR: 2.1.1.2			

Một thuật toán tìm kiếm giá trị trong mãng được hiện thực bởi hai kỹ sư lập trình. Kỹ sư 1 và 2 hiện thực thuật toán tương ứng cho mỗi chương trình là 100 lệnh và 120 lệnh. Để so sánh dưới đây cho thấy 2 cách hiện thực trên 1 máy tính M có một tập lệnh bao gồm 3 lớp lệnh (instruction

class) A, B và C. Số lượng lệnh được thực thi trong một đoạn chương trình X và Y tương ứng cho mỗi kỹ sư được thể hiện ở cột cuối cùng.

Lớp	CPI cho M	Tần số của lệnh X	Tần số của lệnh Y
A	1	30%	50%
B	3	40%	40%
C	4	30%	10%

Thông số CPI trung bình của đoạn chương trình X trên máy tính M?

a. 2.1
b. 2.3
c. 2.5
d. 2.7

Đáp án

Câu 81

Cấp độ	2U	Thời gian	1
CĐR: 2.1.1.2			

Một thuật toán tìm kiếm giá trị trong mãng được hiện thực bởi hai kỹ sư lập trình. Kỹ sư 1 và 2 hiện thực thuật toán tương ứng cho mỗi chương trình là 100 lệnh và 120 lệnh. Để so sánh dưới đây cho thấy 2 cách hiện thực trên 1 máy tính M có một tập lệnh bao gồm 3 lớp lệnh (instruction class) A, B và C. Số lượng lệnh được thực thi trong một đoạn chương trình X và Y tương ứng cho mỗi kỹ sư được thể hiện ở cột cuối cùng.

Lớp	CPI cho M	Tần số của lệnh X	Tần số của lệnh Y
A	1	30%	50%
B	3	40%	40%
C	4	30%	10%

Thông số CPI trung bình của đoạn chương trình Y trên máy tính M?

a. 2.1
b. 2.3
c. 2.5
d. 2.7

Đáp án

Câu 82

Cấp độ	2A	Thời gian	2
CĐR: 2.1.1.2			

Một thuật toán tìm kiếm giá trị trong mãng được hiện thực bởi hai kỹ sư lập trình. Kỹ sư 1 và 2 hiện thực thuật toán tương ứng cho mỗi chương trình là 100 lệnh và 120 lệnh. Để so sánh dưới đây cho thấy 2 cách hiện thực trên 1 máy tính M có một tập lệnh bao gồm 3 lớp lệnh (instruction class) A, B và C. Số lượng lệnh được thực thi trong một đoạn chương trình X và Y tương ứng cho mỗi kỹ sư được thể hiện ở cột cuối cùng.

Lớp	CPI cho M	Tần số của lệnh X	Tần số của lệnh Y
A	1	30%	50%
B	3	40%	40%
C	4	30%	10%

Với cùng máy tính M thì chương trình nào có hiệu suất tốt hơn nếu xét trên khía cạnh thông số CPI trung bình?

a. Chuong trình X

b. Chuong trình Y
c. Hiệu suất bằng nhau
d. Hiệu suất

Đáp án

Câu 83

Cấp độ	2AN	Thời gian	2
CĐR: 2.1.1.2			

Một thuật toán tìm kiếm giá trị trong mãng được hiện thực bởi hai kỹ sư lập trình. Kỹ sư 1 và 2 hiện thực thuật toán tương ứng cho mỗi chương trình là 100 lệnh và 120 lệnh. Để so sánh dưới đây cho thấy 2 cách hiện thực trên 1 máy tính M có một tập lệnh bao gồm 3 lớp lệnh (instruction class) A, B và C. Số lượng lệnh được thực thi trong một đoạn chương trình X và Y tương ứng cho mỗi kỹ sư được thể hiện ở cột cuối cùng.

Lớp	CPI cho M	Tần số của lệnh X	Tần số của lệnh Y
A	1	30%	50%
B	3	40%	40%
C	4	30%	10%

Hiệu suất của chương trình X so với chương trình Y cùng chạy trên máy M như thế nào?

a. Nhanh hơn 1.3 lần
b. Nhanh hơn 3.3%
c. Chậm hơn 3.3%
d. Chậm hơn 1.3 lần

Đáp án

Chương 2: Kiến trúc bộ lệnh

Câu 1

Cấp độ	2AN	Thời gian	1
CĐR: 1.2.1.1			
Trong các câu lệnh assembly MIPS bên dưới. Câu lệnh nào chuyển đúng cho câu lệnh cấp cao a = b - 10, biết biến a, b lưu trữ trong thanh ghi $s1, $s2 A. addi $s1, $s2, -10 B. add $s1, $s2, -10 C. sub $s1, $s2, 10. D. subi $s1, $s2, 10			

Đáp án

Câu 2

Cấp độ	2U	Thời gian	2
CĐR: 1.2.1.1			
Trong các câu lệnh assembly MIPS bên dưới. Câu lệnh nào nhảy đến nhãn KTMT, biết thanh ghi $s1 = $s0: A. bq $s1, $s0, KTMT. B. beq $s1, $s0, KTMT. C. bne $s1, $s0, KTMT. D. blt $s1, $s0, KTMT.			

Đáp án

Câu 3

Cấp độ	2U	Thời gian	2
CĐR: 1.2.1.1			
Trong các câu lệnh assembly MIPS bên dưới. Câu lệnh nào dùng để **đọc** dữ liệu từ ô nhớ A[10], lưu vào thanh ghi $s3. Biết địa chỉ base của mảng A lưu trữ trong thanh ghi $s2: A. sw $s3, 40($s2). B. lw $s3, 10($s2). C. lw $s3, 40($s2). D. sw $s3, 10($s2).			

Đáp án

Câu 4

Cấp độ	2U	Thời gian	2
CĐR: 1.2.1.1			
Trong các câu lệnh assembly MIPS bên dưới. Câu lệnh nào dùng để **lưu** dữ liệu từ thanh ghi $s3 vào ô nhớ A[5]. Biết địa chỉ base của mảng A lưu trữ trong thanh ghi $s2: A. lw $s3, 20($s2). B. lw $s3, 5($s2). C. sw $s3, 5($s2). D. sw $s3, 20($s2)			

Đáp án

Câu 5

Cấp độ	2AN	Thời gian	1
CĐR: 1.2.1.1			
Trong các câu lệnh assembly MIPS bên dưới. Câu lệnh nào chuyển đúng cho câu lệnh cấp cao a = b and c, biết biến a, b, c lưu trữ trong thanh ghi $s1, $s2, $s3: A. andi $s1, $s2, $s3. B. and $s1, $s2, $s3. C. and $1, $2, $3. D. andi $1, $2, $3			

Đáp án

Câu 6

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
Cho biết giá trị trả về của hàm lưu trữ trong thanh ghi số mấy: A. 0. B. 1. C. 2. D. 4.			

Đáp án

Câu 7

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.4			
Trong các câu lệnh nhị phân biểu diễn dưới dạng thập lục phân bên dưới. Câu lệnh nào dùng để biểu diễn lệnh and $s4, $s6, $s7: A. 0x02cfa024. B. 0x02cfa020. C. 0x02cfa025. D. 0x02cfa022			

Đáp án

Câu 8

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.4			
Trong các câu lệnh nhị phân biểu diễn dưới dạng thập lục phân bên dưới. Câu lệnh nào dùng để biểu diễn lệnh addi $t3, $t5, -46: A. 0x21abffd2. B. 0x31abffd2. C. 0x35abffd2. D. 0x29abffd2			

Đáp án

Câu 9

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.4			
Trong các câu lệnh assembly MIPS bên dưới. Câu lệnh nào dùng để biểu diễn lệnh 0x29abff79: A. slti $t3, $t5, -135 B. addi $t3, $t5, -135. C. slti $t3, $t5, 135. D. addi $t3, $t5, 135.			

Đáp án

Câu 10

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.4			
Trong các câu lệnh assembly MIPS bên dưới. Câu lệnh nào dùng để biểu diễn lệnh 0x8cc5fffc: A. lw $a1,-4($a2) B. sw $a1,-4($a2) C. lw $a1,12($a2). D. lw $a1,-12($a2).			

Đáp án

Câu 11

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.4			
Trong các câu lệnh assembly MIPS bên dưới. Câu lệnh nào dùng để biểu diễn lệnh 0x8e120010: A. addi $s2, $s0, 16 B. andi $s2, $s0, 16 C. sw $s2, 16($s0). D. lw $s2, 16($s0).			

Đáp án

Câu 12

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.4			
Trong các câu lệnh nhị phân biểu diễn dưới dạng thập lục phân bên dưới. Câu lệnh nào dùng để biểu diễn lệnh sw $t1, 2016($t2): A. 0xAD4907E0 B. 0x8D4907E0 C. 0x214907E0 D. 0x314907E0			

Đáp án

Câu 13

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.1			

Cho 2 thanh ghi 4 bit đang lưu trữ giá trị a1 = 1001_2 & a2 = 1001_2. Thực hiện phép cộng a1 + a2 lưu kết quả vào trong thanh ghi a3, biết thanh ghi a3 có khả năng lưu trữ 4 bit. Trong các giá trị sau, giá trị nào lưu trữ trong thanh ghi a3. Chọn đáp án đúng nhất: A. 10010 B. 0010 C. 1001 D. Không xác định giá trị lưu trong thanh a3.

Đáp án

Câu 14

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Câu lệnh slt $s3, $s5, 8 thuộc định dạng nào trong lệnh assembly MIPS A. Định dạng R B. Định dạng I C. Định dạng J. D. Định dạng L			

Đáp án

Câu 15

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Câu lệnh subi $s3, $s5, 8 thuộc định dạng nào trong lệnh assembly MIPS: A. Định dạng R B. Định dạng I C. Định dạng J. D. Định dạng L			

Đáp án

Câu 16

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
Trong kiến trúc MIPS có bao nhiêu loại toán hạng ?: A. 2 B. 3. C. 4. D. 5.			

Đáp án

Câu 17

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Câu lệnh beq $s3, $s5, CNTT thuộc định dạng nào trong lệnh assembly MIPS: A. Định dạng R			

B. Định dạng I C. Định dạng J D. Định dạng L

Đáp án

Câu 18

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Trong câu lệnh assembly MIPS bên dưới. Câu lệnh nào sử dụng trường shamt trong thực hiện phép toán ở bộ ALU A. slt $t0, $t2, 2 B. sll $t0, $t2, 2 C. andi $t0, $t2, 2 D. beq $t0, $t2, CNTT			

Đáp án

Câu 19

Cấp độ	2A	Thời gian	2
CĐR: 1.3.2.13			
Cho câu lệnh assembly MIPS j 2000, sau khi thực thi lệnh này thì lệnh tiếp theo thực thi nằm ở địa chỉ bao nhiêu: A. 500 B. 2000 C. 8000 D. 8004			

Đáp án

Câu 20

Cấp độ	2AN	Thời gian	2
CĐR: 1.3.2.13			
Cho câu lệnh assembly MIPS beq $s3, $s2, 100 lưu ở địa chỉ 200. Sau khi thực thi lệnh này thì lệnh tiếp theo thực thi nằm ở địa chỉ bao nhiêu, biết $s3 = 5; $s2 = 5: A. 400 B. 404 C. 600 D. 604			

Đáp án

Câu 21

Cấp độ	2AN	Thời gian	3
CĐR: 1.3.2.13			
Cho đoạn mã chương trình assembly như bên dưới: slti, $t0, $s1, 5 beq $t0, $zero, ELSE			

sll $t1, $s1, 2 add $s2, $s2, $t1 j End ELSE: add $s2, $s1, $zero End Khi biên dịch đoạn mã chương trình trên sang mã máy thì nhãn ELSE có giá trị bằng bao nhiêu? Giả sử nếu biết ô nhớ của lệnh slti lưu trong ô nhớ 500. A. 3. B. 4. C. 504. D. 520.

Đáp án

Câu 22

Cấp độ	2AN	Thời gian	3
CĐR: 1.3.2.13			
Cho đoạn mã chương trình assembly như bên dưới: slti, $t0, $s1, 5 beq $t0, $zero, ELSE sll $t1, $s1, 2 add $s2, $s2, $t1 j End ELSE: add $s2, $s1, $zero End Biết thanh ghi $s1 = 1, thanh ghi $s2 = 0. Cho biết thanh ghi $s2 bằng bao nhiêu sau khi thực hiện đoạn lệnh chương trình trên A. 4 B. 5 C. 40 D. 60			

Đáp án

Câu 23

Cấp độ	2AN	Thời gian	1
CĐR: 1.2.1.1			
Trong các câu lệnh sau, câu lệnh nào **ghi dữ liệu vào bộ nhớ** A. addi B. sw C. beq D. sub			

Đáp án

Câu 24

Cấp độ	2R	Thời gian	1

CĐR: 1.2.1.1
Trong các câu lệnh sau, câu lệnh nào thuộc về nhóm **<u>lệnh nhảy</u>** A. addi B. sw C. beq D. sub

Đáp án

Câu 25

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Trong các câu lệnh sau, câu lệnh nào thuộc về nhóm **<u>lệnh luận lý</u>** A. addi B. sll C. slt D. sw			

Đáp án

Câu 26

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Cho câu lệnh add $s3, $s5, $s7. Khi biểu diễn lệnh trên sang dạng nhị phân, cho biết trường shamt có giá trị bằng bao nhiêu? A. 10011 B. 10101 C. 10111 D. 00000			

Đáp án

Câu 27

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Cho câu lệnh sll $s3, $s5, 15. Cho biết trường shamt có giá trị bằng bao nhiêu (biểu diễn số nhị phân)? A. 10011 B. 10101 C. 01111 D. 00000			

Đáp án

Câu 28

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Cho biết opcode của lệnh lw có giá trị thập lục phân bằng bao nhiêu?			

A. 23 B. 0 C. 5 D. 8

Đáp án

Câu 29

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Trong các lệnh bên dưới lệnh nào có opcode = 0xA A. slt B. slti C. andi D. lw			

Đáp án

Câu 30

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Trong kiến trúc MIPS, hệ thống cung cấp bao nhiêu thanh ghi để lưu tham số truyền vào trong hàm A. 1 B. 2 C. 3 D. 4			

Đáp án

Câu 31

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Chức năng của thanh ghi $ra A. Thanh ghi lưu tham số truyền tham số cho hàm/thủ tục B. Thanh ghi dùng để lưu giá trị trả về của hàm C. Thanh ghi chứa giá trị địa chỉ trả về vị trí gọi hàm/thủ tục D. Thanh ghi dùng để lưu địa chỉ của stack			

Đáp án

Câu 32

Cấp độ	2U	Thời gian	3
CĐR: 1.2.1.1			

Cho hàm sau:
int fact (int n){
  if (n < 1) return 1;
  else return (n * fact (n-1));
}			

Hàm fact này thuộc dạng nào? A. Leaf B. Nested C. Leaf & Nested D. Tree

Đáp án

Câu 33

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Trong quá trình chuyển đổi và bắt đầu 1 chương trình C thì thư viên liên kết tỉnh được đưa vào giai đoạn nào trong các giai đoạn sau A. Compiler B. Assembler C. Linker D. Loader			

Đáp án

Câu 34

Cấp độ	1U	Thời gian	1
CĐR: 1.3.2.13			
Phát biểu nào sau đây không chính xác A. Toán hạng thanh ghi là toán hạng mà giá trị của nó được ghi vào/đọc ra từ thanh ghi B. Toán hạng bộ nhớ là toán hạng mà giá trị của nó được ghi vào/đọc ra từ bộ nhớ C. Toán hạng hằng là toán hạng mà giá trị của nó được ghi vào/đọc ra từ hằng số D. Toán hạng hằng là toán hạng mà giá trị của nó được lấy ra từ lệnh chương trình			

Đáp án

Câu 35

Cấp độ	1U	Thời gian	1
CĐR: 1.3.2.13			
Thanh ghi nào sau đây mà giá trị của nó không thể thay đổi A. Stack Pointer B. Zero C. Frame Pointer D. Return Address			

Đáp án

Câu 36

Cấp độ	1R	Thời gian	1
CĐR: 1.3.2.13			
Phát biểu nào sau đây đúng:			

A. Trong định dạng lệnh I, các giá trị của toán hạng được đặt trong các thanh ghi B. Trong định dạng lệnh I, các giá trị của toán hạng được đặt trong các bộ nhớ C. Trong định dạng lệnh I, các giá trị của toán hạng được đặt trong các thanh ghi và câu lệnh chương trình D. Trong định dạng lệnh I, các giá trị của toán hạng được đặt trong các thanh ghi và bộ nhớ

Đáp án

Câu 37

Cấp độ	U	Thời gian	1
CĐR: 1.2.1.1			
Trong 6 bit opcode của cấu trúc mã lệnh MIPS có 2 opcode dành cho định dạng lệnh R, 60 opcode dành cho định dạng I và 2 opcode dành cho định dạng J, vậy loại định dạng lệnh R có thể có tối đa bao nhiêu lệnh: A. 2 B. 16 C. 64 D. 128			

Đáp án

Câu 38

Cấp độ	AP	Thời gian	1
CĐR: 1.2.1.1			

Cho một mảng A có 1024 từ (1 từ có 4 byte) có địa chỉ cơ sở là 2048. Mỗi ô nhớ chỉ chứa 1 byte dữ liệu (đánh địa chỉ theo byte). Ý nghĩa của lệnh sau:
addi $s0, $zero, 2048
lw $t0, 1024($s0)
A. Tải dữ liệu từ thanh ghi $s0 vào thanh ghi $t0
B. Tải dữ liệu từ ô nhớ có địa chỉ 2048 của mảng A vào thanh ghi $t0
C. Tải dữ liệu từ ô nhớ có địa chỉ 1024 của mảng A vào thanh ghi $t0
D. Tải dữ liệu từ ô nhớ có địa chỉ 6144 của mảng A vào thanh ghi $t0			

Đáp án

Câu 39

Cấp độ	2AN	Thời gian	1
CĐR: 1.2.1.1			

Cho một mảng A có 8 từ có địa chỉ cơ sở là 0. Mỗi ô nhớ chỉ chứa 1 byte dữ liệu (đánh địa chỉ theo byte). Mỗi ô nhớ chứa giá trị bằng với giá trị địa chỉ của ô nhớ đó. Hỏi giá trị của thanh ghi $s0 sau khi thực hiện các lệnh sau bằng bao nhiêu? Giả sử đây là bộ nhớ Big-endian.
addi $s0, $zero, 0
lw $t0, 4($s0)
add $s0, $s0, $t0;			

A. 00000100 00000101 00000110 00000111 B. 00000111 00000110 00000101 00000100 C. 00000100 D. 00000111

Đáp án

Câu 40

Cấp độ	1AN	Thời gian	1
CĐR: 1.2.1.1			

Cho biết giá trị của thanh ghi $t3 sau khi thực hiện lệnh sau
add $t2, $t1, $t0
addi $t3, $t2, 80000
Giả sử giá trị ban đầu chứa trong thanh ghi $t0 = 0, $t1 = 1, $t2 = 2.
A. $t3 = 80000
B. $t3 = 80001
C. $t3 = 80003
D. Cả 3 đáp án trên đều sai			

Đáp án

Câu 41

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.1			
Mã máy ngôn ngữ MIPS của lệnh sub $t3, $t1, $t2 là gì? Cho biết chỉ số của thanh ghi $t1 là 9, $t2 là 10, $t3 là 11; giá trị của trường opcode của lệnh sub là 0, trường shamt là 0, trường funct của lệnh sub là 0x22. A. 000000 01001 01010 01011 00000 100010 B. 000000 01011 01001 01010 00000 100010 C. 000000 01011 01010 01001 00000 100010 D. 000000 01001 01010 01011 00000 010110			

Đáp án

Câu 42

Cấp độ	1AN	Thời gian	1
CĐR: 1.2.1.1			
Cho $t1 = 0xffffffff1 Giá trị của thanh ghi $t2 và $t3 là bao nhiêu sau khi thực thi lệnh sau: sltiu $t2, $t1, 0x73 slti $t3, $t1, 0x73. A. $t2 = 1; $t3 = 1 B. $t2 = 0; $t3 = 1 C. $t2 = 1; $t3 = 0			

D. $t2 = 0; $t3 = 0

Đáp án

Câu 43

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.4			
Trong kiến trúc máy tính MIPS, khi máy tính thực thi lệnh jal 400 thì A. $ra = PC + 4 và PC = 400 B. $ra = PC và PC = PC + 400 C. $ra = PC + 4 và PC = 1600 D. $ra = PC và PC = PC + 1600			

Đáp án

Câu 44

Cấp độ	1AN	Thời gian	1
CĐR: 1.2.1.1			
Giả sử lệnh beq $s1, $s2, 100 được đặt trong bộ nhớ chương trình có địa chỉ là 200, đồng thời giá trị của thanh ghi $s1= 100, giá trị thanh ghi $s2 = 200. Hỏi sau khi máy tính thực thi lệnh trên thì máy tính sẽ tiếp tục thực thi lệnh trong bộ nhớ chương trình có địa chỉ là bao nhiêu A. 100 B. 200 C. 204 D. 300			

Đáp án

Câu 45

Cấp độ	1AN	Thời gian	1
CĐR: 1.2.1.1			
Giả sử lệnh beq $s1, $s2, 100 được đặt trong bộ nhớ chương trình có địa chỉ là 200, đồng thời giá trị của thanh ghi $s1= 100, giá trị thanh ghi $s2 = 100. Hỏi sau khi máy tính thực thi lệnh trên thì máy tính sẽ tiếp tục thực thi lệnh trong bộ nhớ chương trình có địa chỉ là bao nhiêu A. 100 B. 604 C. 204 D. 300			

Đáp án

Câu 46

Cấp độ	1U	Thời gian	1
CĐR: 1.3.2.13			

Giả sử chiều dài dữ liệu được lưu trữ trong stack của bộ vi xử lí là 1 byte đối với mỗi tác vụ PUSH hoặc POP. Tuần tự các bước của tác vụ PUSH: A. Tăng stack lên 2, sau đó lưu trữ dữ liệu 8-bit vào stack tại địa chỉ trỏ bởi SP B. Giảm stack đi 1, sau đó lưu trữ dữ liệu 16-bit vào stack tại địa chỉ trỏ bởi SP C. Giảm stack đi 1, sau đó lưu trữ dữ liệu 8-bit vào stack tại địa chỉ trỏ bởi SP D. Lưu trữ dữ liệu 8-bit vào stack tại địa chỉ trỏ bởi SP, sau đó tăng stack lên 1

Đáp án

Câu 47

Cấp độ	1U	Thời gian	1
CĐR: 1.3.2.13			
Giả sử chiều dài dữ liệu được lưu trữ trong stack của bộ vi xử lí là 1 byte đối với mỗi tác vụ PUSH hoặc POP. Tuần tự các bước của tác vụ POP: A. Tăng stack lên 2, sau đó lấy ra dữ liệu 8-bit từ stack tại địa chỉ trỏ bởi SP B. Lấy ra dữ liệu 16-bit từ stack tại địa chỉ trỏ bởi SP, sau đó tăng stack lên 1 C. Tăng stack lên 1, sau đó lấy ra dữ liệu 8-bit từ stack tại địa chỉ trỏ bởi SP D. Lấy ra dữ liệu 8-bit từ stack tại địa chỉ trỏ bởi SP, sau đó tăng stack lên 1			

Đáp án

Câu 48

Cấp độ	1U	Thời gian	1
CĐR: 1.3.2.13			

Chương trình sau mất bao nhiêu chu kí để hoàn thành việc thực thi? (Giả sử mỗi lệnh thực thi mất 1 chu kì)
batdau:
    jal sub1
hoanthanh:
sub1:
    jal sub2
    jr $ra
sub2:
    jr $ra
A. 3 chu kì
B. 4 chu kì
C. 8 chu kì
D. Chương trình thực thi mãi mãi			

Đáp án

Câu 49

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			

Một file chứa một bức ảnh số, mỗi pixel thể hiện một mức xám có giá trị từ 0 đến 255, lệnh nào sau đây được sử dụng để load giá trị của một pixel vào thanh ghi ? A. lb. B. lbu. C. lw. D. lhu.

Đáp án

Câu 50

Cấp độ	2U	Thời gian	2
CĐR: 1.2.1.1, 1.2.1.4			
Lệnh nào dùng để chuyển giá trị của ô nhớ tại địa chỉ 0x11000008 trong bộ nhớ dữ liệu vào thanh ghi $7. Biết thanh ghi cơ sở $10 có giá trị 0x11000000 : A. lw $7, 2 ($10). B. lw $7, 8 ($10). C. sw $7, 2 ($10). D. sw $7, 8 ($10).			

Đáp án

Câu 51

Cấp độ	2A	Thời gian	5
CĐR: 1.2.1.1, 1.2.1.4			
Một lệnh có mã máy là 0x00AF8020, cho biết lệnh này là lệnh gì ? A. add $s0, $a1, $t7. B. sw $s0, 20($t7). C. sll $a1, $s0, 8. D. beq $s0, $t7, 0x20.			

Đáp án

Câu 52

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.1, 1.2.1.4			
Lệnh nào sau đây khởi tạo thanh ghi $9 với giá trị 15 ? A. addi $9, 0, E. B. ori $9, 0, 0x15. C. addi $t1, $9, 15. D. ori $9, 0, 15.			

Đáp án

Câu 53

Cấp độ	2A	Thời gian	4
CĐR: 1.2.1.1, 1.2.1.4			
Mã máy của lệnh addi $t2, $t1, 10 là ? A. 0x0635120A. B. 0x23541200. C. 0x212A000A. D. 0x231C010A.			

Đáp án

Câu 54

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Lệnh nào sau đây KHÔNG phải là lệnh toán học ? A. add. B. and. C. sub. D. addi.			

Đáp án

Câu 55

Cấp độ	2AN	Thời gian	3
CĐR: 1.2.1.1, 1.2.1.4			

Cho đoạn lệnh sau
addi f, f, 1
add f, g, h
Nếu các giá trị f, g, h và i có giá trị tương ứng 1, 2, 3 và 4 thì giá trị cuối cùng của f là bao nhiêu?
A. 1.
B. 6.
C. 7.
D. 8.			

Đáp án

Câu 56

Cấp độ	2AN	Thời gian	3
CĐR: 1.2.1.1, 1.2.1.4			
Cần bao nhiêu lệnh hợp ngữ để biểu diễn câu lệnh trong C sau : f = g – A[B[4]] A. 3. B. 4. C. 5.			

D. 6.

Đáp án

Câu 57

Cấp độ	2AN	Thời gian	4
CĐR: 1.2.1.1, 1.2.1.4			
Thanh ghi $s0 và $s1 lưu các giá trị 0x84211248 và 0x35799753. Kết quả của thanh ghi $t0 khi thực thi lệnh *add $t0, $s0, $s1* A. 11011001100110101010100110 00. B. 11011001100110101010100110 11. C. 11011001100110101010100110 10. D. 11011001100110101010100110 01.			

Đáp án

Câu 58

Cấp độ	2A	Thời gian	3
CĐR: 1.2.1.1, 1.2.1.4			
Mã máy nào tương ứng với cây lệnh add $t0, $s2, $t0 ? A. 00000010010010000100000000100001. B. 00000010010010001100000000100000. C. 00000010010010000100000000100000. D. 00000010110010000100000000100000.			

Đáp án

Câu 59

Cấp độ	2AN	Thời gian	4
CĐR: 1.2.1.1, 1.2.1.4			
Đoạn lệnh sau tương ứng với câu lệnh C nào ? bne $s3,$s4,Else add $s0, $s1, $s2 j exit Else: sub $s0, $s1, $s2 exit: A. if (i == j) f = g – h; else f = g + h;. B. if (i == j) f = g + h; else f = g – h;. C. if (i # j) f = g + h; else f = g – h;. D. if (i # j) f = g – h; else f = g + h;.			

Đáp án

Câu 60

Cấp độ	2AN	Thời gian	5
CĐR: 1.2.1.1, 1.2.1.4			

Đoạn lệnh sau tương ứng với đoạn lệnh C nào ?

```
Loop:  sll $t1,$s3,2
       add $t1,$t1,$s6
       lw $t0,0($t1)
       bne $t0,$s5, Exit
       addi $s3,$s3,1
       j Loop
    Exit:
```

A. while (save[i*4] == k)
   i += 1;.

B. while (save[i] == k)
   i = i + 1;.

C. while (save[i] # k)
   i += 1;.

D. while (save[i]*4 == k)
   i += 1;.

Đáp án

Câu 61

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			

Định nghĩa nào **KHÔNG** đúng về thủ tục ?

A. Thủ tục là một công cụ mà lập trình viên sử dụng để xây dựng cấu trúc của những chương trình.

B. Thủ tục làm cho các chương trình đó dễ hiểu hơn vừa làm cho mã nguồn của các chương trình này có thể được tái sử dụng.

C. Thủ tục này cho phép lập trình viên tại một thời điểm chỉ cần tập trung vào một phần của công việc.

D. Thủ tục giúp cho máy tính có thể xử lý công việc dễ dàng hơn theo từng kiến trúc máy tính đã xây dựng trước.

Đáp án

Câu 62

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			

Chương trình cần phải qua bao nhiêu bước để thực thi một thủ tục ?

A. 5.

B. 6.

C. 7.

D. 8.

Đáp án

Câu 63

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Bước cuối cùng trong quá trình thực thi một thủ tục là ? A. Chuyển quyền điều khiển cho thủ tục. B. Yêu cầu tài nguyên lưu trữ cần thiết cho thủ tục. C. Trả điều khiển về vị trí mà thủ tục được gọi. D. Lưu kết quả ở một nơi mà chương trình có thể truy xuất được.			

Đáp án

Câu 64

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Lệnh MIPS sau thuộc định dạng nào ‘addi $t2, $t2, 2’ ? A. R-type. B. I-type. C. J-type. D. A-type.			

Đáp án

Câu 65

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Từ MIPS trong kiến trúc tập lệnh MIPS có nghĩa là gì ? A. Million Instructions Per Second. B. Microprocessor without Interlocked Pipeline Stages. C. Many Instructions Per Second. D. Microprocessor Interlocked Pipeline Stages.			

Đáp án

Câu 66

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Câu lệnh trên ngôn ngữ C là : a = b + c thì trên ASM của MIPS được viết lại là ? A. add b, c, a. B. addi b, c, a. C. add a, b, c. D. addi a, b, c.			

Đáp án

Câu 67

Cấp độ	2R	Thời gian	½
CĐR: 1.2.1.1			
Trong kiến trúc MIPS có bao nhiêu thanh ghi ? A. 16. B. 24. C. 32. D. 64.			

Đáp án

Câu 68

Cấp độ	2R	Thời gian	½
CĐR: 1.2.1.1			
Một "từ" (word) trong kiến trúc MIPS có bao nhiêu bit ? A. 8. B. 16. C. 24. D. 32.			

Đáp án

Câu 69

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Lệnh chuyển dữ liệu là ? A. Một lệnh di chuyển dữ liệu giữa bộ nhớ và bộ nhớ. B. Một lệnh di chuyển dữ liệu giữa bộ nhớ và thanh ghi. C. Một lệnh di chuyển dữ liệu giữa thanh ghi và thanh ghi. D. Một lệnh di chuyển dữ liệu giữa các bộ phận trong máy tính.			

Đáp án

Câu 70

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Toán hạng nào **KHÔNG** phải là toán hạng trong kiến trúc MIPS ? A. Toán hạng thanh ghi. B. Toán hạng bộ nhớ. C. Toán hạng biến. D. Toán hạng hằng.			

Đáp án

Câu 71

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Thanh ghi nào **KHÔNG** phải là thanh ghi trong kiến trúc MIPS ? A. Global Pointer (gp). B. Base Pointer (bp). C. Stack Pointer (sp). D. Frame Pointer (fp).			

Đáp án

Câu 72

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Địa chỉ nào **KHÔNG** phải là địa chỉ bộ nhớ MIPS thực tế ? A. 0. B. 2. C. 4. D. 8.			

Đáp án

Câu 73

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Lệnh chuyển dữ liệu một word từ bộ nhớ vào thanh ghi là ? A. sw. B. lw. C. sb. D. lb.			

Đáp án

Câu 74

Cấp độ	2Ans	Thời gian	4
CĐR: 1.2.1.1			
Giả sử rằng A là một mảng của 50 từ và trình biên dịch đã kết hợp các biến g và h với các thanh ghi $s1 và $s2 như trước. Giả định rằng địa chỉ bắt đầu của mảng A (hay địa chỉ cơ sở) chứa trong $s3. Hãy biên dịch đoạn lệnh bằng ngôn ngữ C sau, theo thực tế trong MIPS: g = h + A[10]; A. add $s1, $s2, 10($s3). B. lw $t0, 10($s3)			

add $s1, $s2, $t0. C. lw $t0, 40($s3) add $s1, $s2, $t0. D. add $s1, $s2, 40($s3).

Đáp án

Câu 75

Cấp độ	2A	Thời gian	1
CĐR: 1.2.1.1			
Lệnh nào sau đây đúng theo kiến trúc MIPS? A. **addi** $s3, $s3, 4. B. **add** $s3, $s3, 4. C. **subi** $s3, $s3, 4. D. **sub** $s3, $s3, 4.			

Đáp án

Câu 76

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Lệnh MIPS có mấy loại định dạng ? A. 2. B. 3. C. 4. D. 5.			

Đáp án

Câu 77

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Lệnh R-type có bao nhiêu trường ? A. 4. B. 5. C. 6. D. 7.			

Đáp án

Câu 78

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Địa chỉ toán hạng đích (thanh ghi kết quả) trong lệnh add thuộc R-type là bit thứ bao nhiêu			

A. 6-10. B. 11-15. C. 16-20. D. 21-25.

Đáp án

Câu 79

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Trường địa chỉ trong lệnh J-type có bao nhiêu bit ? A. 8. B. 16. C. 24. D. 26.			

Đáp án

Câu 80

Cấp độ	2A	Thời gian	4
CĐR: 1.2.1.1, 1.2.1.4			
Lệnh add $t0, $s1, $s2 có mã máy tương ứng là A. 000000 10001 10110 01000 00000 100000. B. 000000 10011 10010 01000 00000 100000. C. 000000 10001 10010 01000 00000 100000. D. 000000 10001 10010 01010 00000 100000.			

Đáp án

Câu 81

Cấp độ	2A	Thời gian	4
CĐR: 1.2.1.1, 1.2.1.4			
Lệnh tương ứng với mã máy 0x8e110020 là : A. lw $s1, 32($s0). B. sw $s1, 32($s0). C. lw $s2, 32($s0). D. sw $s2, 32($s0).			

Đáp án

Câu 82

Cấp độ	2A	Thời gian	4
CĐR: 1.2.1.1, 1.2.1.4			
Lệnh tương ứng với mã máy 0x0014a080 là :			

A. sll $s4, $s3, 34. B. sll $s3, $s4, 34. C. sll $s2, $s4, 34. D. sll $s3, $s2, 34.

Đáp án

Câu 83

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Ngôn ngữ cấp thấp mô tả lệnh của máy tính thông quá các ký hiệu biểu diễn (symbol) là ngôn ngữ gì ? A. C. B. Java. C. Assembly. D. Ngôn ngữ máy.			

Đáp án

Câu 84

Cấp độ	2AN	Thời gian	4
CĐR: 1.2.1.1, 1.2.1.4			

Cho giá trị các thanh ghi như trong bản sau :

Register	Value
R1	12
R2	16
R3	20
R4	24

Giá trị của thanh ghi R3 sau khi thực hiện câu lệnh mã giả:

add R3, R2, R1

là bao nhiêu ?

A. 16.
B. 12.
C. 20.
D. 28.

Đáp án

Câu 85

Cấp độ	2A	Thời gian	3
CĐR: 1.2.1.1			
Thanh ghi $s3 có giá trị là 24 thì câu lệnh : *sw $t0, 8($s3)* sẽ ghi giá trị của t0 vào ô nhớ thứ bao nhiêu ?			

A. 26. B. 32. C. 66. D. 40.

Đáp án

Câu 86

Cấp độ	2A	Thời gian	3
CĐR: 1.2.1.1, 1.2.1.4			
Trong câu lệnh sw, vùng nhớ tối đa mà câu lệnh có thể truy cập từ địa chỉ base là bao nhiêu ? A. 8192 words. B. 8192 bytes. C. 8192 GB. D. 8192 MB.			

Đáp án

Câu 87

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Trong kiến trúc thanh ghi của MIPS thì thanh ghi $s5 tương ứng với thanh ghi số mấy ? A. 16. B. 21. C. 23. D. 18.			

Đáp án

Câu 88

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Thanh ghi thứ hai toán hạng nguồn là thanh ghi nào? A. rs. B. rd. C. rt. D. rn.			

Đáp án

Câu 89

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			

Có bao nhiêu thanh ghi được sử dụng để truyền tham số trong quá trình gọi thủ tục ? A. 4. B. 3. C. 2. D. 1.

Đáp án

Câu 90

Cấp độ	1A	Thời gian	½
CĐR: 1.2.1.1			
Trong các câu lệnh assembly MIPS bên dưới. Câu lệnh nào dùng để đọc dữ liệu từ ô nhớ A[2], lưu vào thanh ghi *$s1*. Biết địa chỉ base của mảng A lưu trữ trong thanh ghi *$s2*. A. lw $s1, 8($s2) B. lw $s1, 2($s2) C. sw $s1, 8($s2) D. sw $s1, 2($s2)			

Đáp án

Câu 91

Cấp độ	2AN	Thời gian	1
CĐR: 1.2.1.1, 1.3.2.13			
Biểu diễn lệnh: *sw $s3, 20($s2)* thành mã máy dưới dạng thập lục phân? A. 0 x ae530014 B. 0 x ac530014 C. 0 x ae550014 D. 0 x ae530010			

Đáp án

Câu 92

Cấp độ	2U	Thời gian	1
CĐR: 3.3.2.1			
Trong kiến trúc MIPS, số 10_{ten} được lưu trữ theo kiểu *little endian* như thế nào? A. 0xA0000000 B. 0x000000A0 C. 0x0000000A D. 0x0A000000			

Đáp án

Câu 93

Cấp độ	2AN	Thời gian	1½
CĐR: 1.2.1.1, 1.3.2.13			
Giả sử biến *h* được kết nối với thanh ghi *$s1* và địa chỉ cơ sở của mảng *A* là trong *$s2*. Biên dịch câu lệnh C thực hiện dưới đây sang MIPS? A[5] = h + A[8];			

A. lw $t0, 32($s2)
add $t0,$s1,$t0
sw $t0,20($s2)
B. lw $t0, 32($s2)
addi $t0,$s1,$t0
sw $t0,20($s2)
C. lw $t0, 8($s2)
addi $t0,$s1,$t0
sw $t0,5($s2)
D. lw $t0, 8($s2)
add $t0,$s1,$t0
sw $t0,5($s2)

Đáp án

Câu 94

Cấp độ	1U	Thời gian	½
CĐR: 1.2.1.1			
Trong biểu diễn số có dấu của kiến trúc MIPS, bit thứ 32 của một word được gọi là bit dấu? A. Đúng B. Sai			

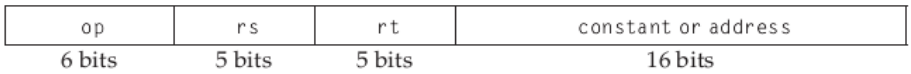
Đáp án

Câu 95

Cấp độ	1R	Thời gian	½
CĐR: 3.3.2.1			
Trong định dang lệnh kiến trúc MIPS phần opcode có bao nhiêu bit? A. 5 B. 6 C. 7 D. 8			

Đáp án

Câu 96

Cấp độ	2R	Thời gian	½
CĐR: 3.3.2.1			
Hình dưới đây là định dạng lệnh nào trong kiến trúc MIPS?  A. R -type B. I – type C. J - type D. U – type			

Đáp án

Câu 97

Cấp độ	2R	Thời gian	½
CĐR: 3.3.2.1			

Đối với định dạng lệnh R-type của kiến trúc MIPS, khi trường opcode có giá trị 0, ta cần kết hợp với trường nào để xác định lệnh và trường này có bao nhiêu bit? A. shamt & 5bit B. funct & 5bit C. shamt & 6bit D. funct & 6bit

Đáp án

Câu 98

Cấp độ	2R	Thời gian	½
CĐR: 3.3.2.1			
Trong định dạng lệnh I-type của kiến trúc MIPS, trường *constant/address* có bao nhiêu bit? A. 24 B. 5 C. 16 D. 14			

Đáp án

Câu 99

Cấp độ	2A	Thời gian	1
CĐR: 3.3.2.1, 1.3.2.13			
Với định dạng R-type trong kiến trúc MIPS, khi trường opcode có giá trị 0 và trường funct có giá trị là 32_{ten}. Xác định tên lệnh: A. add B. addi C. sub D. lw			

Đáp án

Câu 100

Cấp độ	2A	Thời gian	1
CĐR: 1.3.2.13			
Giả sử thanh ghi $s1 có giá trị *0x00003b0*, thực hiện câu lệnh trong kiến trúc MIPS: *sll $t0,$s1,2*. Xác định giá trị trong thanh ghi $t0? A. 0x00000ec B. 0x00001D8 C. 0x00000ec0 D. 0x00000760			

Đáp án

Câu 101

Cấp độ	3AN	Thời gian	1½
CĐR: 3.3.2.1, 1.3.2.13			
Cho câu lệnh C: *f = g – A[B[4]];* Giả sử *f,g* lần lượt ở các thanh ghì *$s0, $s1*. Đại chỉ cơ sở/nền của mảng A và B lần lượt được lưu trong các thanh ghi *$s2, $s3*. Hãy chuyển câu lệnh C trên sang lệnh MIPS bằng cách sắp xếp các câu lệnh ở dưới.			

STT	Lệnh
1	sub $s0, $s1, $s0
2	lw $s0, 0($t0)
3	sll $t0, $t0, 2
4	add $t0, $t0, $s2
5	lw $t0, 16($s3)

A. 5,3,4,2,1
B. 2,3,4,5,1
C. 5,4,3,2,1
D. 5,3,2,4,1

Đáp án

Câu 102

Cấp độ	1R	Thời gian	½
CĐR: 3.3.2.1			

MIPS **KHÔNG** hỗ trợ trực tiếp lệnh nào?
A. AND
B. NOT
C. NOR
D. OR

Đáp án

Câu 103

Cấp độ	1R	Thời gian	0.5
CĐR: 1.2.1.1			

Độ rộng bit của các thanh ghi trong cấu trúc MIPS?
A. 8 bit
B. 16 bit
C. 32 bit
D. 64 bit

Đáp án

Câu 104

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			

Kiến trúc MIPS có bao nhiêu thanh ghi ?
A. 8
B. 16
C. 32
D. 64

Đáp án

Câu 105

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			

Lệnh [bne $s, $s2, 25] thuộc nhóm lệnh nào:
A. Nhóm lệnh số học
B. Nhóm lệnh rẽ nhánh có điều kiện

C. Nhóm lệnh rẽ nhánh không điều kiện D. Nhóm lệnh truyền dữ liệu

Đáp án

Câu 106

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
Lệnh [lw $s1, 20($s2)] thuộc nhóm lệnh nào? A. Nhóm lệnh số học B. Nhóm lệnh rẽ nhánh có điều kiện C. Nhóm lệnh logic D. Nhóm lệnh truyền dữ liệu			

Đáp án

Câu 107

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
Lệnh nào là lệnh nhảy đến một địa chỉ đích (jump to target address) A. J 2400 B. Jr $ra C. Jal 2500 D. Cả ba lệnh trên			

Đáp án

Câu 108

Cấp độ	2U, 2AP	Thời gian	1
CĐR: 1.2.1.1			
Biểu diễn lệnh add $s1, $s2,$s3 dưới dạng mã máy nhị phân: A. 000000 10001 10010 01000 00000 100000 B. 000000 01000 10010 10001 00000 100000 C. 001000 10001 10010 01000 00000 100000 D. 001000 01000 10010 10001 00000 100000			

Đáp án

Câu 109

Cấp độ	2U, 2AP	Thời gian	1
CĐR: 1.2.1.1			
Biểu diễn lệnh lw $t0, 1200($t1) dưới dạng mã máy nhị phân A. 101011 01001 01000 0000010010110000 B. 101011 01000 01001 0000010010110000 C. 100011 01000 01001 0000010010110000 D. 100011 01001 01000 0000 010010110000			

Đáp án

Câu 110

Cấp độ	2U, 2AP	Thời gian	1
CĐR: 1.2.1.1			
Biểu diễn lệnh sw $t0, 1200($t1) dưới dạng mã máy nhị phân A. 101011 01001 01000 0000 0100 1011 0000 B. 101011 01001 01000 0000 0100 1011 0000 C. 101011 01000 01001 0000 0100 1011 0000 D. 100011 01000 01001 0000 0100 1011 0000			

Đáp án

Câu 111

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Biểu diễn số -20 dưới dạng nhị phân 8 bit bù 2 A. 00010100 B. 11101011 C. 11101100 D. 11111100			

Đáp án

Câu 112

Cấp độ	2U 1AP	Thời gian	1
CĐR: 1.2.1.1			

Đoạn mã hợp ngữ sau thực hiện biểu thức nào
add $t0,$s1,$s2
sub $t1,$s4,$s3
sub $s0,$t0,$t1
Giả sử f,g,h,i,j được gán cho các thanh ghi $s0, $s1, $s2, $s3, $s4
A. f = (g + h) + (j-i);
B. f = (g + h) + (i -j);
C. f = (g - h) + (i - j);
D. f = (g+i)-(h+j)			

Đáp án

Câu 113

Cấp độ	2U 1AP	Thời gian	1
CĐR: 1.2.1.1			

Lệnh MIPS nào tương đương với mã lệnh C sau đây
if ($s2 < $s3)
  $s1 = 1;
else
  $s1 = 0;			

A. beq $s1,$s2,$s3 B. slt $s1,$s2,$s3 C. sltu $s1,$s2,$s3 D. sltu $s2,$s1,$s3

Đáp án

Câu 114

Cấp độ	2AP	Thời gian	1
CĐR: 1.2.1.1			
Xác định giá trị các thanh ghi $s1,$s2,$s3, sau khi thực hiện phép toán (sub $s3, $s2, $s1). Biết rằng trước khi thực hiện phép toán, giá trị các thanh ghi là: $s1 = 100, $s2 =145 , $s3 = 53 A. $s1 = 91, $s2 =10 , $s3 = 53 B. $s1 = 100, $s2 =10 , $s3 = 45 C. $s1 = 100, $s2 =10 , $s3 = 245 D. $s1 = 92, $s2 =145 , $s3 = 53			

Đáp án

Câu 115

Cấp độ	3AP 2AN	Thời gian	1
CĐR: 1.2.1.1			

Xác định giá trị các thanh ghi $s1, $s2, sau khi thực hiện lệnh [lw $s1,24($s2)]. Biết rằng trước khi thực hiện lệnh trên, giá trị các thanh ghi $s1 = 100, $s2 =4, và bảng giá trị bộ nhớ:

Địa chỉ	Giá trị
4	12BDh
8	0012h
12	0124H
..	..
24	2356h
28	35D4h
32	145Dh

A. $s1 = 35D4h, $s2 = 28
B. $s1 = 2356h, $s2 =4
C. $s1 = 100, $s2 =35D4h
D. $s1 = 35D4h, $s2 = 4

Đáp án

Câu 116

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Kết quả nhị phân dạng bù 1 của số thập lục phân 0xAD là A. 10101101			

B. 10101111 C. 11010010 D. 01010010

Đáp án

Câu 117

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Chức năng của thanh ghi đếm chương trình (PC.? A. Đếm số lượng lệnh của một chương trình B. Đếm thời gian thực hiện một chương trình C. Chứa kết quả của lệnh được thực thi ở thời điểm hiện tại D. Chứa địa chỉ của lệnh được thực thi ở thời điểm hiện tại			

Đáp án

Câu 118

Cấp độ	3U 3AP	Thời gian	1
CĐR: 1.2.1.1			
Cho đoạn mã MIPS dưới: 0x0040005C jal sum ….. 0x004000A0 sum: add $v0, $a0, $a1 Xác định mã máy của lệnh [jal sum] A. 0x00100028 B. 0x0040005C C. 0x0C100028 D. 0x004000A0			

Đáp án

Câu 119

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
Bộ nhớ lệnh lưu trữ các lệnh dưới dạng A. Mã ASCII B. Số binary C. Số hex D. Số binary và số hex			

Đáp án

Câu 120

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			

Kiến trúc MIPS thuộc loại kiến trúc A. Thanh ghi tích luỹ B. Stack C. Register (load-store) D. Register memory

Đáp án

Câu 121

Cấp độ	2AP 2AN	Thời gian	1
CĐR: 1.2.1.1			

Viết mã hợp ngữ MIPS thực hiện phép tính: $s2 = $s1*36
A. sll $t0, $s1, 2
sll $t1, $s1, 5
add $s2, $t0,t1
B. srl $t0, $s1, 2
srl $t1, $s1, 5
add $s2, $t0,t1
C. add $t0, $s1, 32
add $t1, $t0, 4
add $s2, $t0,t1
D. sll $t0, $s1, 2
sll $t1, $s1, 5
add $t1, $t0,$s2			

Đáp án

Câu 122

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1, 1.2.1.4			
Phần mềm nào sau đây chuyển đổi từ ngôn ngữ cấp cao sang ngôn ngữ hợp ngữ A. Compiler B. Assembler C. Loader D. Linker			

Đáp án

Câu 123

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1, 1.2.1.4			
Phần mềm nào sau đây chuyển đổi từ ngôn ngữ cấp hợp ngữ sang ngôn ngữ máy A. Compiler B. Assembler C. Loader D. Linker			

Đáp án

Câu 124

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1, 1.2.1.4			
Vùng nhớ nào chứa mã lệnh của chương trình A. Dynamic data segment B. Text data segment C. Global data segment D. Reserved data segment			

Đáp án

Câu 125

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1, 1.2.1.4			
Vùng nhớ nào được sử dụng để cấp phát/giải phóng trong quá trình thực thi chương trình A. Heap B. Stack C. Array D. Register file			

Đáp án

Câu 126

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1, 1.2.1.4			
Vùng nhớ nào được sử để gọi thủ tục trong thủ thủ (hàm con được gọi trong hàm con)? A. Heap B. Stack C. Array D. Register file			

Đáp án

Câu 127

Cấp độ	3A	Thời gian	1
CĐR: 1.2.1.1			
Không gian địa chỉ tối đa của MIPS-32 là A. 4GB (giga bytes) B. 4Gb (giga bits) C. 1GB (giga bytes) D. 1Gb (giga bits)			

Đáp án

Câu 128

Cấp độ	2R 2U 2AN	Thời gian	1
CĐR: 1.2.1.1, 3.3.2.1			
Sắp xếp trình tự các chương trình để hoàn thành các bước để biên dịch và bắt đầu một chương trình: 1. Assembler 2. Compiler 3. Linker 4. Loader A. 1,2,3,4 B. 2,1,3,4 C. 2,1,4,3 D. 2,3,1,4			

Đáp án

Câu 129

Cấp độ	3U 1A	Thời gian	1
CĐR: 1.2.2.1			
Vùng nhớ global data segment có tầm địa chỉ 0x10000000-0x1000FFFC. Vùng nhớ này có dung lượng là: A. 128KB B. 64KB C. 32KB D. 16KB			

Đáp án

Câu 130

Cấp độ	3A	Thời gian	1
CĐR: 1.2.1.1			
Tầm địa chỉ của không gian vùng nhớ của MIPS-32 là A. 0x00000000 - 0xFFFFFFFC B. 0x00400000 - 0x0FFFFFFC C. 0x00000000 - 0x0FFFFFFC D. 0x00400000 - 0x7FFFFFFC			

Đáp án

Câu 131

Cấp độ	2R	Thời gian	½
CĐR: 1.2.1.1; 3.3.2.1			
Stack được truy xuất theo nguyên lý FIFO, đúng hay sai?			

A.	Đúng
B.	Sai

Đáp án

Câu 132

Cấp độ	3AP 2AN	Thời gian	1
CĐR: 1.2.1.1			

Cho đoạn mã lệnh MIPS và địa chỉ của lệnh như sau:

```
0xA4          beq  $t0, $0, else
0xA8          addi $v0, $0, 1
0xAC          addi $sp, $sp, 8
0xB0          jr   $ra
0xB4    else: addi $a0, $a0, -1
0xB8          jal  factorial
```

Mã máy của lệnh [beq $t0, $s0, else] là:
A. 0x11000003
B. 0x11000004
C. 0x10800003
D. 0x10800004

Đáp án

Câu 133

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1, 3.3.2.1			

Vùng nhớ global data được sử dụng để làm gì?
A. Sử dụng để lưu các biến toàn cục, cục bộtrong quá trình thực thi chương trình
B. Sử dụng để lưu các biến toàn cục trong quá trình gọi thủ tục
C. Sử dụng để lưu các biến toàn cục trong quá trình thực thi chương trình
D. Sử dụng để lưu các biến toàn cục, khai báo trước khi thực thi chương trình

Đáp án

Câu 134

Câu 14

Cấp độ	2AN	Thời gian	2
CĐR: 3.3.1.1			

Cho đoạn chương trình được viết bằng code C như sau:
C code:

```
int i = 0;
while (x[i] == y[i]){
                i +=1;
}
```

Đoạn chương trình MIPS Assembly dưới đây được viết tương đương với chương trình C cho trên.
MIPS assembly code:

```
and $t0, $t0, $zero // Khởi động thanh ghi $t0
LOOP_WHILE:        sll $t1, $t0, 2
add $t1, $t1, $s0    // Xác định đỉa chỉ của x[i]
lw $t2, 0($t1)
add $t3, $t1, $s1   // Xác định đỉa chỉ của y[i]
lw $t4, 0($t3)
                        bne $t2, $t4, EXIT_WHILE
addi $t0, $t0, 1
                                    j LOOP_WHILE
EXIT_WHILE:
```

Thanh ghi $t0 chưa nội dung của?

a. Biến X[i]
b. Biến Y[i]
c. Biến I
d. Giá trị Zero

Đáp án

Câu 135

Cấp độ	2A	Thời gian	2
CĐR: 3.3.1.1			

Cho đoạn chương trình được viết bằng code C như sau:

C code:

```
int i = 0;
while (x[i] == y[i]){
                i +=1;
}
```

Đoạn chương trình MIPS Assembly dưới đây được viết tương đương với chương trình C cho trên.

MIPS assembly code:

```
and $t0, $t0, $zero // Khởi động thanh ghi $t0
LOOP_WHILE:        sll $t1, $t0, 2
add $t1, $t1, $s0    // Xác định đỉa chỉ của x[i]
lw $t2, 0($t1)
add $t3, $t1, $s1   // Xác định đỉa chỉ của y[i]
lw $t4, 0($t3)
                        bne $t2, $t4, EXIT_WHILE
addi $t0, $t0, 1
j LOOP_WHILE
EXIT_WHILE:
```

Thanh ghi $t2 chưa nội dung của?

a. Biến X[i]
b. Biến Y[i]
c. Biến I
d. Giá trị Zero

Đáp án

Câu 136

Cấp độ	2AN	Thời gian	2
CĐR: 3.3.1.1			

Cho đoạn chương trình được viết bằng code C như sau:

C code:

```
int i = 0;
while (x[i] == y[i]){
                i +=1;
}
```

Đoạn chương trình MIPS Assembly dưới đây được viết tương đương với chương trình C cho trên.

MIPS assembly code:

```
and $t0, $t0, $zero // Khởi động thanh ghi $t0
LOOP_WHILE:        sll $t1, $t0, 2
add $t1, $t1, $s0    // Xác định đỉa chỉ của x[i]
lw $t2, 0($t1)
add $t3, $t1, $s1   // Xác định đỉa chỉ của y[i]
lw $t4, 0($t3)
                        bne $t2, $t4, EXIT_WHILE
addi $t0, $t0, 1
j LOOP_WHILE
EXIT_WHILE:
```

Thanh ghi $s0 chưa nội dung là?

a. Địa chỉ của X[i]
b. Địa chỉ của Y[i]
c. Địa chỉ của Y[0]
d. Địa chỉ của X[0]

Đáp án

Câu 137

Cấp độ	2AN	Thời gian	2
CĐR: 3.3.1.1			

Cho đoạn chương trình được viết bằng code C như sau:

C code:

```
int i = 0;
while (x[i] == y[i]){
                i +=1;
}
```

Đoạn chương trình MIPS Assembly dưới đây được viết tương đương với chương trình C cho trên.

MIPS assembly code:

```
and $t0, $t0, $zero // Khởi động thanh ghi $t0
LOOP_WHILE:        sll $t1, $t0, 2
add $t1, $t1, $s0    // Xác định đỉa chỉ của x[i]
lw $t2, 0($t1)
add $t3, $t1, $s1   // Xác định đỉa chỉ của y[i]
lw $t4, 0($t3)
                        bne $t2, $t4, EXIT_WHILE
```

addi $t0, $t0, 1 j LOOP_WHILE EXIT_WHILE: Giá trị của thanh ghi $s1 là ? a. Nội dung của biến X[i] b. Nội dung của biến Y[i] c. Địa chỉ của X[0] d. Địa chỉ củ Y[0]

Đáp án

Câu 138

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Mã lệnh của lệnh add $t2, $t0, $t1 là: a. 01095020 b. AE0A0000 c. 02580822 d. 0EAA5020			

Đáp án

Câu 139

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.1			
Mã máy AE0A0000 là của lệnh assembly nào dưới đây của kiến trúc MIPS 32 bits? a. add $t2, $t0, $t1 b. sw $t2, 0($s0) c. sub $t3, $s0, $t0 d. lw $t2, 0($s0)			

Đáp án

Câu 140

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.1			
Mã máy 02580822 là của lệnh assembly nào dưới đây của kiến trúc MIPS 32 bits? a. add $t2, $t0, $t1 b. sw $t2, 0($s0) c. sub $t3, $s0, $t0 d. lw $t2, 0($s0)			

Đáp án

Câu 141

Cấp độ	2AN	Thời gian	2
CĐR: 1.2.4.1			
Cho đoạn đoạn chương trình MIPS Assembly được thực thi ở địa chỉ lệnh 0x04000024 như sau:			

```
        slt     $t2, $t0, $t1
        beq     $t2, $zero, ELSE
        add     $t2, $t2, $t0
        j       DONE
ELSE: add       $t2, $t2, $t1
DONE:
```

Trong đó giá trị của các thanh ghi:

$t0 = 0000 0000 0000 0000 0000 0000 1011 1111

$t1 = 0000 0000 0000 0000 0000 0000 1100 0000

Giá trị trong thanh ghi $t2 sẽ là bao nhiêu sao khi chạy xong câu lệnh 1?

a. 0x00000000
b. 0x00000001
c. 0x000000C1
d. 0x000000C0

Đáp án

Câu 142

Cấp độ	3AN	Thời gian	2
CĐR: 1.2.4.1			

Cho đoạn đoạn chương trình MIPS Assembly được thực thi ở địa chỉ lệnh 0x04000024 như sau:

```
        slt     $t2, $t0, $t1
        beq     $t2, $zero, ELSE
        add     $t2, $t2, $t0
        j       DONE
ELSE: add       $t2, $t2, $t1
DONE:
```

Trong đó giá trị của các thanh ghi:

$t0 = 0000 0000 0000 0000 0000 0000 1011 1111

$t1 = 0000 0000 0000 0000 0000 0000 1100 0000

Giá trị trong thanh ghi $t2 sẽ là bao nhiêu sao khi chạy xong chương trình này?

a. 0x00000000
b. 0x00000001
c. 0x000000C1
d. 0x000000C0

Đáp án

Câu 143

Cấp độ	3AN	Thời gian	2
CĐR: 1.2.1.1			

Cho đoạn chương trình MIPS Assembly được thực thi ở địa chỉ lệnh 0x04000024 như sau:

```
addi $s0, $zero, 1
addi $t1, $zero, 5
loop:   beq $t1, $zero, end
sll $s0, $s0, 1
addi $t1, $t1, -1
```

j loop
end:
Mã lệnh 0x2129FFFF là của lệnh nào ?

a. Lệnh thứ 2
b. Lệnh thứ 3
c. Lệnh thứ 4
d. Lệnh thứ 5

Đáp án

Câu 144

Cấp độ	3AN	Thời gian	2
CĐR: 1.2.1.1			

Cho đoạn chương trình MIPS Assembly được thực thi ở địa chỉ lệnh 0x04000024 như sau:

```
addi $s0, $zero, 1
addi $t1, $zero, 5
loop:    beq $t1, $zero, end
sll $s0, $s0, 1
addi $t1, $t1, -1
j loop
end:
```

Giá trị của thanh ghi $t1 là bao nhiêu?

a. 0
b. 1
c. 2
d. 3

Đáp án

Câu 145

Cấp độ	3AN	Thời gian	2
CĐR: 1.2.1.1			

Cho đoạn chương trình MIPS Assembly được thực thi ở địa chỉ lệnh 0x04000024 như sau:

```
addi $s0, $zero, 1
addi $t1, $zero, 5
loop:    beq $t1, $zero, end
sll $s0, $s0, 1
addi $t1, $t1, -1
j loop
end:
```

Giá trị của thanh ghi $s0 là bao nhiêu

a. 4
b. 8
c. 16
d. 32

Đáp án

Câu 146

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Tìm biểu diễn nhị phân 8 bit của số -54 A. 11001010. B. 10100100. C. 01001010. D. 11001110.			

Đáp án

Câu 147

Cấp độ	2U	Thời gian	1.5
CĐR: 1.2.1.1			
Tìm biểu diễn thập phân của số nhị phân không dấu sau: 1001 1110 0110 A. -734. B. -350. C. 2534 D. 1530.			

Đáp án

Câu 148

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.1			
Dịch sang mã máy cho câu lệnh assembly: add *$t0, $s1, $s2* A. 0000 0100 1001 1101 1110 0110 0000 0110. B. 0000 0010 0011 0010 0100 0000 0010 0000. C. 0000 1010 1000 0100 0011 0111 0010 1101. D. 0000 0110 0011 0010 1110 0011 0000 0011			

Đáp án

Câu 149

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.1			
Dịch sang mã máy nhị phân cho câu lệnh assembly: lw $t1, 16($s3) A. 1000 1110 0110 1001 0000 0000 0001 0000 B. 1010 1100 1110 0000 0000 1110 1100 0010 C. 1010 0000 1001 0110 0000 0000 0000 1110 D. 0010 1100 1011 0000 1100 1001 0001 0000			

Đáp án

Câu 150

Cấp độ	2 AN	Thời gian	2
CĐR: 1.2.1.1, 1.2.1.4			

Chọn chuỗi lệnh assembly MIPS chính xác để thực hiện phép gán sau: A[45] = h + A[10]; A là mảng số nguyên, giả sử địa chỉ nền của mảng A và giá trị h được lưu trong thanh ghi $t1 và $s2
A. lw $t0, 40($t1)
add $t0,$s2,$t0
sw $t0,180($t1)
B. lw $t0, 10($t1)
add $t0,$s2,$t0
sw $t0, 45($t1)
C. lw $t0, 10($t1)
add $t0,$s2,$t0
sw 45($t1), $t0
D. lw $t0, 10($t1)
add $s2,$t0, $t0
sw $t0, 45($t1)			

Đáp án

Câu 151

Cấp độ	2 AN	Thời gian	3.5
CĐR: 1.2.1.1, 1.2.1.13			

Giả sử thanh ghi $s0 và $s1 lưu giá trị biến g và h, địa chỉ nền của mảng A và B lưu trong thanh ghi $s6, $s7. Tìm dòng lệnh C tương ứng với chuỗi lệnh assembly sau:

```
lw $t0, 16($s7)
sll $t0, $t0, 2
add $t0, $t0, $s6
lw $s0, 0($t0)
add $s0, $s1, $s0
```

A. g = B[A[4]];

B. g = h + A[B[4]];

C. A[0]= g + B[4];

D. A[B[4]] = g+h;

Đáp án

Câu 152

Cấp độ	2U	Thời gian	0.5
CĐR: 1.2.1.1, 1.2.1.4			

Để thực thi chương trình đang chạy, ban đầu tất cả nội dung và dữ liệu của chương trình sẽ được nạp vào:

A. Bộ nhớ

B. Thanh ghi

C. Cache

D. B và C

Đáp án

Câu 153

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.1			

Tìm lệnh hợp ngữ cho chuỗi mã máy sau: 1010 1110 0110 1011 0000 0000 0001 0000 A. sub $t0, $t1, $t2 B. sw $t3, 16($s3) C. lw $t2, 4($s0) D. sw $s3, 4($t1)

Đáp án

Câu 154

Cấp độ	2U	Thời gian	2
CĐR: 1.2.1.1, 1.2.1.4			
Khi muốn nhảy tới một lệnh trong khoảng địa chỉ ± 2^17 so với địa chỉ lệnh hiện tại thì dùng lệnh: A. beq B. bne C. j D. A và B			

Đáp án

Câu 155

Cấp độ	3 AN	Thời gian	3
CĐR: 1.2.1.1, 1.2.1.4			
Để lưu giá trị hằng số 32 bit (ví dụ 32’h35DE689F) vào thanh ghi $s2 cần dùng các lệnh assembly nào? A. lệnh lw và ori B. lệnh lui và ori C. lệnh lw và andi D. lệnh lui và andi			

Đáp án

Câu 156

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1, 1.2.1.4			
Giả sử giá trị 32 bit sau: 3A5F120B được lưu vào trong memory từ địa chỉ 33, hỏi mỗi byte trong 32 bit đó được lưu chính xác ở địa chỉ nào theo cách đánh địa chỉ của MIPS? A. Byte 3A, 5F, 12, 0B lần lượt lưu ở địa chỉ 32, 36, 40, 44 B. Byte 3A, 5F, 12, 0B lần lượt lưu ở địa chỉ 44, 40, 36, 32 C. Byte 3A, 5F, 12, 0B lần lượt lưu ở địa chỉ 32, 33, 34, 35 D. Byte 3A, 5F, 12, 0B lần lượt lưu ở địa chỉ 35, 34, 33, 32			

Đáp án

Câu 157

Cấp độ	2A	Thời gian	3
CĐR: 1.2.1.1			
Cho thanh ghi $s0=0xBEADFEED, thanh ghi $s1=0xDEADFADE, cho biết giá trị thanh ghi $s2 sau khi thực thi các lệnh sau: *sll $t2, $t0, 4* *or $t2, $t2, $t1* A. 0xAB3E5400 B. 0xCFD82B05 C. 0xFED00ABF D. 0xFEFFFEDE			

Đáp án

Câu 158

Cấp độ	2 AN	Thời gian	2
CĐR: 1.2.1.1			

Cho câu lệnh C sau: B[5] = A[i] + B[j]. Giả sử biến j, j lưu trong thanh ghi $s1, $s2. Địa chỉ cơ sở của mảng A và B lưu trong thanh ghi $s3 và $s4. Có tối thiểu bao nhiêu lệnh assembly để thực hiện lệnh C ở trên? A. 6 B. 9 C. 7 D. 8

Đáp án

Câu 159

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Cách đánh địa chỉ tương ứng của các lệnh j, jr, beq, sw lần lượt là: A. Địa chỉ trực tiếp, địa chỉ tương đối với PC, địa chỉ cơ sở, địa chỉ thanh ghi B. Địa chỉ tương đối với PC, địa chỉ trực tiếp, địa chỉ cơ sở, địa chỉ thanh ghi C. Địa chỉ cơ sở, địa chỉ tương đối với PC, địa chỉ thanh ghi, địa chỉ trực tiếp D. Địa chỉ trực tiếp, địa chỉ thanh ghi, địa chỉ tương đối với PC, địa chỉ cơ sở			

Đáp án

Câu 160

Cấp độ	2A	Thời gian	3
CĐR: 1.2.1.1			

Cho chuỗi nhị phân 16 bit: 0xAB59, số thập phân tương ứng cho chuỗi bit trên trong trường hợp chuỗi bit là số có dấu (bù hai) và số không dấu lần lượt là:

A. -22098 và -31765

B. -45099 và 65988

C. 56122 và -24567

D. -21671 và 43865

Đáp án

Câu 161

Cấp độ	2U	Thời gian	1.5
CĐR: 1.2.1.1			
Giả sử giá trị đang lưu trong thanh ghi $s1 và thanh ghi $s2 lần lượt là 0x3245A6D3 và 0x8B0012A5. Hỏi kết qủa thanh ghi $t3 sau khi thực hiện hai câu lệnh assembly bên dưới là bao nhiêu? slt $t3, $s1, $s2 sltu $t3, $s1, $s2 A. 1 và 0 B. 0 và 1 C. 1 và 1 D. 0 và 0			

Đáp án

Câu 162

Cấp độ	R1	Thời gian	0.5
CĐR: 1.2.1.4			
Phần nào sau đây cấp phát động cho các biến: A. Queue B. Stack C. Heap D. Banks			

Đáp án

Câu 163

Cấp độ	R1	Thời gian	0.5
CĐR: 1.2.1.4			
Tốc độ truy của thiết bị nào sau đây nhanh hơn RAM? A. Heaps B. Stacks C. Cache D. HDD			

Đáp án

Câu 164

Cấp độ	R1	Thời gian	0.5
CĐR: 1.2.1.4			
Chức năng của thanh ghi $ra trong kiến trúc MIPS là: A. Lưu giá trị của một mảng B. Lưu giá trị địa chỉ của mảng C. Lưu giá trị địa chỉ trả về khi thực hiện lệnh gọi hàm D. Lưu các giá trị trả về của một phép toán			

Đáp án

Câu 165

Cấp độ	R1	Thời gian	0.5
CĐR: 1.2.1.1			
Để quay lại chương trình chính sau khi thực hiện xong chương trình con dùng lệnh nào sau đây ? A. Jal $ra B. J $ra C. Jr $ra D. Jl $ra			

Đáp án

Câu 166

Cấp độ	AN1	Thời gian	1
CĐR: 1.2.1.1			
Đoạn lệnh assembly nào tương ứng lệnh c sau: “if ($s2 < $s3); s1 = 1; else $s1 = 0”? A. Slt $s1, $s2, 1 B. Slti $s1, $s3, $s2 C. Slt $s1, $s2, $s3			

D. Sll $s1, $s2, $s3

Đáp án

Câu 167

Cấp độ	R1	Thời gian	0.5
CĐR: 1.2.1.1			
Cộng trực tiếp với một số không dấu trong MIPS ta sử dụng lệnh nào? A. addiu B. addi C. addu D. addui			

Đáp án

Câu 168

Cấp độ	R1	Thời gian	0.5
CĐR: 1.2.1.1			
Đâu không phải là một lệnh Assembly trong MIPS? A. Addi B. Add.d C. Add.s D. Add.u			

Đáp án

Câu 169

Cấp độ	R1	Thời gian	0.5
CĐR: 3.3.2.1			
Trong kiến trúc MIPS thanh ghi $v0 chứa các số thực đúng hay sai? A. Đúng B. Sai			

Đáp án

Câu 170

Cấp độ	R1	Thời gian	0.5
CĐR: 3.3.2.1			
Trong kiến trúc MIPS khi thực hiện phép nhân hoặc phép chia thanh ghi nào được sử dụng trong quá trình tính toán: A. Hi B. Lo C. To			

D. Cả a và b

Đáp án

Câu 171

Cấp độ	R1	Thời gian	0.5
CĐR: 3.3.2.1			
Trong kiến trúc MIPS phép chia không dấu dùng lệnh nào sau đây? A. Div B. Divu C. Divi D. Diu			

Đáp án

Chương 3: Phép toán số học trong máy tính

Câu 1

Cấp độ	2A	Thời gian	2
CĐR: 1.3.2.13			
Trong các số nhị phân bên dưới, số nào biễu diễn IEEE754 - 32 bit cho số 2006: A. 0xc4fac000 B. 0x44fac000 C. 0x447b8000 D. 0xc47b8000			

Đáp án

Câu 2

Cấp độ	2A	Thời gian	2
CĐR: 1.3.2.13			
Trong các số thập phân bên dưới, số nào biễu diễn cho số thập lục phân 0xc4fbc000, biết số này đang biểu diễn theo dạng IEEE754 - 32 bit. A. -2014 B. 2014 C. 2004 D. -2004			

Đáp án

Câu 3

Cấp độ	2A	Thời gian	1
CĐR: 1.3.2.13			
Thực hiện phép cộng cho 2 số nhị phân 101.11 và 1111.01 trên kiến trúc phần cứng; Sau khi thực hiện xong bước 1 trong giải thuật thực hiện phép cộng trên số dấu chấm động thì số nào phải dịch sang bên phải: A. 101.11 B. 1111.01 C. Không có số nào dịch phải D. Cả 2 số điều phải dịch phải			

Đáp án

Câu 4

Cấp độ	2A	Thời gian	2
CĐR: 1.3.2.13			
Kết quả của phép nhân của 2 số nhị phân 11101 x 1011 là bao nhiêu? A. 100111111 B. 10011111 C. 110011111 D. Các câu còn lại điều sai			

Đáp án

Câu 5

Cấp độ	2A	Thời gian	1
CĐR: 1.3.2.13			
Dạng biểu diễn bù 2 của số -29 trọng số nhị phân biễu diễn số thập lục phân 16 bit? A. 0xFFE3 B. 0x00EC C. 0xFFEC D. 0x001D			

Đáp án

Câu 6

Cấp độ	2A	Thời gian	2
CĐR: 1.3.2.13			
Biểu diễn số dấu chấm động của số c = $0.2998x10^9$ dưới dạng nhị phân theo chuẩn IEEE 754 là bao nhiêu? A. 1100 1101 1000 1110 1111 0100 1010 1110 B. 0100 1101 0000 1110 1111 0100 1010 1110 C. 0100 1101 1000 1110 1111 0100 1010 1110 D. 0110 1101 1000 1110 1111 0100 1010 1110			

Đáp án

Câu 7

Cấp độ	2A	Thời gian	2
CĐR: 1.3.2.13			
Cho các biểu diễn số thực bên dưới. Số nào biểu diễn số thực chuẩn: A. 0.101 x 2^4 B. 101 x 2^0 C. 101 D. 1.01 x 2^4			

Đáp án

Câu 8

Cấp độ	2A	Thời gian	2
CĐR: 1.3.2.13			
Thực hiện phép chia cho 2 số 4 bit sau 0111_2 : 0010_2 trên phần cứng 3 thanh ghi. Cho biết giá trị của thanh ghi Quotient (Thương) bằng bao nhiêu cho bước lặp số 2 A. 0000 B. 0001 C. 0010 D. 0011			

Đáp án

Câu 9

Cấp độ	2A	Thời gian	2

CĐR: 1.3.2.13
Thực hiện phép nhân cho 2 số 4 bit sau 0010_2 x 0011_2 trên phần cứng 3 thanh ghi. Cho biết giá trị của thanh ghi tích bằng bao nhiêu sau bước lặp số 2. (Chọn đáp án đúng nhất) A. 0000 0110 B. 0000 0011 C. 0000 0001 D. 0000 0010

Đáp án

Câu 10

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.1			
Giá trị nhị phân của phép nhân hai số thập lục phân DE x AB là: A. 1001010001001010 B. 1101010001001010 C. 1111010001001010 D. 1111110001001010			

Đáp án

Câu 11

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.1			
Trong máy tính, loại số nào sau đây thực hiện các phép toán số học hiệu quả nhất? A. Số nhị phân không dấu B. Số nhị phân có dấu C. Số bù 1 D. Số bù 2			

Đáp án

Câu 12

Cấp độ	1AP	Thời gian	1
CĐR: 1.2.1.1			
Cho biết kết quả phép tính của số bù 2 sau: 0101 + 1110 A. 0011 B. 1011 C. 0111 D. Cả 3 đáp án trên đều sai			

Đáp án

Câu 13

Cấp độ	1AP	Thời gian	1

CĐR: 1.2.1.1
Cho biết kết quả phép tính của số bù 2 sau: 0111 + 0010 A. 1001 B. 1010 C. 0111 D. Cả 3 đáp án trên đều sai

Đáp án

Câu 14

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.4			
Trong mạch cộng n-bit, để phát hiện tràn số học người ta sử dụng cổng gì sau đây: A. AND B. OR C. NOT D. XOR			

Đáp án

Câu 15

Cấp độ	1AP	Thời gian	1
CĐR: 1.2.1.1			
Cho biết giá trị của số bù 2 sau là bao nhiêu? 1111 1111 0101 1010 A. 166 B. -166 C. -65370 D. 65370			

Đáp án

Câu 16

Cấp độ	1AP	Thời gian	1
CĐR: 1.2.1.1			
Chuyển đổi ra số bù 2 của số sau: -126 A. 1111 1110 B. 10 C. 111 1110 D. Cả 3 đáp án trên đều đúng			

Đáp án

Câu 17

Cấp độ	1AP	Thời gian	1
CĐR: 1.2.1.1			

Sử dụng bộ xử lí ALU 8 bits thực hiện phép cộng hai số bù 2 sau: 01111111 + 00100000. Cho biết kết quả của phép cộng số bù 2 trên? A. 1001 1111 B. 1111 1001 C. 00011111 D. Cả 3 đáp án trên đều sai

Đáp án

Câu 18

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.1			
Số thập phân được biểu diễn trong máy tính được gọi là số dấu chấm động vì dấu chấm thập phân có thể di chuyển giữa các kí số. Phát biểu trên đúng hay sai A. Đúng B. Sai			

Đáp án

Câu 19

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
Thành phần nào cấu tạo nên số dấu chấm động A. Dấu (Sign) B. Trọng số (Significant digits) C. Hệ số tỉ lệ (Scale factor) D. Tất cả các thành phần trên			

Đáp án

Câu 20

Cấp độ	1AP	Thời gian	1
CĐR: 1.2.1.1			
Biểu diễn số thập phân 3.5 ở dạng số chấm động IEEE754 với độ chính xác đơn A. 01111111011000000000000000000000 B. 00111111011000000000000000000000 C. 00101111011000000000000000000000 D. 00100111011000000000000000000000			

Đáp án

Câu 21

Cấp độ	1AP	Thời gian	1
CĐR:1.2.1.1			

Xác định giá trị số thập phân của số chấm động IEEE754 với độ chính xác đơn sau: 00111111011000000000000000000000 A. 3.125 B. 3.75 C. 3.5 D. 3.25

Đáp án

Câu 22

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
Trong số dấu chấm động với độ chính xác kép, độ dài của thành phần floating (F) là A. 62 bit B. 32 bit C. 42 bit D. 52 bit			

Đáp án

Câu 23

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
Trong số dấu chấm động với độ chính xác đơn, thành phần mũ (exponent) thể hiện giá trị trong khoảng: A. 0 – 255 B. -128 – 127 C. 0 – 127 D. -256 – 256			

Đáp án

Câu 24

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.4			
Trong kiến trúc mạch nhân-4 bit loại 3 thanh ghi thì độ dài của thanh ghi số bị nhân, thanh ghi số nhân và thanh ghi tích sẽ tương ứng như sau A. 4, 8, 8 B. 8, 4, 8 C. 4, 4, 4 D. 8, 8,			

Đáp án

Câu 25

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.4			
Trong kiến trúc mạch nhân-4 bit loại 2 thanh ghi thì độ dài của thanh ghi số bị nhân và thanh ghi tích sẽ tương ứng như sau A. 4, 8 B. 8, 4 C. 4, 4 D. 8, 8			

Đáp án

Câu 26

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Phép nhân 2 số 4 bit thì cần bao nhiêu lần lặp (không tính bước khởi tạo) ? A. 2. B. 3. C. 4. D. 5.			

Đáp án

Câu 27

Cấp độ	2A	Thời gian	5
CĐR: 1.2.1.1, 1.2.1.4			
Kết quả của bước thứ 3 trong phép nhân 2 số 4 bit 1011x1010 là bao nhiêu ? A. 0001 1110. B. 0001 0110. C. 0001 0111. D. 0001 0010.			

Đáp án

Câu 28

Cấp độ	2Ana	Thời gian	5
CĐR: 1.2.1.1, 1.2.1.4			
Biểu diễn dấu chấm động với độ chính xác đơn của số -0.6875 là : A. 1 11111110 01100000000000000000000000. B. 1 01111100 01100000000000000000000000. C. 1 01111110 01100000000000000000000000. D. 1 01111110 01000000000000000000000000.			

Đáp án

Câu 29

Cấp độ	2A	Thời gian	5
CĐR: 1.2.1.1			
Biểu diễn dấu chấm động với độ chính xác đơn của số 15.625 là : A. 0x00015625. B. 0x826D0000. C. 0x00000015. D. 0x417A0000.			

Đáp án

Câu 30

Cấp độ	2U	Thời gian	3
CĐR: 1.2.1.1			
Giá trị nhị phân của số 2315 là : A. 100100011011. B. 100100001111. C. 100100001011. D. 100100001010.			

Đáp án

Câu 31

Cấp độ	2A	Thời gian	3
CĐR: 1.2.1.1, 1.2.1.4			
Kết quả của phép nhân 1110 x 1011 là bao nhiêu? A. 10011011. B. 11011010. C. 10011010. D. 11011011.			

Đáp án

Câu 32

Cấp độ	2A	Thời gian	3
CĐR: 1.2.1.1			
Dạng biểu diễn bù 2 của số -292 là: A. 1011011110. B. 1011011000. C. 10110111000. D. 1011011100.			

Đáp án

Câu 33

Cấp độ	2A	Thời gian	5
CĐR: 1.2.1.1			
Biểu diễn số dấu chấm động của số c = $0.2998x10^9$ là: A. 11001101100011101111010010101110. B. 01001101000011101111010010101110. C. 01001101100011101111010010101110. D. 01101101100011101111010010101110.			

Đáp án

Câu 34

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Phép chia 2 số 4 bit thì cần bao nhiêu lần lặp (không tính bước khởi tạo) ? A. 2. B. 3. C. 4. D. 5.			

Đáp án

Câu 35

Cấp độ	2A	Thời gian	5½
CĐR: 1.2.1.1			
Kết quả của bước thứ 4 trong phép chia 2 số 4 bit 0111x0010 là bao nhiêu ? A. 0000. B. 0010. C. 0001. D. 0011.			

Đáp án

Câu 36

Cấp độ	1R	Thời gian	½
CĐR: 1.2.1.1			
Số quá trong biểu diễn số dạng dấu chấm động với độ chính xác đơn là bao nhiêu ? A. 128. B. 127. C. 511. D. 512.			

Đáp án

Câu 37

Cấp độ	1R	Thời gian	½
CĐR: 1.2.1.1			
Số quá trong biểu diễn số dạng dấu chấm động với độ chính xác kép là bao nhiêu ? A. 511. B. 512. C. 1023. D. 1024.			

Đáp án

Câu 38

Cấp độ	1R	Thời gian	½
CĐR: 1.2.1.1			
Phần giá trị trong biểu diễn số dạng dấu chấm động với độ chính xác kép là bao nhiêu bit ? A. 32. B. 64. C. 52. D. 55.			

Đáp án

Câu 39

Cấp độ	1R	Thời gian	½
CĐR: 1.2.1.1			
Phần số mũ trị trong biểu diễn số dạng dấu chấm động với độ chính xác kép là bao nhiêu bit ? A. 8. B. 9. C. 10. D. 11.			

Đáp án

Câu 40

Cấp độ	1R	Thời gian	½
CĐR: 1.2.1.1			
Phần số mũ trị trong biểu diễn số dạng dấu chấm động với độ chính xác đơn là bao nhiêu bit ? A. 8. B. 9. C. 10. D. 11.			

Đáp án

Câu 41

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.1			
Biểu diễn bù 2 của số -2 dưới dạng 4 bit là: A. 1010. B. 1100. C. 1110. D. 0010.			

Đáp án

Câu 42

Cấp độ	2A	Thời gian	3
CĐR: 1.2.1.1			
Kết quả thực hiện phép tính 01000110+01011100 dưới dạng thập phân là : A. 154. B. 168. C. 162. D. 160.			

Đáp án

Câu 43

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
Biểu diễn số thực dưới dạng dẫu chấm động với độ chính xác đơn thì cần bao nhiêu bit biểu diễn: A. 16. B. 32. C. 48. D. 64.			

Đáp án

Câu 44

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
Biểu diễn số thực dưới dạng dẫu chấm động với độ chính xác kép thì cần bao nhiêu bit biểu diễn: A. 16. B. 32. C. 48. D. 64.			

Đáp án

Câu 45

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
Đối với dạng biểu diễn số thực dưới dạng dẫu chấm động với độ chính xác đơn thì các bit dành cho các trường (S, E, M) là ?: A. 1, 9, 22. B. 1, 8, 23. C. 1, 7, 24. D. 1, 11, 52.			

Đáp án

Câu 46

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
Đối với dạng biểu diễn số thực dưới dạng dẫu chấm động với độ chính xác kép thì các bit dành cho các trường (S, E, M) là : A. 1, 8, 23. B. 1, 10, 53. C. 1, 11, 52. D. 1, 15, 48.			

Đáp án

Câu 47

Cấp độ	2A	Thời gian	5
CĐR: 1.2.1.1			
Biểu diễn dưới dạng dấu chấm động của số 101,25 là : A. $42CA9000_{HEX}$. B. $42CB8000_{HEX}$. C. $42BA8000_{HEX}$. D. $42CA8000_{HEX}$.			

Đáp án

Câu 48

Cấp độ	2A	Thời gian	4
CĐR: 1.2.1.1			
Giá trị của số được biểu diễn dưới dạng dấu chấm động 0xC2548000 là: A. -52.125. B. 52.125. C. -53.125. D. 53.125.			

Đáp án

Câu 49

Cấp độ	2A	Thời gian	4
CĐR: 1.2.1.1			
Giá trị của số được biểu diễn dưới dạng dấu chấm động 0x42934000 là: A. 75.125. B. 73.625. C. 23.625. D. 46.25.			

Đáp án

Câu 50

Cấp độ	2A	Thời gian	5
CĐR: 1.2.1.1			
Biểu diễn dưới dạng dấu chấm động của số -95.5 là: A. $C2BE0000_{HEX}$. B. $C2BF1000_{HEX}$. C. $C2CF0000_{HEX}$. D. $C2BF0000_{HEX}$.			

Đáp án

Câu 51

Cấp độ	2A	Thời gian	6
CĐR: 1.2.1.1			
Giá trị của số được biểu diễn dưới dạng dấu chấm động với độ chính xác kép A08D568000000000H là: A. -9388.125. B. -938.8125. C. 93.6125. D. -93.615.			

Đáp án

Câu 52

Cấp độ	2U	Thời gian	1
CĐR: 2.1.1.4			
Phát biểu nào sau đây **SAI** khi nói về phép toán bị tràn trong phép cộng/trừ. A. Cộng hai số dương, kết quả ra âm B. Cộng hai số âm, kết quả ra dương C. Trừ một số dương cho một số âm, kết quả ra âm D. Trừ một số âm cho một số dương, cho ra kết quả âm			

Đáp án

Câu 53

Cấp độ	1AN	Thời gian	½
CĐR: 1.3.2.13			
Giới hạn biểu diễn của một số có dấu n-bit A. Từ -2^{n-1} tới $(2^{n-1}-1)$ B. Từ $(-2^{n-1}-1)$ tới $(2^{n-1}-1)$ C. Từ -2^{n-1} tới 2^{n-1} D. Từ $(-2^{n-1}-1)$ tới 2^{n-1}			

Đáp án

Câu 54

Cấp độ	2R	Thời gian	1
CĐR: 3.3.2.1			
Các lệnh nào dưới đây trong kiến trúc MIPS có xét đến *overflow* A. add, addi, subu B. add, addi, sub C. add, addiu, sub D. add, addu, subu			

Đáp án

Câu 55

Cấp độ	1U	Thời gian	½
CĐR: 2.1.1.4			
Sử dụng giải thuật thực hiện phép nhân theo cấu trúc phần cứng 3 thanh ghi cho 2 số 8bit không dấu. Hỏi thanh ghi *product* có bao nhiêu bit? A. 8 bit B. 16 bit C. 12 bit D. 24 bit			

Đáp án

Câu 56

Cấp độ	2U	Thời gian	1
CĐR: 2.1.1.4			
Sử dụng giải thuật thực hiện phép nhân theo cấu trúc phần cứng 3 thanh ghi cho 2 số 4bit không dấu, biết rằng mỗi bước ta cần một chu kỳ xung(clock). Vậy để thực hiện phép nhân trên thì cần bao nhiêu chu kỳ xung(clock)? A. 8 B. 4 C. 16 D. 12			

Đáp án

Câu 57

Cấp độ	2U	Thời gian	½
CĐR: 2.1.1.4			

Sử dụng giải thuật thực hiện phép nhân theo cấu trúc phần cứng 2 thanh ghi cho 2 số 16bit không dấu. Hỏi thanh ghi *product/multiplier* có bao nhiêu bit? A. 16 B. 8 C. 32 D. 64

Đáp án

Câu 58

Cấp độ	1U	Thời gian	½
CĐR: 2.1.1.4			
Sử dụng giải thuật thực hiện phép nhân theo cấu trúc phần cứng 2 thanh ghi cho 2 số 16bit không dấu, 16bit thấp của thanh ghi product là của *multiplicand* A. Đúng B. Sai			

Đáp án

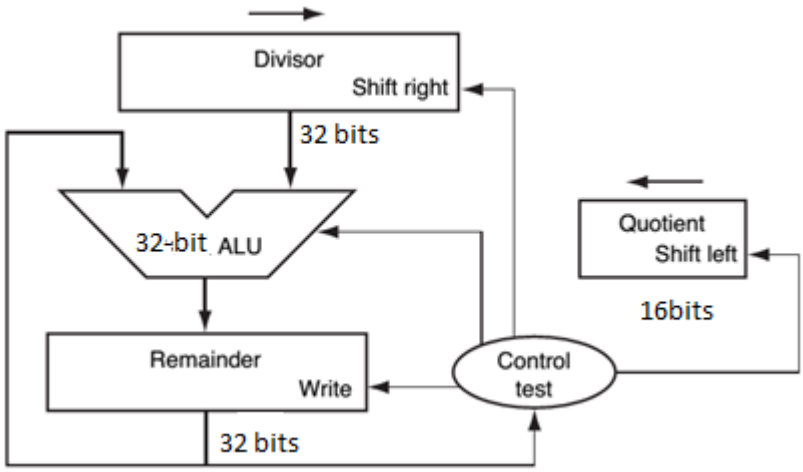
Câu 59

Cấp độ	1R	Thời gian	½
CĐR: 3.3.2.1			
Nhân hai số không dấu, MIPS cung cấp lệnh…….. Nhân hai số có dấu, MIPS cung cấp lệnh…… A. Multu và mult B. Mult và multu C. Hi và Lo D. Lo và Hi			

Đáp án

Câu 60

Cấp độ	2AN	Thời gian	1
CĐR: 1.3.2.13			
Cho sơ đồ khối thực hiện phép chia trên phần cứng và áp dụng giải thuật thực hiện phép chia. Xác định số vòng lặp của giải thuật này?			



A. 32
B. 16
C. 17
D. 8

Đáp án

Câu 61

Cấp độ	1R	Thời gian	½
CĐR: 1.2.1.1			
Để xử lý các phép chia của các số có dấu và số không dấu, MIPS có 2 lệnh: đối với phép chia có dấu ta dùng lệnh ……., đối với phép chia không dấu ta dùng lệnh ……. A. div và divu B. divu và div C. Hi và Lo D. Lo va Hi			

Đáp án

Câu 62

Cấp độ	1R	Thời gian	½
CĐR: 3.3.2.1			
Theo chuẩn IEEE 754 với độ chính xác đơn, phần lẻ(fraction) có bao nhiêu bit? A. 8 B. 22 C. 23 D. 52			

Đáp án

Câu 63

Cấp độ	3A	Thời gian	1½
CĐR: 2.1.1.4, 1.3.2.13			
Theo chuẩn IEEE 754 với độ chính xác đơn, số *-0.625* sẽ được biểu diễn trong máy tính như thế nào: A. 0 x bf200000 B. 0 x bf266666			

C. 0 x be800000 D. 0 x be866666

Đáp án

Câu 64

Cấp độ	3A	Thời gian	1½
CĐR: 2.1.1.4, 1.3.2.13			
Theo chuẩn IEEE 754 với độ chính xác đơn và được biểu diễn trong máy tính theo hệ 16 như sau: *0 x bfc80000*. Hãy xác định số thập phân được biểu diễn là: A. 1.625 B. -1.565 C. -1.625 D. -1.5625			

Đáp án

Câu 65

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Phát biểu nào sau đây **SAI** khi nói về biểu diễn số thực dấu chấm động trong máy tính. A. Tăng số bit chứa phần fraction thì tăng độ chính xác B. Tăng kích thước phần exponent là tăng tầm trị biểu diễn C. Với độ chính xác kép theo chuẩn IEEE 754 thì phần fraction có 51bit D. IEEE 754 với độ chính xác kép nhằm hạn chế việc tràn trên và tràn dưới của exponent			

Đáp án

Câu 66

Cấp độ	2R	Thời gian	½
CĐR: 1.3.2.13			
Theo chuẩn IEEE 754 với độ chính xác đơn thì số *bias* là bao nhiêu? A. 127 B. 128 C. 1023 D. 1024			

Đáp án

Câu 67

Cấp độ	2A	Thời gian	1
CĐR: 1.3.2.13, 1.2.1.4			
Kết quả của tích của hai số nhị phân không dấu 1101 * 1011 trong hệ nhị phân 8 bit là: A. 10001111 B.10101010 C. 11110000 D. 11001100			

Đáp án

Câu 68

Cấp độ	2A	Thời gian	1

CĐR: 1.3.2.13, 1.2.1.4
Kết quả thập phân của tích của hai số nhị phân dạng bù 2 11111011 * 11111001 A. 11 B. 88 C. 35 D. -35

Đáp án

Câu 69

Cấp độ	2A	Thời gian	1
CĐR: 1.3.2.13, 1.2.1.4			
Kết quả nhị phân của tích hai số thập phân -13x11 là A. 1100110011 B. 1101110001 C. 1010101010 D. 1111111000			

Đáp án

Câu 70

Cấp độ	2R	Thời gian	1
CĐR: 2.2.1.1			
Thực hiện phép nhân cho 2 số X, Y 32-bit theo sau: X = 0x0000001F Y = 0x00000006 Thuật toán trên chạy trong bao nhiêu bước thì có kết quả tích của X*Y? a. 5 b. 6 c. 31 d. 32			

Đáp án

Câu 71

Cấp độ	2U	Thời gian	1
CĐR: 3.3.1.1			
Thực hiện phép nhân cho 2 số X, Y 32-bit theo sau: X = 0x0000001F Y = 0x00000006 Giá trị khởi động của thanh ghi kết quả/số nhân/số bị nhân (Product/Multiplier/Multiplicant) là bao nhiêu? a. 0x0000000000000000/0x0000001F/0x0000000000000000 b. 0x0000000000000000/0x0000001F/0x0000000000000006 c. 0x0000000000000000/0x00000006/0x000000000000001F d. 0x000000000000001F/0x00000006/0x0000000000000000			

Đáp án

Câu 72

Cấp độ	2A	Thời gian	2
CĐR: 3.3.1.1			
Thực hiện phép nhân cho 2 số X, Y 32-bit theo sau: X = 0x0000001F Y = 0x00000006 Ở lần lặp đầu tiên, giá trị của thanh ghi kết quả/số nhân/số bị nhân là bao nhiêu? a. 0x0000000000000000/0x0000001F/0x0000000000000000 b. 0x0000000000000000/0x00000003/0x000000000000001F c. 0x0000000000000000/0x00000006/0x000000000000001F d. 0x000000000000001F/0x00000003/0x000000000000003E			

Đáp án

Câu 73

Cấp độ	2A	Thời gian	2
CĐR: 3.3.1.1			
Thực hiện phép nhân cho 2 số X, Y 32-bit theo sau: X = 0x0000001F Y = 0x00000006 Giá trị của thanh ghi số nhân/số bị nhân lần lặp thứ 3 là? a. 0x00000006/0x000000000000001A b. 0x0000001F/0x0000000000000006 c. 0x00000000/0x000000000000001A d. 0x00000006/0x00000000000000BA			

Đáp án

Câu 74

Cấp độ	3AN	Thời gian	2
CĐR: 1.2.4.1			
Thực hiện phép nhân cho 2 số X, Y 32-bit theo sau: X = 0x0000001F Y = 0x00000006 Giá trị của thanh ghi kết quả lần lặp thứ 5 là? a. 0x00000000000000BA/0x00000000/0x00000000000001E0 b. 0x00000000000000BA/0x00000000/0x00000000000000BA c. 0x00000000000000BA/0x00000000/0x000000000000001A d. 0x000000000000001A/0x00000006/0x00000000000000BA			

Đáp án

Câu 75

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.4			

Thực hiện phép chia cho 2 số X, Y 32-bit theo sau: X = 0x0000001D Y = 0x00000007 Thuật toán trên chạy trong bao nhiêu bước thì có kết quả số thương (quotion) và số dư (remainder) của X/Y? a. 31 b. 32 c. 33 d. 6

Đáp án

Câu 76

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.4			
Thực hiện phép chia cho 2 số X, Y 32-bit theo sau: X = 0x0000001D Y = 0x00000007 Giá trị khởi động của thanh ghi Số thương/Số chia/Số dư (Quotion/Divisor/Remainder) là bao nhiêu? a. 0x00000000/0x0000001D00000000/0x0000000000000007 b. 0x00000000/0x0000000700000000/0x000000000000001D c. 0x00000007/0x0000000000000000/0x000000000000001D d. 0x00000007/0x0000001D00000000/0x0000000000000000			

Đáp án

Câu 77

Cấp độ	3A	Thời gian	2
CĐR: 1.2.1.4			
Thực hiện phép chia cho 2 số X, Y 32-bit theo sau: X = 0x0000001D Y = 0x00000007 Ở lần lặp thứ 2, giá trị của thanh ghi Số thương/Số chia/Số dư (Quotion/Divisor/Remainder) là bao nhiêu? a. 0x00000000/0x00000001C0000000/0x000000000000001D b. 0x00000000/0x00000001C0000000/0x00000000000000E5 c. 0x00000007/0x00000001C0000000/0x000000000000001D d. 0x00000007/0x00000001C0000000/0x000000000000001C			

Đáp án

Câu 78

Cấp độ	2AN	Thời gian	2
CĐR: 3.3.1.1			
Thực hiện phép chia cho 2 số X, Y 32-bit theo sau:			

X = 0x0000001D
Y = 0x00000007
Giá trị của thanh ghi Số thương/Số chia/Số dư (Quotion/Divisor/Remainder) lần lặp thứ 4 là?

a. 0x00000000/0x00000001C0000000/0x00000000000000F3
b. 0x00000000/0x00000001C0000000/0x00000000000000E5
c. 0x00000001/0x0000000070000000/0x0000000000000010
d. 0x00000001/0x0000000070000000/0x0000000000000001

Đáp án

Câu 79

Cấp độ	3AN	Thời gian	2
CĐR: 3.3.1.1			

Thực hiện phép chia cho 2 số X, Y 32-bit theo sau:
X = 0x0000001D
Y = 0x00000007
Giá trị của thanh ghi Số thương/Số chia/Số dư (Quotion/Divisor/Remainder) lần lặp thứ 5 là?

a. 0x00000000/0x00000001C0000000/0x00000000000000F3
b. 0x00000000/0x00000001C0000000/0x00000000000000E5
c. 0x00000001/0x0000000070000000/0x0000000000000010
d. 0x00000001/0x0000000070000000/0x0000000000000001

Đáp án

Câu 80

Cấp độ	2A	Thời gian	3
CĐR: 1.2.1.1			

Cho hai số thập phân A=102, B=45, với A, B được lưu trữ theo dạng số 8 bit có dấu bù 2, tổng của A+B biểu diễn dưới dạng nhị phân là:

A. 1001 0011 (tràn)

B. 1100 0101 (tràn)

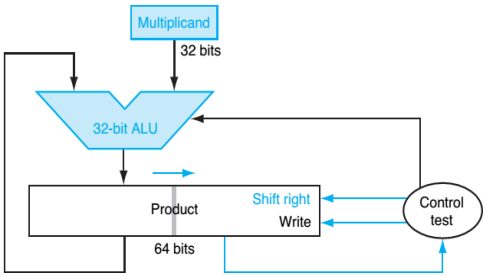
C. 0101 1001 (không tràn)

D. 0111 1101 (không tràn)

Đáp án

Câu 81

Cấp độ	2A	Thời gian	5

CĐR: 1.2.1.1
Cho hai số thập phân không dấu A=50, B=23. Kết quả nhị phân của phép nhân A x B theo cấu trúc phần cứng bên dưới là:    A. 0010 1111 1000 B. 0001 1110 1101 C. 0100 0011 1110 D. 0001 1000 0010

Đáp án

Câu 82

Cấp độ	2A	Thời gian	3
CĐR: 1.2.1.1			
Biểu diễn số thực dấu chấm động theo chuẩn IEEE 745 độ chính xác đơn của số thập phân -938.8125 là: A. 1000 0010 0101 1110 0000 0100 0000 0000 B. 1000 0010 0110 1110 0000 0101 0000 0000 C. 1100 0100 0110 1010 1011 0100 0000 0000 D. 1001 1100 0000 0001 0101 0011 1000 0000			

Đáp án

Câu 83

Cấp độ	2A	Thời gian	2
CĐR: 1.2.1.1			
Biểu diễn nhị phân 32 bit theo chuẩn IEEE độ chính xác đơn cho số thập phân 5.00736125 x 10^5 là: A. 100011001100111100.00 B. 01110000000100100110…00 C. 1000100111000100011….11 D. 01001000111101001000…00			

Đáp án

Câu 84

Cấp độ	U1	Thời gian	1
CĐR: 1.2.1.4			
Số biểu diễn hệ 10 tương ứng số $(1111\ 1111\ 1111\ 1111\ 1111\ 1111\ 1111\ 1101)_2$ là: A. $(-1)_{10}$ B. $(-2)_{10}$ C. $(-3)_{10}$ D. $(-4)_{10}$			

Đáp án

Câu 85

Cấp độ	U1	Thời gian	0.5
CĐR: 1.2.1.4			
Số bù 2 của số 2 là? A. 0x00000002 B. 0x10000002 C. 0xffff fffe D. 0xffff fffd			

Đáp án

Chương 4: Hiệu suất

Câu 1

Cấp độ	1AN	Thời gian	1
CĐR: 2.1.1.4			
Máy tính có tần số xung clock là 1 GHz. Để thực thi một chương trình gồm 1024 lệnh thì máy tính thực hiện trong bao lâu? Biết trung bình mỗi lệnh kéo dài 16 chu kì A. 1024 giây B. 1024 nano giây C. 16384 giây *D*. 16384 nano giây			

Đáp án

Câu 2

Cấp độ	1AN	Thời gian	1
CĐR: 2.1.1.4			
Cho hai bộ vi xử lí X và Y có tần số xung clock là 800 MHz và 1000 MHz một cách tương ứng. Giả sử X thực thi một lệnh trung bình mất 3 chu kì, Y thực thi một lệnh trung bình mất 5 chu kì. Vậy để thực thi cùng một chương trình, bộ vi xử lí nào thực thi nhanh hơn *A*. X B. Y C. X bằng Y D. Thiếu thông tin			

Đáp án

Câu 3

Cấp độ	1AN	Thời gian	1
CĐR: 2.1.1.4			
Cho hai bộ vi xử lí X và Y có tần số xung clock là 1000 MHz và 2000 MHz một cách tương ứng. Giả sử X thực thi một lệnh trung bình mất 3 chu kì, Y thực thi một lệnh trung bình mất 5 chu kì. X thực thi một chương trình có 100 lệnh, Y thực thi một chương trình có 150 lệnh. Hỏi bộ vi xử lí nào hoàn thành thực thi chương trình của mình trước. *A*. X B. Y C. X bằng Y D. Thiếu thông tin			

Đáp án

Câu 4

Cấp độ	1AN	Thời gian	1
CĐR: 2.1.1.4			

Cho hai bộ vi xử lí X và Y có tần số xung clock là Fx và Fy một cách tương ứng. Giả sử X thực thi một lệnh trung bình mất 3 chu kì, Y thực thi một lệnh trung bình mất 5 chu kì. X thực thi một chương trình có 100 lệnh, Y thực thi một chương trình có 150 lệnh. Nếu X hoàn thành thực thi chương trình của mình sớm hơn Y thì tần số xung clock của X và tần số xung clock của Y có quan hệ như thế nào?. A. Fy > 2.5 Fx B. Fy = 2.5 Fx *C*. Fy < 2.5 Fx D. Thiếu thông tin

Đáp án

Câu 5

Cấp độ	1AN	Thời gian	1
CĐR: 2.1.1.4			
Cho máy tính X có CPI = 5. Máy tính X thực thi một chương trình có 1 triệu lệnh mất 5 ms. Hỏi tần số hoạt động của máy tính X là bao nhiêu? A. 1 MHz *B*. 1 GHz C. 2 MHz D. 2 GHz			

Đáp án

Câu 6

Cấp độ	2AN	Thời gian	4
CĐR: 1.2.1.1, 1.2.1.4, 2.1.1.4			
Cho 4 bộ xử lý P1, P2, P3 và P4 cùng chạy một tập lệnh với các tần số/tốc độ xung clock và CPI được cho như bảng bên dưới. Bộ xử lý nào có hiệu xuất cao nhất ?			

Bộ xử lý	Clock Rate	CPI
P1	2 GHz	1.5
P2	1.5 GHz	1.0
P3	3 GHz	2.5
P4	3.5 GHz	1.5

A. P1.
B. P2.
C. P3.
D. P4.

Đáp án

Câu 7

Cấp độ	2AN	Thời gian	4
CĐR: 1.2.1.1, 1.2.1.4, 2.1.1.4			

Một processor cho clock là 1.5GHz với tổng số lệnh là 30.10 và thời gian thực thi là 10s. IPC của processor này là bao nhiêu ? A. 1.5. B. 2. C. 3. D. 3.5.

Đáp án

Câu 8

Cấp độ	2AN	Thời gian	3
CĐR: 2.1.1.4			
Một processor cho clock là 1.5GHz với tổng số lệnh là 30.10 và thời gian thực thi là 10s. Cần thay đổi clock cho processor này bằng bao nhiêu để giảm thời gian thực thi còn 7s ? A. 2.1 GHz. B. 2.12 GHz. C. 2.14 GHz. D. 2.5 GHz.			

Đáp án

Câu 9

Cấp độ	2AN	Thời gian	5
CĐR: 2.1.1.4			
Xét 2 cách thiết kế và hiện thực khác nhau của cùng kiến trúc bộ lệnh lên hai bộ xử lý P1 và P2. Có 4 lớp lệnh : A, B, C và D. Tốc độ clock và CPI của mỗi cách thiết kế được cho như bảng bên dưới. Cho một chương trình với 106 lệnh được chia thành các lớp sau : 10% lớp A, 20% lớp B, 50% lớp C và 20% lớp D. Cách thiết kế và hiện thực nào sẽ chạy nhanh hơn (hay bộ xử lý nào sẽ chạy nhanh hơn) với chương trình này ?			

Bộ xử lý	Clock rate	CPI Class A	CPI Class B	CPI Class C	CPI Class D
P1	1.5 Ghz	1	2	3	4
P2	2 Ghz	2	2	2	3

A. P1 nhanh hơn P2.
B. P2 nhanh hơn P1.
C. P1 bằng P2.
D. Không thể so sánh được.

Đáp án

Câu 10

Cấp độ	2A	Thời gian	1
CĐR: 1.3.2.13, 2.1.1.4			
Xét 2 cách hiện thực khác nhau của cùng kiến trúc tập lệnh lên hai bộ xử lý P1 và P2. Có 3 lớp lệnh: A, B và C. Tần số xung clock và CPI của mỗi cách thiết kế được cho như bảng bên dưới.			

Bộ xử lý	Clock rate	CPI Class A	CPI Class B	CPI Class C
P1	2 Ghz	2	2	3
P2	3 Ghz	3	2	3

Cho một chương trình với 10^5 lệnh được chia thành các lớp sau: 20% lớp A, 30% lớp B và 50% lớp C. Hỏi thời gian chạy các lệnh nhóm A của bộ xử lý P1 là:

A. $20x10^{-6}$

B. $20x10^{-5}$

C. $2x10^{-6}$

D. $20x10^{-5}$

Đáp án

Câu 11

Cấp độ	2A	Thời gian	1

CĐR: 1.3.2.13, 2.1.1.4

Xét 2 cách hiện thực khác nhau của cùng kiến trúc tập lệnh lên hai bộ xử lý P1 và P2. Có 3 lớp lệnh: A, B và C. Tần số xung clock và CPI của mỗi cách thiết kế được cho như bảng bên dưới.

Bộ xử lý	Clock rate	CPI Class A	CPI Class B	CPI Class C
P1	2 Ghz	2	2	3
P2	3 Ghz	3	2	3

Với các thông số trên, bộ xử lý P1 sẽ chạy nhanh hơn bộ xử lý P2 về thời gian thực thi:

A. Đúng

B. Sai

Đáp án

Câu 12

Cấp độ	2A	Thời gian	1

CĐR: 1.3.2.13, 2.1.1.4

Xét 2 cách hiện thực khác nhau của cùng kiến trúc tập lệnh lên hai bộ xử lý P1 và P2. Có 3 lớp lệnh: A, B và C. Tần số xung clock và CPI của mỗi cách thiết kế được cho như bảng bên dưới.

Bộ xử lý	Clock rate	CPI Class A	CPI Class B	CPI Class C
P1	2 Ghz	2	2	3
P2	3 Ghz	3	2	3

Tìm chỉ số CPI trung bình của bộ xử lý P2:

A. 2.5

B. 1.5

C. 0.6

D. 2.7

Đáp án

Câu 13

Cấp độ	2A	Thời gian	1
CĐR: 2.1.1.4			
Một máy tính có chu kỳ xung clock là 2Ghz, thực thi một chương trình mất 20s, tính số chu kỳ xung clock mà máy tính này thực hiện. A. 25ps B. 250ps C. 2.5ns D. 25ns			

Đáp án

Câu 14

Cấp độ	2A	Thời gian	1
CĐR: 2.1.1.4			
Máy tính xử lý với tốc độ xung clock 4Ghz, hỏi giá trị chu kỳ xung clock (clock perioD. bằng bao nhiêu? A. 25ps B. 250ps C. 2.5ns D. 25ns			

Đáp án

Câu 15

Cấp độ	2A	Thời gian	1
CĐR: 2.1.1.4			
Một máy tính có chu kỳ xung clock là 2Ghz, thực thi một chương trình mất 20s, tính số chu kỳ xung clock mà máy tính này thực hiện. A. 40.109 B. 10.108 C. 40.108 D. 10.109			

Đáp án

Câu 16

Cấp độ	2A 2E	Thời gian	1
CĐR: 2.1.1.4			
Bảng sau mô tả số lệnh và thời gian thực thi của mỗi lệnh tương ứng của 1 máy tính khi thực hiện một chương trình:			

	Arith	Store	Load	Branch	Tổng
	650	120	500	50	1320
Thời gian thực hiện	1 Chu kỳ	5 Chu kỳ	5 Chu kỳ	2 Chu kỳ	

Tính thời gian thực thi của chương trình biết máy tính có tần số 0.2Ghz
A. 2340ns
B. 660ns
C. 1925ns
D. 7700ns

Đáp án

Câu 17

Cấp độ	3A	Thời gian	1
CĐR: 2.1.1.4			

Tính CPI cho chương trình biết số lệnh của chương trình này được mô tả ở bảng dưới

	Arith	Store	Load	Branch	Tổng
	650	120	500	50	1320
Thời gian thực hiện	1 Chu kỳ	5 Chu kỳ	5 Chu kỳ	2 Chu kỳ	

A. 2.5
B. 2.92
C. 3.25
D. 1

Đáp án

Câu 18

Cấp độ	2A	Thời gian	1
CĐR: 2.1.1.4			

Hai máy tính A và B xung clock tương ứng là 1.5Ghz và 1.8Ghz. A có CPI là 3, và B có CPI là 5. Nếu cùng thực thi một lệnh thì máy tính nào nhanh hơn?
A. A
B. B
C. Hai máy tính giống nhau
D. Không đủ thông tin để xác định

Đáp án

Câu 19

Cấp độ	1AN	Thời gian	2
CĐR: 3.3.1.1			

Một máy tính MIPS 32 bits đơn chu kỳ (Single cycle datapath) thực thi chương trình sau:
add $t2, $t0, $t1
sw $t2, 0($s0)
sub $t3, $s0, $t0
Giả sử rằng giá trị trong bộ thanh ghi của CPU MIPS này chứ những giá trị sau:
-Thanh ghi số 8 đang có giá trị 0x0000001C
-Thanh ghi số 9 đang lưu giá trị 0x00000008

-Thanh ghi số 16 đang lưu giá trị 0x0000001C
Sau khi thực thi lệnh thứ nhất của chương trình trên, thanh ghi số 10 trong bộ thanh ghi có giá trị bao nhiêu?

a. 0x0000001C
b. 0x00000008
c. 0x00000024
d. 0x00000000

Đáp án

Câu 20

Cấp độ	2U	Thời gian	1
CĐR: 3.3.1.1			

Một máy tính MIPS 32 bits đơn chu kỳ (Single cycle datapath) thực thi chương trình sau:
add $t2, $t0, $t1
sw $t2, 0($s0)
sub $t3, $s0, $t0
Giả sử rằng giá trị trong bộ thanh ghi của CPU MIPS này chứ những giá trị sau:
-Thanh ghi số 8 đang có giá trị 0x0000001C
-Thanh ghi số 9 đang lưu giá trị 0x00000008
-Thanh ghi số 16 đang lưu giá trị 0x0000001C
Sau khi giải mã lệnh thứ nhất của chương trình trên, thanh ghi nguồn sơ cấp (Rs) điều khiển giá trị bao nhiêu?

a. 0x01000
b. 0x01010
c. 0x01001
d. 0x10000

Đáp án

Câu 21

Cấp độ	2A	Thời gian	2
CĐR: 3.3.1.1			

Một máy tính MIPS 32 bits đơn chu kỳ (Single cycle datapath) thực thi chương trình sau:
add $t2, $t0, $t1
sw $t2, 0($s0)
sub $t3, $s0, $t0
Giả sử rằng giá trị trong bộ thanh ghi của CPU MIPS này chứ những giá trị sau:
-Thanh ghi số 8 đang có giá trị 0x0000001C
-Thanh ghi số 9 đang lưu giá trị 0x00000008
-Thanh ghi số 16 đang lưu giá trị 0x0000001C
Sau khi thực thi xong chương trình trên, thanh ghi số 11 trong bộ thanh ghi có giá trị bao nhiêu?

a. 0x0000001C
b. 0x00000000
c. 0x00000008
d. 0x00000024

Đáp án

Câu 22

Cấp độ	2A	Thời gian	2
CĐR: 3.3.1.1			

Một máy tính MIPS 32 bits đơn chu kỳ (Single cycle datapath) thực thi chương trình sau:
add $t2, $t0, $t1
sw $t2, 0($s0)
sub $t3, $s0, $t0
Giả sử rằng giá trị trong bộ thanh ghi của CPU MIPS này chứ những giá trị sau:
-Thanh ghi số 8 đang có giá trị 0x0000001C
-Thanh ghi số 9 đang lưu giá trị 0x00000008
-Thanh ghi số 16 đang lưu giá trị 0x0000001C
Sau khi giải mã lệnh thứ 3 của chương trình trên, thanh ghi nguồn sơ cấp (Rs) điều khiển giá trị bao nhiêu?
a. 0x01000
b. 0x01010
c. 0x01001
d. 0x10000			

Đáp án

Câu 23

Cấp độ	2A	Thời gian	2
CĐR: 3.3.1.1			

Một máy tính MIPS 32 bits đơn chu kỳ (Single cycle datapath) thực thi chương trình sau:
add $t2, $t0, $t1
sw $t2, 0($s0)
sub $t3, $s0, $t0
Giả sử rằng giá trị trong bộ thanh ghi của CPU MIPS này chứ những giá trị sau:
-Thanh ghi số 8 đang có giá trị 0x0000001C
-Thanh ghi số 9 đang lưu giá trị 0x00000008
-Thanh ghi số 16 đang lưu giá trị 0x0000001C
Sau khi thực thi lệnh thứ 2 của chương trình trên, thanh ghi địa chỉ bộ nhớ có giá trị bao nhiêu?
a. 0x0000001C
b. 0x00000008
c. 0x00000024
d. 0x00000000			

Đáp án

Câu 24

Cấp độ	2U	Thời gian	1
CĐR: 3.3.1.1			

Một máy tính MIPS 32 bits đơn chu kỳ (Single cycle datapath) thực thi chương trình sau:
add $t2, $t0, $t1
sw $t2, 0($s0)
sub $t3, $s0, $t0
Giả sử rằng giá trị trong bộ thanh ghi của CPU MIPS này chứ những giá trị sau:
-Thanh ghi số 8 đang có giá trị 0x0000001C			

-Thanh ghi số 9 đang lưu giá trị 0x00000008
-Thanh ghi số 16 đang lưu giá trị 0x0000001C
Sau khi thực thi lệnh thứ 2 của chương trình trên, tính hiệu điều khiển bộ nhớ MEMWRITE và MEMREAD là bao nhiêu?

a. 0 và 0
b. 0 và 1
c. 1 và 0
d. 1 và 1

Đáp án

Câu 25

Cấp độ	2U	Thời gian	2
CĐR: 1.2.1.1, 2.1.1.4			

Một vi xử lý có tần số xung clock 3GHz, và CPI là 1.5, hỏi hiệu suất của vi xử lý này tính theo chỉ số MIPS là bao nhiêu?

A. 1.2 x 10^3

B. 2 x 10^3

C. 500

D. 1.3 x 10^4

Đáp án

Câu 26

Cấp độ	2U	Thời gian	3
CĐR: 1.2.1.1, 1.2.1.4			

Cho biết để thực thi một lệnh toán học (Arith) hết 1 chu kỳ, lệnh đọc dữ liệu từ bộ nhớ (Load) hoặc lưu dữ liệu (Store) vào bộ nhớ hết 5 chu kỳ, các lệnh rẽ nhánh (Branch) hết 2 chu kỳ. Giả sử một chương trình khi chạy có tổng số các lệnh phải thực thi như sau:

Arith	Store	Load	Branch	Total
350	50	70	50	570

Hỏi thời gian thực thi và CPI của chương trình, cho bộ xử lý có tần số 4GHz.

A. t=525ns, CPI=3.68

B. t=621ns, CPI=2.54

C. t=690ns, CPI=3.21

D. t=481ns, CPI=1.87

Đáp án

Câu 27

Cấp độ	U1	Thời gian	0.5
CĐR: 2.1.1.4			

Những yếu tố nào sau đây ảnh hưởng tới hiệu suất của máy tính ?

A. Thuật toán, Bộ xử lý, Hệ điều hành
B. Thuật toán, Hệ điều hành, Trình biên dịch, Bộ nhớ hệ thống
C. Thuật toán, Hệ điều hành, Bộ nhớ hệ thống, Hệ thống nhập xuất.
D. Thuật toán, Trình biên dịch, Bộ xử lý, Bộ nhớ hệ thống, Hệ thống nhập xuất.

Đáp án

Câu 28

Cấp độ	U1	Thời gian	0.5
CĐR: 2.1.1.4			

Phát biểu nào sau đây đúng

A. Thay thế bộ xử lý mới nhanh hơn thì cải thiện được thông lượng (throughput) và thời gian đáp ứng (Response time) của máy tính.
B. Thay thế bộ xử lý mới nhanh hơn thì chỉ cải thiện được thông lượng (throughput) của máy tính
C. Thay thế bộ xử lý mới nhanh hơn thì chỉ cải thiện được thời gian đáp ứng (Response time) của máy tính
D. Thay thế bộ xử lý đa nhân cho các tác vụ đơn nhiệm thì cải thiện được thời gian đáp ứng (Response time) của máy tính

Đáp án

Câu 29

Cấp độ	U2	Thời gian	1
CĐR: 2.1.1.4			

Máy tính A có thời gian thực thi 1 chương trình ít hơn so với máy tính B, kết luận nào sau đây đúng?

A. Thay thế bộ xử lý mới nhanh hơn thì cải thiện được thông lượng (throughput) và thời gian đáp ứng (Response time) của máy tính.
B. Thay thế bộ xử lý mới nhanh hơn thì chỉ cải thiện được thông lượng (throughput) của máy tính
C. Thay thế bộ xử lý mới nhanh hơn thì chỉ cải thiện được thời gian đáp ứng (Response time) của máy tính
D. Thay thế bộ xử lý đa nhân cho các tác vụ đơn nhiệm thì cải thiện được thời gian đáp ứng (Response time) của máy tính

Đáp án

Câu 30

Cấp độ	AP1	Thời gian	1
CĐR: 2.1.1.4			

Hai máy tính A và B tần số lần lượt là 400Mhz và 600Mhz. Giả sử máy tính A thực hiện một lệnh trung bình mất 3 chu kỳ và máy tính B thực hiện lệnh trung bình mất 5 chu kỳ. Vậy khi thực thi cùng một lệnh nào đó thì máy tính nào thực thi nhanh hơn?

A. A
B. B
C. Cả hai thực hiện như nhau
D. Chưa đủ dữ liệu để kết luận

Đáp án

Câu 31

Cấp độ	AP	Thời gian	1
CĐR: 2.1.1.4			

Hai trình biên dịch (compiler) cùng biên dịch một đoạn chương trình cấp cao sang cấp thấp và các lệnh được chia làm 3 loại lệnh A, B và C với CPI tương ứng là 1, 2, 3. Số lệnh Asembly mà các trình biên dịch ra tương ứng như sau:

	A	B	C
Compiler 1	2	1	2
Compiler 2	4	1	1

Nếu thực thi đoạn chương trình đó thì trình biên dịch tương ứng nào nhanh hơn:

A. Compiler 1

B. Compiler 2 C. Cả 2 chạy như nhau D. Chưa thể kết luận

Đáp án

Câu 32

Cấp độ	U1	Thời gian	0.5
CĐR: 2.1.1.4			
Phát biểu nào sau đây SAI, để cải thiện tốc độ chúng ta cần: A. Tăng số chu kỳ lệnh của chương trình B. Tăng tần số hoạt động của vi xử lý C. Thay thế bộ xử lý tốt hơn D. Giảm chu kỳ hoạt động của vi xử lý			

Đáp án

Chương 5: Bộ xử lý

Câu 1

Cấp độ	2AN	Thời gian	2
CĐR: 1.3.2.13			

Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB
7ns	8ns	15ns	10ns	8ns

Chu kỳ xung clock cần cho processor đơn chu kỳ là bao nhiêu?
A. 30.
B. 38
C. 40.
D. 48.

Đáp án

Câu 2

Cấp độ	2AN	Thời gian	2
CĐR: 1.3.2.13			

Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB
7ns	8ns	15ns	10ns	8ns

Chu kỳ xung clock cần cho processor là bao nhiêu nếu processor thiết kế pipeline 5 tầng theo 5 công đoạn trên?
A. 7
B. 15
C. 40
D. 48

Đáp án

Câu 3

Cấp độ	2AN	Thời gian	2
CĐR: 1.3.2.13			

Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB
7ns	8ns	15ns	10ns	8ns

Trong **processor đơn chu kỳ** thực thi 4 câu lệnh add, giả sử không có hazard. Hỏi thời gian thực thi của 4 câu lệnh trên là bao nhiêu?

A. 60 B. 120 C. 160 D. 192

Đáp án

Câu 4

Cấp độ	2AN	Thời gian	2
CĐR: 1.3.2.13			

Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB
7ns	8ns	15ns	10ns	8ns

Trong processor pipeline 5 tầng theo 5 công đoạn đang thực thi 4 câu lệnh add, giả sử không có hazard. Hỏi thời gian thực thi của 4 câu lệnh trên là bao nhiêu?
A. 60
B. 120
C. 160.
D. 192

Đáp án

Câu 5

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			

Trong các câu lệnh sau, câu lệnh nào có tín hiệu RegDst = 1.
A. addi
B. lw
C. add
D. beq

Đáp án

Câu 6

Cấp độ	2A	Thời gian	1
CĐR: 1.2.1.1			

Khối nào không cần thiết trong datapath khi thực hiện lệnh beq rs, rt, imm?
A. I-mem
B. Register
C. ALU.
D. D-mem

Đáp án

Câu 7

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.4			
Những thanh ghi, bộ ALU và những kết nối giữa chúng được gọi chung là: A. Process route B. Information trail C. Information path *D*. Data path			

Đáp án

Câu 8

Cấp độ	1R	Thời gian	1
CĐR: 1.3.2.13			
Bộ vi xử lí thực thi “fetching” hay “decoding” của một lệnh trong khi nó đang thực thi một lệnh khác thì được gọi là: A. Supper-scaling *B*. Pipe-lining C. Parallel computation D. Tất cả đều sai			

Đáp án

Câu 9

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
CISC viết tắt của: A. Complete Instruction Sequential Compilation B. Computer Integrated Sequential Compiler *C*. Complex Instruction Set Computer D. Complex Instruction Sequential Compilation			

Đáp án

Câu 10

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
RISC viết tắt của: A. Reduced Instruction Sequential Computing *B*. Reduced Instruction Set Computing C. Restricted Instruction Sequential Compiler D. Restricted Instruction Set Compiler			

Đáp án

Câu 11

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
Kiến trúc máy tính nào hướng đến việc giảm thời gian thực thi lệnh chương trình: A. CISC *B.* RISC C. ISA D. ANNA			

Đáp án

Câu 12

Cấp độ	1R	Thời gian	1
CĐR: 1.3.2.13			
Bộ vi xử lí RISC có thiết kế đơn giản hơn bộ vi xử lí CISC. Đúng hay sai? *A.* Đúng B. Sai			

Đáp án

Câu 13

Cấp độ	1R	Thời gian	1
CĐR: 1.3.2.13			
CPU sẽ làm gì khi nhận được một tín hiệu ngắt *A.* Lưu giá trị trạng thái trước đó B. Lưu giá trị trạng thái hiện tại C. Lưu giá trị trạng thái kế tiếp D. Cả a và b			

Đáp án

Câu 14

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.1			
Tập lệnh MIPS thuộc họ tập lệnh: A. CISC *B.* RISC C. ISA D. IANA			

Đáp án

Câu 15

Cấp độ	1U	Thời gian	1

CĐR: 1.3.2.13
Thứ tự các bước để thực thi một lệnh: A. Instruction Fetch => Instruction Decoder => Execute => Operand Fetch B. Instruction Decoder => Instruction Fetch => Operand Fetch => Execute *C*. Instruction Fetch => Instruction Decoder => Operand Fetch => Execute D. Operand Fetch => Instruction Fetch => Instruction Decoder => Execute

Đáp án

Câu 16

Cấp độ	1R	Thời gian	1
CĐR: 1.3.2.13			
Khi cờ Z của CPU được bật lên "1", nó báo hiệu: A. Phép toán thực thi có kết quả bị lỗi B. Phép toán thực thi có kết quả bằng 1 C. Phép toán thực thi có kết quả bị tràn D. Phép toán thực thi có kết quả bằng 0			

Đáp án

Câu 17

Cấp độ	1R	Thời gian	1
CĐR: 1.3.2.13			
Khi cờ V của CPU được bật lên "1", nó báo hiệu: A. Phép toán không thể thực thi do thiếu thanh ghi B. Phép toán thực thi có kết quả bằng 1 *C*. Phép toán thực thi có kết quả bị tràn D. Phép toán thực thi có kết quả bằng 0			

Đáp án

Câu 18

Cấp độ	1R	Thời gian	1
CĐR: 1.3.2.13			
Khi thực thi lệnh lập vòng, lệnh (instruction) nào được sử dụng để kiểm tra điều kiện: A. TestAndSet B. TestCondn *C*. Branch D. Loop			

Đáp án

Câu 19

Cấp độ	1R	Thời gian	1

CĐR: 1.3.2.13
Những nguyên nhân khiến bộ vi xử lí bị treo thì được gọi là: A. Page fault B. System error *C*. Hazard D. Processor error

Đáp án

Câu 20

Cấp độ	1R	Thời gian	1
CĐR: 1.3.2.13			
Sự xung đột về sử dụng tài nguyên phần cứng gọi là: *A*. Structure hazard B. Data hazard C. Input hazard D. Control hazard			

Đáp án

Câu 21

Cấp độ	1R	Thời gian	1
CĐR: 1.3.2.13			
Việc thực thi lệnh của vi xử lí bị treo do lệnh cần thực thi chưa sẵn sàng được gọi là: A. Structure hazard B. Data hazard C. Input hazard D. Control hazard			

Đáp án

Câu 22

Cấp độ	1R	Thời gian	1
CĐR: 1.3.2.13			
Việc thực thi lệnh của vi xử lí bị treo do dữ liệu của lệnh chưa xác định được gọi là: A. Structure hazard *B*. Data hazard C. Input hazard D. Control hazard			

Đáp án

Câu 23

Cấp độ	2A	Thời gian	1
CĐR: 1.2.1.1			

Lệnh nào **KHÔNG** thực hiện giai đoạn ghi lại kết quả/lưu trữ? A. sw. B. lw. C. add. D. sub.

Đáp án

Câu 24

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Lệnh nào thực hiện giai đoạn truy xuất vùng nhớ? A. add. B. sub. C. lw. D. beq.			

Đáp án

Câu 25

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Tín hiệu control ALU có bao nhiêu bit? A. 3. B. 4. C. 5. D. 6.			

Đáp án

Câu 26

Cấp độ	1R	Thời gian	½
CĐR: 1.2.1.1			
Có bao nhiêu lệnh mà ALU có thể thực hiện trong datapath đã học? A. 4. B. 5. C. 6. D. 7.			

Đáp án

Câu 27

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			

Trong câu lệnh lw, địa chỉ của write register trong mã máy là các bit từ? A. 21-25. B. 16-20. C. 11-15. D. 7-11.

Đáp án

Câu 28

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Lệnh add trong MIPS đọc giá trị của bao nhiêu thanh ghi? A. 0. B. 1. C. 2. D. 3.			

Đáp án

Câu 29

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Giai đoạn đọc opcode để xác định kiểu lệnh thuộc công đoạn nào trong quá trình thực thi lệnh của MIPS? A. ALU. B. Memory access. C. Instruction decode. D. Result write.			

Đáp án

Câu 30

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Công đoạn thứ 4 trong quá trình thực thi lệnh của MIPS là công đoạn nào? A. ALU. B. Memory access. C. Instruction decode. D. Result write.			

Đáp án

Câu 31

Cấp độ	2R	Thời gian	1

CĐR: 1.2.1.1
Công đoạn thứ 2 trong quá trình thực thi lệnh của MIPS là công đoạn nào? A. ALU. B. Memory access. C. Instruction decode. D. Fetch.

Đáp án

Câu 32

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Quy trình thực thi lệnh của MIPS có mấy công đoạn? A. 3. B. 4. C. 5. D. 6.			

Đáp án

Câu 33

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Mạch nào trong các mạch sau trong datapath là mạch tổ hợp ? A. Instruction memories. B. Data memories. C. ALU. D. Register.			

Đáp án

Câu 34

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Thanh ghi PC sẽ tăng bao nhiêu sau mỗi lần đọc lệnh ? A. 1. B. 2. C. 3. D. 4.			

Đáp án

Câu 35

Cấp độ	2U	Thời gian	2

CĐR: 1.2.1.1
Trình tự thực hiện nhóm lệnh logic nào là đúng ? A. Nạp lệnh – sử dụng ALU – đọc thanh ghi – ghi thanh ghi. B. Nạp lệnh – đọc thanh ghi – sử dụng ALU – ghi thanh ghi. C. Sử dụng ALU – nạp lệnh – đọc thanh ghi – ghi thanh ghi. D. Nạp lệnh – đọc thanh ghi – ghi thanh ghi – sử dụng ALU.

Đáp án

Câu 36

Cấp độ	2R	Thời gian	2
CĐR: 1.2.1.1			
8 lệnh được xem xét trong phần datapath trong chương 4 **KHÔNG** thuộc nhóm lệnh nào ? A. Nhóm lệnh tham khảo bộ nhớ. B. Nhóm lệnh điều khiển. C. Nhóm lệnh liên qua đến logic và số học. D. Nhóm lệnh nhảy.			

Đáp án

Câu 37

Cấp độ	2A	Thời gian	3
CĐR: 1.2.1.1, 1.2.1.4			

Cho đoạn chương trình sau :
Lw $v1, 0($a0)
Addi $v0, $v0, 1
Sw $v1, 0($a1)
Addi $a0, $a0, 1
Hỏi bộ nhớ lệnh và bộ nhớ dữ liệu được truy cập mấy lần ?
A. 2 và 2.
B. 2 và 4.
C. 4 và 2.
D. 4 và 4.			

Đáp án

Câu 38

Cấp độ	2U	Thời gian	2
CĐR: 1.2.1.1			
Các khối chức năng nào thuộc datapath tham gia vào lệnh SUB Rd, Rs, Rt # Reg[Rd] = Reg[Rs] SUB Reg[Rt] A. I-mem, Register. B. I-mem, D-mem. C. Register, ALU. D. I-mem, ALU.			

Đáp án

Câu 39

Cấp độ	2U	Thời gian	2
CĐR: 1.2.1.1			
Khối chức năng nào thuộc datapath KHÔNG tham gia vào lệnh LW Rt, Offs(Rs) # Mem[Reg[Rs]+Offs] = Reg[Rt] A. I-mem. B. Register. C. Add. D. ALU.			

Đáp án

Câu 40

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Khối control trong datapath có bao nhiều tín hiệu đầu ra chỉ có 1 bit ? A. 5. B. 6. C. 7. D. 8.			

Đáp án

Câu 41

Cấp độ	2AN	Thời gian	5
CĐR: 1.2.1.1, 1.2.1.4			
Giả sử rằng mỗi công đoạn trong pipeline có thời gian thực hiện			

IF	ID	EX	MEM	WB
350ps	300ps	300ps	600ps	150ps

Chu kỳ xung clock cần cho processor là bao nhiêu nếu processor thiết kế có pipeline và không có pipeline theo thứ tự ?
A. 600 và 1650.
B. 150 và 1650.
C. 600 và 1700.
D. 300 và 1700.

Đáp án

Câu 42

Cấp độ	2AN	Thời gian	5
CĐR: 1.2.1.1, 1.2.1.4			

Giả sử rằng mỗi công đoạn trong pipeline có thời gian thực hiện

IF	ID	EX	MEM	WB
350ps	300ps	300ps	600ps	150ps

Thời gian cần thiết để thực hiện lệnh ‘sw’ cho trường hợp processor có pipeline và không pipeline lần lượt là bao nhiêu ?

A. 2400 và 1700.
B. 2400 và 1550.
C. 3000 và 1700.
D. 3000 và 1550.

Đáp án

Câu 43

Cấp độ	2AN	Thời gian	5
CĐR: 1.2.1.1, 1.2.1.4			

Giả sử rằng các lệnh được thực thi trong processor được phân rã như sau

ALU	beq	lw	sw
40%	30%	20%	10%

Giả sử rằng không có khoảng thời gian rỗi (stalls) hoặc xung đột (hazards), phần truy xuất bộ nhớ (MEM) và phần truy xuất ghi trên tập thanh ghi (WB) lần lượt sử dụng bao nhiêu % chu kỳ của toàn chương trình

A. 30 và 60.
B. 30 và 70.
C. 50 và 50.
D. 40 và 60.

Đáp án

Câu 44

Cấp độ	2AN	Thời gian	4
CĐR: 1.2.1.1, 1.2.1.4			

Cho chuỗi lệnh như sau :

```
lw $5, -16($5)
sw $5, -16($5)
add $5, $5, $5
```

Trong trường hợp pipeline 5 tầng và không dùng kỹ thuật nhìn trước (no forwarding), sử dụng lệnh ‘nop’ để giải quyết xung đột xảy ra (nếu có) trong chuỗi lệnh trên

A. lw $5, -16($5)
    nop
    nop
    sw $5, -16($5)
    add $5, $5, $5.

B. lw $5, -16($5)
    nop
    nop

nop
sw $5, -16($5)
add $5, $5, $5.
C. lw $5, -16($5)
w $5, -16($5)
nop
nop
add $5, $5, $5.
D. lw $5, -16($5)
sw $5, -16($5)
nop
nop
nop
add $5, $5, $5.

Đáp án

Câu 45

Cấp độ	2AN	Thời gian	4
CĐR: 1.2.1.1, 1.2.1.4			

Cho chuỗi lệnh như sau :
add $1, $5, $3
sw $1, 0($2)
lw $1,4($2)
add $5, $5, $1
sw $1, 0($2)
Trong trường hợp pipeline 5 tầng và không dùng kỹ thuật nhìn trước (no forwarding), cần sử dụng bao nhiêu lệnh ‘nop’ để giải quyết xung đột xảy ra (nếu có) trong chuỗi lệnh trên
A. 4.
B. 5.
C. 6.
D. 7.			

Đáp án

Câu 46

Cấp độ	1AN	Thời gian	4
CĐR: 1.2.1.1, 1.2.1.4			

Cho chuỗi lệnh như sau :
add $1, $5, $3
sw $1, 0($2)
lw $1,4($2)
add $5, $5, $1
sw $1, 0($2)			

Trong trường hợp pipeline 5 tầng và có nhìn trước (forwarding), cần sử dụng bao nhiêu lệnh ‘nop’ để giải quyết xung đột xảy ra (nếu có) trong chuỗi lệnh trên A. 1. B. 2. C. 3. D. 4.

Đáp án

Câu 47

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Số tầng pipeline tối đa trong kiến trúc MIPS có thể là : A. 4. B. 5. C. 6. D. 7.			

Đáp án

Câu 48

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			
Chọn phát biểu đúng ? A. Kỹ thuật pipeline giúp giảm thời gian thực thi của từng lệnh riêng lẽ. B. Kỹ thuật pipeline không giúp giảm thời gian thực thi của từng lệnh riêng lẽ. C. Kỹ thuật pipeline không giúp giảm thời gian thực thi của đoạn lệnh. D. Kỹ thuật pipeline không giúp giảm thời gian thực thi của chương trình chứa nhiều lệnh.			

Đáp án

Câu 49

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Xung đột nào **KHÔNG** phải là xung đột có thể xảy ra khi áp dụng kỹ thuật pipeline A. Xung đột cấu trúc B. Xung đột lệnh. C. Xung đột dữ liệu. D. Xung đột điều khiển.			

Đáp án

Câu 50

Cấp độ	2U	Thời gian	1

CĐR: 1.2.1.1
Xung đột xảy là khi khi một lệnh dự kiến không thể thực thi trong đúng chu kỳ pipeline của nó do lệnh nạp vào không phải là lệnh được cần là xung đột gì ? A. Xung đột cấu trúc B. Xung đột lệnh. C. Xung đột dữ liệu. D. Xung đột điều khiển.

Đáp án

Câu 51

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Giá trị của tín hiệu ALUOp từ khối Control là bao nhiêu khi thực thi lệnh lw rt, offs(rs)? A. 00. B. 01. C. 10. D. 11.			

Đáp án

Câu 52

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.1			
Khối nào không cần thiết trong datapath khi thực hiện lệnh add rd, rs, rt? A. I-mem. B. Register. C. ALU. D. D-mem.			

Đáp án

Câu 53

Cấp độ	2AN	Thời gian	5
CĐR: 1.2.1.1, 1.2.1.4			
Cho thời gian trễ (thời gian cần để hoàn thành) của từng khối trong hình 1 như sau (khối nào không có trong bảng xem như thời gian trễ bằng 0. Thời gian trễ lớn nhất khi thực hiện lênh ‘or’			

I-Mem	Add	Mux	ALU	Regs	D-Mem	Control
400ps	100ps	30ps	120ps	200ps	350ps	100ps

A. 880.
B. 980.
C. 860.
D. 830.

Đáp án

Câu 54

Cấp độ	2AN	Thời gian	5
CĐR: 1.2.1.1, 1.2.1.4			

Cho thời gian trễ (thời gian cần để hoàn thành) của từng khối trong hình 1 như sau (khối nào không có trong bảng xem như thời gian trễ bằng 0. Thời gian trễ lớn nhất khi thực hiện lệnh 'lw'

I-Mem	Add	Mux	ALU	Regs	D-Mem	Control
400ps	100ps	30ps	120ps	200ps	350ps	100ps

A. 1260.
B. 1530.
C. 1560.
D. 1360.

Đáp án

Câu 55

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.1			

Khối nào không cần thiết trong datapath khi thực hiện lệnh lw rt, offs(rs)?
A. I-mem.
B. Register.
C. ALU.
D. D-mem.

Đáp án

Câu 56

Cấp độ	2R	Thời gian	1
CĐR: 2.1.1.4, 1.2.1.4			

Các thành phần nào sau đây không thuộc thành phần đường dữ liệu
A. Bộ nhớ lệnh (instruction memory)
B. Bộ đếm chương trình (PC.
C. Bộ cộng (adder)
D. Bộ mux

Đáp án

Câu 57

Cấp độ	2U	Thời gian	1
CĐR: 2.1.1.4, 1.2.1.4			

Chức năng của khối ALU là
A. Thực hiện chức năng lưu trữ bộ nhớ
B. Thực hiện đọc dữ liệu từ bộ nhớ
C. Thực hiện các phép toán số học, logic

D. Thực hiện chức năng giải mã lệnh

Đáp án

Câu 58

Cấp độ	2AN	Thời gian	1
CĐR: 1.3.2.13			
Giá trị của các tín hiệu điều khiển RegDst, ALUSrc, MemtoReg, RegWrite, MemRead, MemWrite khi thực hiện lệnh R-Type (Tham khảo Hình – Phụ lụC. lần lượt là			
A. 1 0 0 0 1 0			
B. 1 0 1 0 1 0			
C. 0 0 0 0 1 0			
D. 0 0 1 0 1 0			

Đáp án

Câu 59

Cấp độ	2AN	Thời gian	1
CĐR: 1.3.2.13			
Giá trị của các tín hiệu điều khiển RegWrite, MemRead, MemWrite, Branch, ALUOp1, LAUOp0 khi thực hiện lệnh tham chiếu bộ nhớ lw ((Tham khảo Hình – Phụ lụC.) lần lượt là			
A. 1 0 0 0 1 0			
B. 1 1 0 0 0 0			
C. 1 1 0 0 1 0			
D. 1 1 1 0 1 0			

Đáp án

Câu 60

Cấp độ	2AN	Thời gian	1
CĐR: 1.3.2.13			
Giá trị của các tín hiệu điều khiển RegWrite, MemRead, MemWrite, Branch, ALUOp1, LAUOp0 khi thực hiện lệnh tham chiếu bộ nhớ sw ((Tham khảo Hình – Phụ lụC.) lần lượt là			
A. 1 0 1 0 0 0			
B. 1 1 1 0 0 0			
C. 0 0 0 0 0 0			
D. 0 0 1 0 0 0			

Đáp án

Câu 61

Cấp độ	2AN	Thời gian	1
CĐR: 1.3.2.13			
Giá trị của các tín hiệu điều khiển RegWrite, MemRead, MemWrite, Branch, ALUOp1, LAUOp0 khi thực hiện lệnh rẽ nhánh (beq) ((Tham khảo Hình – Phụ lụC.) lần lượt là			
A. 0 0 0 0 0 1			
B. 1 0 0 1 0 1			
C. 0 0 0 1 0 1			

D.	x	0	x	1	0	1

Đáp án

Câu 62

Cấp độ	2AN	Thời gian	1
CĐR: 1.3.2.13			

Lựa chọn các câu dưới đây, và sắp xếp theo thứ tự để hoàn thành mô tả cách thực hiện lệnh [add $t1, $t2, $t3]

1.	Một lệnh được nạp từ bộ nhớ lệnh, và PC được tăng.
2.	Hai thanh ghi $t1, $t2 được đọc từ Register file
3.	Hai thanh ghi $t2, $t3 được đọc từ Register file
4.	Kết quả từ bộ ALU được ghi vào Register file. Sử dụn bit [15:11] của lệnh để xác định thanh ghi đích ($t1)
5.	Kết quả từ bộ ALU được ghi vào Register file. Sử dụn bit [15:11] của lệnh để xác định thanh ghi đích ($t3)
6.	Bộ ALU tính toán các dữ liệu được đọc từ Register file, sử dụng bit [5:0] của lệnh để tạo ra hàm ALU

A. 1,3,6,4
B. 1,3,6,5
C. 1,2,6,4
D. 1,2,6,5

Đáp án

Câu 63

Cấp độ	3U	Thời gian	1
CĐR: 1.3.2.13			

Lựa chọn các câu dưới đây, và sắp xếp theo thứ tự để hoàn thành mô tả các bước thực hiện lệnh [lw $t1, offset($t2)

1	Thanh ghi $t1 được đọc từ Register file
2	Thanh ghi $t2 được đọc từ Register file
3	Một lệnh được nạp từ bộ nhớ lệnh, và PC được tăng.
4	Bộ ALU thực hiện một phép cộng trên những dữ liệu được đọc từ Register file và bộ Sign-extend, 16 bit thấp của lệnh (offset).
5	Bộ ALU thực hiện một phép cộng trên những dữ liệu được đọc từ Register file.
6	Dữ liệu từ bộ nhớ dữ được ghi vào Register file; thanh ghi đích được xác định bởi bit [24:16] của bộ lệnh ($t1).
7	Tổng từ bộ ALU được sử dụng là địa chỉ cho bộ nhớ dữ liệu

A. 1,3,5,6,7
B. 3,2,4,7,6
C. 3,2,4,6,7
D. 1,3,4,6,7

Đáp án

Câu 64

Cấp độ	3U	Thời gian	1
CĐR: 1.3.2.13			

Lựa chọn các câu dưới đây, và sắp xếp theo thứ tự để hoàn thành mô tả các bước thực hiện lện beq $t1, $t2, offset của bộ vi xử lý:

	Hai thanh ghi ($t1, $t2) được đọc từ Register file
	Thanh ghi $t2 được đọc từ Register file
	Một lệnh được nạp từ bộ nhớ lệnh, và PC được tăng.
	Bộ ALU thực hiện một phép trừ trên những dữ liệu được đọc từ Register file. Giá trị PC+4 được cộng vào bộ mở rộng dấu, 16 bít thấp của lệnh được dịch trái 2 bit, kết quả là địa chỉ rẽ nhánh.
	Bộ ALU thực hiện một phép trừ trên những dữ liệu được đọc từ Register file. Giá trị PC+4 được cộng vào bộ mở rộng dấu, 16 bít thấp của lệnh được dịch phải 2 bit, kết quả là địa chỉ rẽ nhánh.
	Kết quả Zero từ bộ ALU được sử dụng để quyết định kết quả từ bộ cộng (adder) được lưu vào PC

A. 1,3,5,6
B. 2,3,4,6
C. 3,1,5,6
D. 3,1,4,6

Đáp án

Câu 65

Cấp độ	1U	Thời gian	1
CĐR: 1.3.2.13			

Kiến trúc đơn chu kỳ là
A. Là kiến trúc mà mỗi chu kỳ thực hiện một lệnh
B. Là kiến trúc mà mỗi lệnh thực hiện một chu kỳ
C. Là kiến trúc CISC
D. Là kiến trúc mà mỗi bước thực hiện một chu kỳ

Đáp án

Câu 66

Cấp độ	2U	Thời gian	1
CĐR: 1.3.2.13			

Cho đoạn chương trình sau thực thi trên kiến trúc MIPS 32 bits song song theo cơ chế pipeline,
sub $t2, $t1,$t0
and $s2,$t2,$t5
or $s3,$t6,$t2

add $s4,$t2,$t2
sw $s4,100($t2)
Đoạn chương trình trên gặp vấn đề gì?

a. Phụ thuộc dữ liệu
b. Phụ thuộc cấu trúc
c. Phụ thuộc rẽ nhánh
d. Cả ba đáp áp trên

Đáp án

Câu 67

Cấp độ	2A	Thời gian	2
CĐR: 1.3.2.13			

Cho đoạn chương trình sau thực thi trên kiến trúc MIPS 32 bits song song theo cơ chế pipeline, trong đó giá trị của bộ thanh ghi là $8 = 0x0000001C, $9 = 0x10000000, $10 = 0x1000001C, $13 = 0xFFFFFFFF, $14 = 0x00000000, $15 = 0x00000000, $19 = 0x20000000, $20 = 0x20000000.
sub $t2, $t1,$t0
and $s2,$t2,$t5
or $s3,$t6,$t2
add $s4,$t2,$t2
sw $s4,100($t2)
Cần bao nhiêu chu kỳ để thực thi xong đoạn chương trình trên nếu không sử dụng kỹ thuật forwarding?

a. 9
b. 10
c. 11
d. 12

Đáp án

Câu 68

Cấp độ	2AN	Thời gian	2
CĐR: 1.3.2.13			

Cho đoạn chương trình sau thực thi trên kiến trúc MIPS 32 bits song song theo cơ chế pipeline, trong đó giá trị của bộ thanh ghi là $8 = 0x0000001C, $9 = 0x10000000, $10 = 0x1000001C, $13 = 0xFFFFFFFF, $14 = 0x00000000, $15 = 0x00000000, $19 = 0x20000000, $20 = 0x20000000.
sub $t2, $t1,$t0
and $s2,$t2,$t5
or $s3,$t6,$t2
add $s4,$t2,$t2
sw $s4,100($t2)
Nếu sử dụng kỹ thuật forwarding, chương trình trên tiết kiệm được bao nhiêu chu kỳ?

a. 1
b. 2
c. 3
d. 4

Đáp án

Câu 69

Cấp độ	2AN	Thời gian	2
CĐR: 1.2.1.1			

Cho đoạn chương trình sau thực thi trên kiến trúc MIPS 32 bits song song theo cơ chế pipeline, trong đó giá trị của bộ thanh ghi là $8 = 0x0000001C, $9 = 0x10000000, $10 = 0x1000001C, $13 = 0xFFFFFFFF, $14 = 0x00000000, $15 = 0x00000000, $19 = 0x20000000, $20 = 0x20000000.
sub $t2, $t1,$t0
and $s2,$t2,$t5
or $s3,$t6,$t2
add $s4,$t2,$t2
sw $s4,100($t2)
Sử dụng kỹ thuật forwarding, khi thực thi chương trình trên ở chu kỳ thứ 5, giá trị của thanh ghi Read Data 1 của bộ thanh ghi là ?
a. Giá trị của thanh ghi số 10 trong bộ thanh ghi
b. Giá trị của thanh ghi số 13 trong bộ thanh ghi
c. Giá trị của thanh ghi số 14 trong bộ thanh ghi
d. Giá trị của thanh ghi số 15 trong bộ thanh ghi			

Đáp án

Câu 70

Cấp độ	2AN	Thời gian	2
CĐR: 1.2.1.1			

Cho đoạn chương trình sau thực thi trên kiến trúc MIPS 32 bits song song theo cơ chế pipeline, trong đó giá trị của bộ thanh ghi là $8 = 0x0000001C, $9 = 0x10000000, $10 = 0x1000001C, $13 = 0xFFFFFFFF, $14 = 0x00000000, $15 = 0x00000000, $19 = 0x20000000, $20 = 0x20000000.
sub $t2, $t1,$t0
and $s2,$t2,$t5
or $s3,$t6,$t2
add $s4,$t2,$t2
sw $s4,100($t2)
Sử dụng kỹ thuật forwarding, khi thực thi chương trình trên ở chu kỳ thứ 5, giá trị của tín hiệu điều khiển WB ở khối thực thi là ?
a. 10
b. 00
c. 11
d. 01			

Đáp án

Câu 71

Cấp độ	3AN	Thời gian	2
CĐR: 1.2.1.1			
Cho đoạn chương trình sau thực thi trên kiến trúc MIPS 32 bits song song theo cơ chế pipeline, trong đó giá trị của bộ thanh ghi là $8 = 0x0000001C, $9 = 0x10000000, $10 = 0x1000001C, $13 = 0xFFFFFFFF, $14 = 0x00000000, $15 = 0x00000000, $19 = 0x20000000, $20 = 0x20000000.			

add $t2, $t1,$t0
and $s2,$t2,$t5
or $s3,$t6,$t2
add $s4,$t2,$t2
sw $s4,100($t2)
Sau khi thực thi chương trình trên, giá trị của thanh ghi 10 và 20 trong bộ thanh ghi là ?

a. 0x1000001C và 0x2000002C
b. 0x1000001C và 0x20000028
c. 0x1000001C và 0x20000038
d. 0x1000001C và 0x20000048

Đáp án

Câu 72

Cấp độ	3AN	Thời gian	2
CĐR: 1.2.1.1			

Cho đoạn chương trình sau thực thi trên kiến trúc MIPS 32 bits song song theo cơ chế pipeline, trong đó giá trị của bộ thanh ghi là $8 = 0x0000001C, $9 = 0x10000000, $10 = 0x1FFFFFFF, $13 = 0xFFFFFFFF, $14 = 0x00000000, $15 = 0x00000000, $19 = 0x20000000, $20 = 0x20000000.
add $t2, $t1,$t0
and $s2,$t2,$t5
or $s3,$t6,$t2
add $s4,$t2,$t2
sw $s4,100($t2)
Sử dụng kỹ thuật forwarding, khi thực thi chương trình trên ở chu kỳ thứ 3, giá trị ngõ ra ở khối thực thi là ?

a. 0x10000000
b. 0x1000001C
c. 0x00000000
d. 0x1FFFFFFF

Đáp án

Câu 73

Cấp độ	3AN	Thời gian	3
CĐR: 1.2.1.1			

Cho đoạn chương trình sau thực thi trên kiến trúc MIPS 32 bits song song theo cơ chế pipeline, trong đó giá trị của bộ thanh ghi là $8 = 0x0000001C, $9 = 0x10000000, $10 = 0x1000001C, $13 = 0xFFFFFFFF, $14 = 0x00000000, $15 = 0x00000000, $19 = 0x20000000, $20 = 0x20000000.
sub $t2, $t1,$t0
and $s2,$t2,$t5
or $s3,$t6,$t2
add $s4,$t2,$t2
sw $s4,100($t2)
Sử dụng kỹ thuật forwarding, khi thực thi chương trình trên ở chu kỳ thứ 5, giá trị ngõ ra ở khối thực thi là ?

a. 0x0000001C
b. 0x1000001C

c. 0x0FFFFFF4
d. 0x0FFFFFE4

Đáp án

Câu 74

Cấp độ	3AN	Thời gian	2
CĐR: 1.2.1.1			

Cho đoạn chương trình sau thực thi trên kiến trúc MIPS 32 bits song song theo cơ chế pipeline, trong đó giá trị của bộ thanh ghi là $8 = 0x0000001C, $9 = 0x10000000, $10 = 0x1FFFFFFF, $13 = 0xFFFFFFFF, $14 = 0x00000000, $15 = 0x00000000, $19 = 0x20000000, $20 = 0x20000000.

```
add $t2, $t1,$t0
and $s2,$t2,$t5
or  $s3,$t6,$t2
add $s4,$t2,$t2
sw  $s4,100($t2)
```

Sử dụng kỹ thuật forwarding, khi thực thi chương trình trên ở chu kỳ thứ 8, giá trị của thanh ghi địa chỉ bộ nhớ là ?

a. 0x10000080
b. 0x1000008C
c. 0x1FFFFF64
d. 0x0FFFFFE4

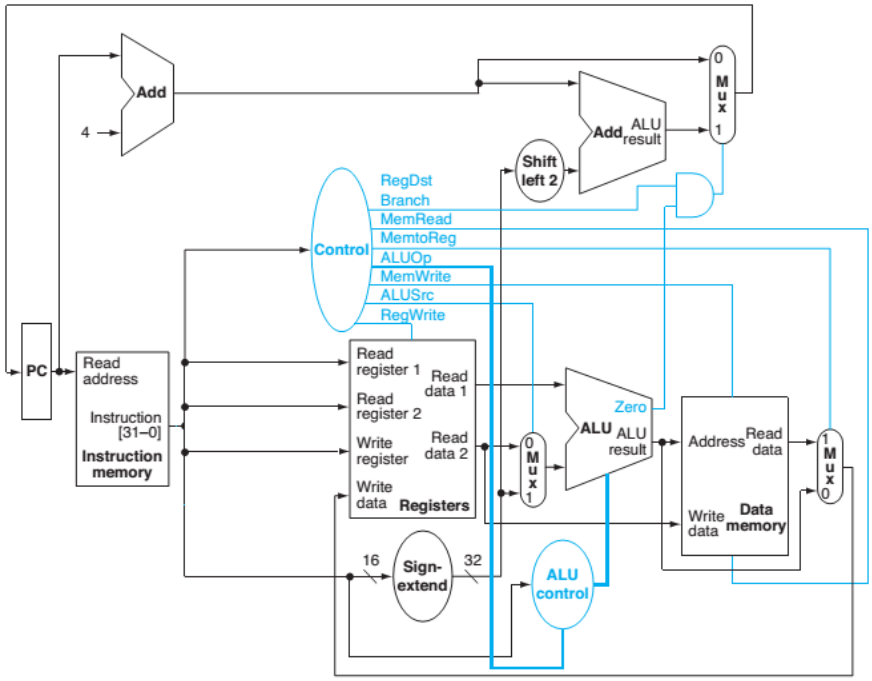
Đáp án

Câu 75

Cấp độ	2 AN	Thời gian	3
CĐR: 1.2.1.4, 1.3.2.13			

Cho thời gian trễ (thời gian cần để hoàn thành) của từng khối trong hình bên dưới như sau (khối nào không có trong bảng xem như thời gian trễ bằng 0)

I-Mem	ALU	Mux	Add	Regs	Control	D-Mem
450ps	140ps	30ps	120ps	200ps	120ps	400ps



Tính thời gian trễ lớn nhất của lệnh "beq" trong kiến trúc MIPS và cho biết "critical path" của lệnh?

A. 630ps. I-Mem, Sign-extend, Mux, ALU, Mux

B. 1250ps. I-Mem, Regs, Mux, ALU, D-Mem, Mux

C. 800ps. PC, I-Mem, Regs, Mux, ALU

D. 850ps. I-Mem, Regs, Mux, ALU, Mux

Đáp án

Câu 76

Cấp độ	2 AN	Thời gian	2
CĐR: 1.2.1.4, 1.3.2.13			

Giả thuyết như câu 24, cho biết chu kỳ xung clock là bao nhiêu nếu datapath chỉ hỗ trợ lệnh lw, beq, add. A. 1450ps B. 1280ps C. 960ps D. 1500ps

Đáp án

Câu 77

Cấp độ	U1	Thời gian	0.5
CĐR: 1.2.1.1			
Đoạn lệnh “lb $s1,8($s2)” làm gì? Biết $s2 = 0x10010004 A. Lưu giá trị trong thanh ghi $s2 vào thanh ghi $s1 B. Đọc 1 byte tại ô nhớ 0x10010004 vào thanh ghi $s1 C. Đọc 1 byte tại ô nhớ 0x1001000C vào thanh ghi $s1 D. Đọc 1 word tại ô nhớ 0x10010004 vào thanh ghi $s1			

Đáp án

Câu 78

Cấp độ	U1	Thời gian	0.5
CĐR: 1.2.1.1			
Lệnh nào sau chỉ tương tác với thanh ghi trong kiến trúc MIPS A. Lw $s1, 0($s2) B. Sw $s1, 0($s2) C. Lb $s1, 0($s2) D. Addi $s1, $s1, 0			

Đáp án

Câu 79

Cấp độ	R2	Thời gian	1
CĐR: 1.3.2.13			
Trong kiến trúc MIPS trường shamt có bao nhiêu bit? A. 3 bits B. 4 bits C. 5 bits D. 6 bits			

Đáp án

Câu 80

Cấp độ	AP1	Thời gian	1
CĐR: 1.3.2.13			
Giả sử một mảng A có 100 word, địa chỉ nền của mảng A lưu trong thanh ghi $s3, để truy xuất tới phần tử thứ i của mảng trong MIPS đưa vào thanh ghi $s1 sử dụng lệnh nào? A. Lw $s1, i($s3) B. Sw $s3, i($s1) C. Lw $s1, 4*i($s3) D. Lb $s1, 2*i($s3)			

Đáp án

Câu 81

Cấp độ	AP1	Thời gian	1
CĐR: 3.3.2.1			
Cho đoạn mã máy sau: 0x02484020 mã Asembly tương ứng là: A. add $t0, $s2, $t0 B. addi $t0, $s2, 10 C. lw $t0, 0($s2) D. sw $t0, 0($s2)			

Đáp án

Câu 82

Cấp độ	U2	Thời gian	1
CĐR: 1.2.1.1			
Cho $s0 = 0x02, sau khi thực hiện lệnh “sll $t0, $s0, 2” thì giá trị $t0 là? A. 0 B. 1 C. 0x02 D. 0x08			

Đáp án

Câu 83

Cấp độ	U2	Thời gian	1
CĐR: 1.3.2.13			

Cho bảng sau:

Địa chỉ	Giá trị
0x10010014	0x00000064
0x10010018	0x00000068
0x1001001c	0x0000001c

Cho $s3 = 0x10010000, sau khi thực hiện lệnh lw $t3,12($s3) giá trị $t3 là?

A. 0x10010000
B. 0x1001001c
C. 0x00000064
D. 0x0000001c

Đáp án

Câu 84

Cấp độ	U2	Thời gian	1
CĐR: 1.3.2.13			

Cho $s1 = 0x00002004; $s2 = 0x10010004, sau khi thực hiện lệnh "sw $s1, 4($s2)", giá trị của thanh ghi nào bị thay đổi?

A. $s1
B. $s2
C. Cả hai đều thay đổi
D. Cả hai không thay đổi

Đáp án

Câu 85

Cấp độ	U2	Thời gian	1
CĐR: 1.3.2.13			

Cho $t0 = 0x00101000, sau khi thực hiện lệnh:
Sll $t0, $t0, 2
Slt $t2, $t0, $0
Giá trị $t2 = ?

A. 0x00404000
B. 0x00000000
C. 0x00000001
D. 0x00202000

Đáp án

Câu 86

Cấp độ	U2	Thời gian	1
CĐR: 1.3.2.13			

Cho đoạn lệnh sau:

LOOP: slt $t2, $0, $t1
Beq $t2, $0, DONE
Subi $t1, $t1, 1
Addi $s2, $s2, 2
J LOOP
DONE:
Giả sử địa chỉ lệnh đầu tiên có giá trị: 0x00400000, sau khi thực hiện đoạn lệnh trên giá trị thanh ghi PC là?
A. 0x00400004
B. 0x00400008
C. 0x00400014
D. 0x00400018

Đáp án

Câu 87

Cấp độ	U2	Thời gian	1
CĐR: 1.3.2.13			

Cho đoạn lệnh sau:
addi $s1, $0, 1
addi $s2, $0, 3
jal SUM
add $s0, $0, $v0
j DONE
SUM:
add $v0, $s1, $s2
jr $ra
DONE:
Giả sử địa chỉ lệnh đầu tiên có giá trị: 0x00400000, sau khi thực hiện lệnh trên giá trị trong thanh ghi $ra là?
A. 0x00400000
B. 0x0040001c
C. 0x0040000c
D. 0x00400018			

Đáp án

Câu 88

Cấp độ	U1	Thời gian	0.5
CĐR: 1.3.2.13			
Trong datapath của kiến trúc MIPS sau khi giải mã lệnh trường chứa địa chỉ nhảy trong các lệnh rẽ nhánh có bao nhiêu bits? A. 8 B. 16 C. 32			

D. 64

Đáp án

Câu 89

Cấp độ	U1	Thời gian	0.5
CĐR: 1.3.2.13			
Trong datapath của kiến trúc MIPS loại lệnh R-Type không sử dụng phần nào? A. Bộ ALU B. Bộ thanh ghi đa dụng C. Bộ ALU control D. Bộ nhớ dữ liệu			

Đáp án

Câu 90

Cấp độ	R1	Thời gian	0.5
CĐR: 1.3.2.13			
Chức năng của bộ Control Unit (CU) là? A. Chuyển dữ liệu vào bộ nhớ thứ cấp B. Lưu trữ lệnh C. Giải mã lệnh D. Đưa ra các tín hiệu điều khiển các bộ trong datapath			

Đáp án

Câu 91

Cấp độ	R1	Thời gian	0.5
CĐR: 1.3.2.13			
Trường opcode trong kiến trúc MIPS gồm những bits nào? A. (32:26) B. (32:25) C. (31:26) D. (31:25)			

Đáp án

Câu 92

Cấp độ	U1	Thời gian	0.5
CĐR: 1.3.2.13			
Trong lệnh “add $s1, $s2, $s3” các bits từ (20:16) trong mã máy là gì? A. Giá trị của thanh ghi $s1 B. Giá trị của thanh ghi $s3			

C. Địa chỉ của thanh ghi $s1 D. Địa chỉ của thanh ghi $s3

Đáp án

Câu 93

Cấp độ	U2	Thời gian	1
CĐR: 1.3.2.13			
Cho lệnh sau: “sw $s1, 0($s2)”, giá trị tín hiệu RegWrite là? A. 0 B. 10 C. 0 hoặc 1 D. 11			

Đáp án

Câu 94

Cấp độ	U1	Thời gian	0.5
CĐR: 1.3.2.13			
Trong loại lệnh R-Type của kiến trúc MIPS bộ Sign-extend dùng để? A. Mở rộng bits địa chỉ truy cập bộ nhớ B. Mở rộng bits địa chỉ cho thanh ghi PC C. Mở rộng thành 32 bits cho trường hợp cộng số trực tiếp D. Không sử dụng.			

Đáp án

Chương 6: Bộ vi xử lý Pipeline

Câu 1

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.4			
Trong các câu lệnh sau, câu lệnh nào có tín hiệu ALUSrc = 1 A. addi B. beq C. or D. add			

Đáp án

Câu 2

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.4			
Trong các câu lệnh sau, câu lệnh nào **<u>không</u>** sử dụng tín hiệu RegWrite: A. lw B. sw C. andi D. or			

Đáp án

Câu 3

Cấp độ	2R	Thời gian	1
CĐR: 1.2.1.4			
Giá trị của tín hiệu ALUOp từ khối Control là bao nhiêu khi thực thi lệnh sub rd, rs, rt? A. 00 B. 01 C. 10 D. 11			

Đáp án

Câu 4

Cấp độ	2A	Thời gian	2
CĐR: 1.3.2.13			
Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:			

IF	ID	EX	MEM	WB

20ns	30ns	50ns	120ns	80ns

Cho 2 câu lệnh sau:

add $s1, $s3, $s3
add $s2, $s1, $s3

Các câu lệnh trên thực thi trong processor thiết kế pipeline 5 tầng. Hỏi thời gian cần thiết để thực thi cả 2 câu lệnh trên trong trường hợp **<u>không</u>** sử dụng kỹ thuật nhìn trước (no-forwarding)?

A. 1200
B. 720
C. 960
D. 1080

Đáp án

Câu 5

Cấp độ	2AN	Thời gian	2
CĐR: 1.3.2.13			

Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB
20ns	30ns	50ns	120ns	80ns

Cho 2 câu lệnh sau:

add $s1, $s3, $s3
add $s2, $s1, $s3

Các câu lệnh trên thực thi trong processor thiết kế pipeline 5 tầng. Hỏi thời gian cần thiết để thực thi cả 2 câu lệnh trên trong trường hợp sử dụng **<u>kỹ thuật nhìn trước</u>** (forwarding)?

A. 1200
B. 720
C. 960
D. 1080

Đáp án

Câu 6

Cấp độ	2AN	Thời gian	2
CĐR: 1.3.2.13			

Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB

20ns	30ns	50ns	120ns	80ns

Cho 2 câu lệnh sau:

addi $s4, $s2, -5
lw $s5, 12($s4)

Các câu lệnh trên thực thi trong processor thiết kế pipeline 5 tầng. Hỏi thời gian cần thiết để thực thi cả 2 câu lệnh trên trong trường hợp **<u>không</u>** sử dụng kỹ thuật nhìn trước (no-forwarding)?

A. 1200
B. 720
C. 960
D. 1080

Đáp án

Câu 7

Cấp độ	2AN	Thời gian	2
CĐR: 1.3.2.13			

Giả sử rằng mỗi lệnh cần 5 công đoạn thực hiện và thời gian thực hiện mỗi công đoạn như sau:

IF	ID	EX	MEM	WB
20ns	30ns	50ns	120ns	80ns

Cho 2 câu lệnh sau:

addi $s4, $s2, -5
lw $s5, 12($s4)

Các câu lệnh trên thực thi trong processor thiết kế pipeline 5 tầng. Hỏi thời gian cần thiết để thực thi cả 2 câu lệnh trên trong trường hợp sử dụng kỹ thuật nhìn trước (forwarding)?

A. 1200
B. 720
C. 840
D. 1080

Đáp án

Câu 8

Cấp độ	2AN	Thời gian	2
CĐR: 1.3.2.13			

Cho 3 câu lệnh sau:

add $s4, $s2, $s0
addi $s4, $s2, -5
or $s5, $s4, $s6

Các câu lệnh trên thực thi trong processor thiết kế pipeline 5 tầng. Hỏi bao nhiêu lệnh NOOP được sử dụng để thực thi cả 3 câu lệnh trên trong trường hợp **không** sử dụng **kỹ thuật nhìn trước** (forwarding)? A. 0 B. 1 C. 2 D. 3

Đáp án

Câu 9

Cấp độ	2AN	Thời gian	2
CĐR: 1.3.2.13			

Cho 3 câu lệnh sau:
add $s4, $s2, $s0
addi $s4, $s2, -5
or $s5, $s4, $s6
Các câu lệnh trên thực thi trong processor thiết kế pipeline 5 tầng. Hỏi bao nhiêu lệnh NOOP được sử dụng để thực thi cả 3 câu lệnh trên trong trường hợp sử dụng **kỹ thuật nhìn trước** (forwarding)?
A. 0
B. 1
C. 2
D. 3			

Đáp án

Câu 10

Cấp độ	2AN	Thời gian	2
CĐR: 1.3.2.13			

Cho 3 câu lệnh sau:
add $s4, $s2, $s0
lw $s7, 12($s4)
or $s5, $s7, $s6
Các câu lệnh trên thực thi trong processor thiết kế pipeline 5 tầng. Hỏi bao nhiêu lệnh NOOP được sử dụng để thực thi cả 3 câu lệnh trên trong trường hợp **không** sử dụng **kỹ thuật nhìn trước** (forwarding)?
A. 0
B. 2
C. 4
D. 6			

Đáp án

Câu 11

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.1			
Kỹ thuật pipe-line chỉ có trong bộ vi xử lí A. CISC *B.* RISC C. ISA D. IANA			

Đáp án

Câu 12

Cấp độ	1U	Thời gian	1
CĐR: 1.3.2.13			
Mỗi bước thực thi trong kĩ thuật pipeline cần được hoàn thành trong bao nhiêu chu kì: *A.* 1 B. 2 C. 3 D. 4			

Đáp án

Câu 13

Cấp độ	1U	Thời gian	1
CĐR: 1.3.2.13			
Trong kỹ thuật pipe-line, giả sử để thực thi một lệnh cần 2 bước. Nếu bộ vi xử lí hoàn thành việc thực thi lệnh của bước thứ nhất trước khi thời gian của 1 chu kì hệ thống kết thúc, thì nó sẽ: A. Thực thi lệnh của bước thứ hai liền ngay sau đó B. Thực thi lại lệnh của bước thứ nhất cho đến khi thời gian của 1 chu kì hệ thống kết thúc *C*. Chờ cho đến khi khi thời gian của 1 chu kì hệ thống kết thúc rồi mới thực thi lệnh của bước thứ hai. D. Cả 3 ý trên đều sai			

Đáp án

Câu 14

Cấp độ	1AN	Thời gian	1
CĐR: 1.3.2.13			
Cho lệnh lw $s1, 500($s2) có các công đoạn thực thi và thời gian thực thi tương ứng như sau: Instruction fetch (100 ps), Register read (80 ps), ALU operation (90 ps), Data access (120 ps) và			

Register write (80 ps). Nếu không sử dụng kỹ thuật pipeline thì thời gian thực thi 5 lệnh giống như trên thì mất bao lâu? A. 500 ps B. 600 ps *C*. 2350 ps D. 740 ps

Đáp án

Câu 15

Cấp độ	1AN	Thời gian	1
CĐR: 1.3.2.13			
Cho lệnh lw $s1, 500($s2) có các công đoạn thực thi và thời gian thực thi tương ứng như sau: Instruction fetch (100 ps), Register read (80 ps), ALU operation (90 ps), Data access (120 ps) và Register write (80 ps). Nếu sử dụng kỹ thuật pipeline (multi-cycle) thì thời gian thực thi 5 lệnh giống như trên thì mất bao lâu? *A.* 1080 ps B. 600 ps C. 2350 ps D. 740 ps			

Đáp án

Câu 16

Cấp độ	2AN	Thời gian	1
CĐR: 1.2.1.1			
Quy trình thực hiện lệnh của kiến trúc MIPS là: A. Nạp lệnh → Giải mã và lấy toán hạng → ALU → Truy xuất vùng nhớ → Lưu trữ B. Nạp lệnh → ALU → Giải mã và lấy toán hạng → Truy xuất vùng nhớ → Lưu trữ C. Nạp lệnh → Giải mã và lấy toán hạng → Truy xuất vùng nhớ → ALU → Lưu trữ D. Nạp lệnh → Truy xuất vùng nhớ → Giải mã và lấy toán hạng → ALU → Lưu trữ			

Đáp án

Câu 17

Cấp độ	2AN	Thời gian	1
CĐR: 1.3.2.13			
Những nhóm lệnh nào sau đây không ghi kết quả (result write) trong quy trình thực hiện lệnh của MIPS. A. Load, logic, store B. Logic, store, jump C. Store, branch, jump			

D. Jump, load, logic

Đáp án

Câu 18

Cấp độ	2A	Thời gian	1
CĐR: 2.1.1.4			

Giả sử rằng thời gian thực hiện của mỗi công đoạn trong pipeline được cho như bảng dưới:

IF	ID	EX	MEM	WB
50ps	100ps	120ps	150ps	110ps

Hỏi chu kỳ xung clock cần cho processor là bao nhiêu nếu processor thiết kế có pipeline?

A. 300ps

B. 150ps

C. 50ps

D. 120ps

Đáp án

Câu 19

Cấp độ	2A	Thời gian	1
CĐR: 2.1.1.4			

Giả sử rằng thời gian thực hiện của mỗi công đoạn trong pipeline được cho như bảng dưới:

IF	ID	EX	MEM	WB
50ps	100ps	120ps	150ps	110ps

Hỏi thời gian thực hiện lênh *lw* của proccessor có pipeline là:

A. 600ps

B. 7500ps

C. 250ps

D. 750ps

Đáp án

Câu 20

Cấp độ	1R	Thời gian	½
CĐR: 1.2.1.1			

Phát biểu nào sau đây **ĐÚNG** khi nói về xung đột cấu trúc

A. Có hai lệnh cùng truy xuất vào một tài nguyên phần cứng nào đó cùng một lúc

B. Một lệnh không thể thực thi do lệnh nào vào không phải là lệnh được cần.

C. Một lệnh cần dữ liệu để xử lý nhưng dữ liệu đó chưa có sẵn

D. Có hai lệnh cùng cần dữ liệu để xử lý nhưng dữ liệu đó chưa có sẵn

Đáp án

Câu 21

Cấp độ	1U	Thời gian	½

CĐR: 1.2.1.1
Kỹ thuật *forwarding* có thể hỗ trợ giải quyết xung đột dữ liệu hiệu quả và nó ngăn chặn tất cả các trường hợp chu kỳ rỗi . A. Đúng B. Sai

Đáp án

Câu 22

Cấp độ	2R	Thời gian	½
CĐR: 1.2.1.1			
Kỹ thuật *forwarding* có mấy loại? đó là những loại nào? A. 2 loại gồm: ALU-ALU forwarding và EX-EX forwarding B. 2 loại gồm: MEM-ALU forwarding và MEM-EX forwarding C. 2 loại gồm: ALU-ALU forwarding và MEM-EX forwarding D. 3 loại gồm: ALU-ALU forwarding, EX-EX forwarding và MEM-ALU forwarding			

Đáp án

Câu 23

Cấp độ	2U	Thời gian	1
CĐR: 1.3.2.13			
Một vi xử lý mà thực hiện nạp hoặc giải mã một lệnh khác trong quá trình thực hiện một lệnh khác được gọi là kỹ thuật: A. Super-scaling B. Pipe-line C. Parallel computation D. Cả ba câu trên đều sai			

Đáp án

Câu 24

Cấp độ	2U	Thời gian	1
CĐR: 1.3.2.13			
Giá trị (CPI) trong thiết kế CPU Pipeline đơn chu kỳ bằng A. 1 B. 5 C. Tùy thuộc vào người thiết kế D. CPI khác nhau theo từng nhóm lệnh			

Đáp án

Câu 25

Cấp độ	2U	Thời gian	1
CĐR: 1.3.2.13			
Trong một hệ thống đường ống, nhiều lệnh được thực hiện cùng lúc. Khi một lệnh phụ thuộc vào kết quả của một lệnh khác mà chưa hoàn thành thì gọi là: A. Exceptions B. Forwarding C. Hazard D. Stall			

Đáp án

Câu 26

Cấp độ	2U	Thời gian	1
CĐR: 1.3.2.13			
Trong điều kiện không lý tưởng, với một số lượng lớn các lệnh, tốc độ của cấu trúc pipeline 5 tầng……..so với cấu trúc đơn chu kỳ (signle-cycle) A. Bằng B. Nhanh hơn gấp 5 lần C. Chậm hơn hơn 5 lần D. Không so sánh được			

Đáp án

Câu 27

Cấp độ	1U	Thời gian	1
CĐR: 1.3.2.13			

Sắp xếp các bước thực thi sau theo cấu trúc pipeline 5 tầng

1. WB – write back	2. EX: execute/address calculation	3. IF: Instruction fetch	4. ID: Instruction decode/register file read	5. MEM: Memory access

A. 1,2,3,5,4

B. 3,4,2,5,1

C. 3,4,5,2,1

D.	1,4,2,5,3

Đáp án

Câu 28

Cấp độ	2U	Thời gian	1
CĐR: 1.3.2.13, 3.3.2.1			
Để tăng tốc độ truy xuất bộ nhớ trong pipelinling, chúng ta sử dụng A. Vị trí bộ nhớ đặc biệt B. Thanh ghi đích đặc biệt C. Cache D. Buffers			

Đáp án

Câu 29

Cấp độ	2 AN	Thời gian	2
CĐR: 1.2.1.1, 1.2.1.4			
Giả sử mỗi công đoạn trong pipeline có thời gian hoạt động như bảng dưới. Chu kỳ xung clock cần cho processor là bao nhiêu nếu processor thiết kế có pipeline và không pipeline. IF ID EX MEM WB 320ps 420ps 350ps 510ps 120ps A. 740ps và 510ps B. 510ps và 1720ps C. 630ps và 510ps D. 630ps và 1600ps			

Đáp án

Câu 30

Cấp độ	2 AN	Thời gian	2
CĐR: 1.2.1.1, 1.2.1.4			

Giả thuyết như câu 26, cho biết thời gian để thực hiện lệnh lw trong trường hợp có pipeline và ko có pipeline. A. 2550ps và 1720ps B. 630ps và 510ps C. 510ps và 2550ps D. 630ps và 1720ps

Đáp án

Câu 31

Cấp độ	2U	Thời gian	1
CĐR: 1.2.1.4, 1.3.2.13			

Cho đoạn lệnh bên dưới. Trong trường hợp pipeline 5 tầng và không dùng kỹ thuật nhìn trước (no forwarding), sử dụng bao nhiêu lệnh ‘nop’ để giải quyết xung đột xảy ra (nếu có) trong đoạn lệnh.
lw $s1, 20($s6)
sub $t6, $t2, $s2
sw $t6, 50($t1)
A. 3
B. 4
C. 1
D. 2			

Đáp án

Câu 32

Cấp độ	2 AN	Thời gian	2
CĐR: 1.2.1.4, 1.3.2.13			
Cho đoạn lệnh bên dưới. Trong trường hợp pipeline 5 tầng và có dùng kỹ thuật nhìn trước (forwarding), sử dụng bao nhiêu lệnh ‘nop’ để giải quyết xung đột xảy ra (nếu có) trong đoạn lệnh. lw $s1, 20($s6)			

sub $t6, $t2, $s2

sw $t6, 50($t1)

A. 3

B. 2

C. 1

D. 0

Đáp án

Câu 33

Cấp độ	2AN	Thời gian	2
CĐR: 1.2.1.4, 1.3.2.13			

Giả sử rằng các lệnh được thực thi trong processor được phân rã như sau:

ALU	beq	lw	sw
45%	30%	20%	5%

Nếu không có khoảng thời gian rỗi (stalls) hoặc xung đột (hazards), phần truy xuất bộ nhớ (MEM) và phần truy xuất ghi trên tập thanh ghi (WB) sử dụng bao nhiêu % chu kỳ của toàn chương trình.

A. 25% và 55%

B. 45% và 25%

C. 25% và 65%

D. 65% và 45%

Đáp án

Câu 34

Cấp độ	R1	Thời gian	0.5
CĐR: 1.3.2.13			

Một bộ xử lý vừa thực hiện giải mã lệnh (decode) và thực thi lệnh (execution) trên 2 lệnh khác nhau cùng một thời điểm được gọi là:

A. Hệ thống siêu máy tính
B. Pipe-lining
C. Máy tính xử lý song song

D. Máy tính phân tán

Câu 35

Cấp độ	U1	Thời gian	0.5
CĐR: 1.3.2.13			
Khi nhiều lệnh được thực thi chồng lên nhau cùng lúc trong lúc thực thi chương trình được gọi là? A. Đa nhiệm (Multitasking) B. Đa chương (Multiprogramming) C. Ống dẫn (Pipelining) D. Hệ phân tán (Distributed)			

Đáp án

Câu 36

Cấp độ	R1	Thời gian	0.5
CĐR: 1.3.2.13			
Một lệnh mà không có hoạt động để thay đổi trạng thái được gọi là? A. None B. No-op C. Nop D. No			

Đáp án

Câu 37

Cấp độ	R1	Thời gian	0.5
CĐR: 1.3.2.13			
Trong kiến trúc MIPS kỹ thuật ống dẫn (Pipeline) có bao nhiêu công đoạn? A. 3 B. 4 C. 5 D. 6			

Đáp án

Câu 38

Cấp độ	U1	Thời gian	1
CĐR: 1.3.2.13			
Bộ sign-extend trong datapath của kiến trúc MIPS nằm tầng nào của kỹ thuật ống dẫn (Pipeline)? A. IF B. ID C. EX			

D. MEM

Đáp án

Câu 39

Cấp độ	R1	Thời gian	0.5
CĐR: 1.3.2.13			
Có bao nhiêu loại xung đột xảy ra khi áp dụng kỹ thuật ống dẫn (Pipeline)? A. 1 B. 2 C. 3 D. 4			

Đáp án

Câu 40

Cấp độ	AP3	Thời gian	2
CĐR: 1.3.2.13			

Cho đoạn lệnh sau:
Add $t0, $s1, $s2
Lw $s0, 0($t0)
Nếu áp dụng kỹ thuật ống dẫn (pipeline) bình thường thì xung đột nào xảy ra?
A. Xung đột cấu trúc
B. Xung đột dữ liệu
C. Xung đột điều khiển
D. Không xảy ra xung đột			

Đáp án

Câu 41

Cấp độ	AP2	Thời gian	1.5
CĐR: 1.3.2.13			

Cho đoạn lệnh sau:
Lw $s1, 0($s3)
Lw $s2, 4($s3)
Add $t0, $s1, $s2
Sw $t0, 8($s3)
Để thực hiện lệnh trên áp dụng kỹ thuật ống dẫn (pipeline) không nhìn trước (none forwarding) thì mất bao nhiêu chu kỳ xung clock?
A. 9
B. 10
C. 11
D. 12			

Đáp án

Câu 42

Cấp độ	AP2	Thời gian	1.5
CĐR: 1.3.2.13			

Cho đoạn lệnh sau:
Lw $s1, 0($s3)
Lw $s2, 4($s3)
Add $t0, $s1, $s2
Sw $t0, 8($s3)
Để thực hiện lệnh trên áp dụng kỹ thuật ống dẫn (pipeline) nhìn trước (forwarding) thì mất bao nhiêu chu kỳ xung clock?
A. 9
B. 10
C. 11
D. 12			

Đáp án

Câu 43

Cấp độ	U1	Thời gian	1
CĐR: 1.3.2.13			
Trong kỹ thuật đường ống (pipeline) tầng WB nằm ở tầng thứ mấy? A. 1 B. 2 C. 4 D. 5			

Đáp án

Chương 7: Bộ nhớ

Câu 1

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.4			
Một ô nhớ lưu trữ 1 word (32 bits) (định địa chỉ theo word). Sử dụng 32 bit địa chỉ, ta có thể truy cập bộ nhớ có dung lượng lớn nhất là bao nhiêu bytes: A. 32x32 B. 2^32 *C*. 2^32x4 D. 2^32x32			

Đáp án

Câu 2

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.4			
Trong các bộ nhớ sau, bộ nhớ nào được chế tạo từ vật liệu bán dẫn: *A*. RAM B. Ổ đĩa cứng C. Ổ đĩa mềm D. Ổ đĩa CD			

Đáp án

Câu 3

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.4			
Một bộ nhớ DRAM có dung lượng 4 Gbits. Mỗi một ô nhớ có chứa 1 word gồm 4 byte (định địa chỉ theo word). Cần bao nhiêu tín hiệu địa chỉ để giãi mã cho bộ nhớ trên? A. 7 B. 17 *C*. 27 D. 37			

Đáp án

Câu 4

Cấp độ	1R	Thời gian	1

CĐR: 1.2.1.4
File BOOT hệ thống được lưu trữ trên? A. RAM *B*. ROM C. Ổ cứng D. SDRAM

Đáp án

Câu 5

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.4			
Bộ vi xử lí khi đọc/ghi dữ liệu sẽ truy xuất trực tiếp đến: *A*. Bộ nhớ cache B. Bộ nhớ chính C. Bộ nhớ phụ D. Bộ nhớ flash			

Đáp án

Câu 6

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.4			
Bộ nhớ nào dữ liệu không mất đi khi mất điện? A. SRAM B. DRAM C. SDRAM *D*. ROM			

Đáp án

Câu 7

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.4			
Loại bộ nhớ nào được sử dụng để làm bộ nhớ Cache trong máy tính? *A*. SRAM B. DRAM C. SDRAM			

D. ROM

Đáp án

Câu 8

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.4			
Phát biểu nào sau đây đúng về bộ nhớ Cache? A. Là bộ nhớ chính *B.* Là bộ nhớ truy xuất tốc độ cao được dùng làm bộ nhớ đệm giữa vi xử lí và bộ nhớ chính C. Là bộ nhớ phụ D. (b) và (c)			

Đáp án

Câu 9

Cấp độ	1U	Thời gian	1
CĐR: 1.2.1.4			
Để giảm thời gian truy xuất bộ nhớ, thông thường chúng ta sử dụng: A. ROM B. Bộ nhớ RAM có dung lượng lớn C. Bộ nhớ SDRAM *D*. Bộ nhớ Cache			

Đáp án

Câu 10

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.4			
Loại bộ nhớ nào được sử dụng để làm bộ nhớ chính trong máy tính? A. USB B. ROM *C*. RAM D. CD			

Đáp án

Câu 11

Cấp độ	1R	Thời gian	1
CĐR: 1.2.1.4			
Bộ nhớ nào cho thời gian truy xuất nhanh nhất *A.* SRAM B. DRAM C. Flash Memory D. Magnetic Disk			

Đáp án