

MSSV: 2151050455

Họ và tên: Trần Đăng Mỹ Tiên

SBD: 47

BÀI THI KIẾN TRÚC MÁY TÍNH

Câu 1:

Địa chỉ 0AA:

Nội dung: 010FA210FB

Xét lệnh trái: 010FA có opcode là 01 và địa chỉ 0FA

-> LOAD M(0FA)

Xét lệnh phải: 210FB có opcode 21 và địa chỉ 0FB

-> STOR M(0FB)

Địa chỉ 0AB:

Nội dung: 010FA0F0AE

Xét lệnh trái: 010FA có opcode là 01 và địa chỉ 0FA

-> LOAD M(0FA)

Xét lệnh phải: 0F0AE có opcode là 0F và địa chỉ 0AE

-> JUMP +M(0AE, 0:19)

Địa chỉ 0AC:

Nội dung: 020FB210FC

Xét lệnh trái: 020FB có opcode 02 và địa chỉ 0FB

-> LOAD -M(0FB)

Xét lệnh phải: 210FC có opcode 21 và địa chỉ 0FC

-> STOR M(0FC)

Địa chỉ 0AD:

Nội dung: 010FC210FD

Xét lệnh trái: 010FC có opcode 01 và địa chỉ 0FC

-> LOAD M(0FC)

Xét lệnh phải: 210FD có opcode 21 và địa chỉ 0FD

-> STOR M(0FD)

Câu 2:

a/

t	0	1	2	3	4	5	6	7	8	9
S	0	1	1	1	1	1	0	1	0	1
R	1	1	0	1	0	1	1	1	0	0
Q_{n+1}	0	Cắm	1	Cắm	1	Cắm	0	Cắm	Q_n	1

b/ Nếu phép toán cộng được thực hiện trên máy tính có từ nhớ là 8 bit với hai toán hạng là 00000010 và 00000011, giá trị gì được gán cho các cờ sau: Carry, Zero, Overflow, Sign, Parity, Half-carry.

A 00000010 + B 00000011 = 00000101

Carry: 0

Zero: 0

Overflow : 0

Sign: 0

Parity: 0

Half-carry : 0

c/ Thực hiện lại cho hai toán hạng là -1 và 1. Tương tự:

Carry: 1

Zero: 1

Overflow : 1

Sign: 1

Parity: 1

Half-carry : 1

Câu 3:

- $f = 80\text{MHz} = 80 \cdot 10^6 \text{ (Hz)}$

- $I_c = 150000 \text{ (lệnh)}$

- $t = \frac{1}{f} = \frac{1}{80 \cdot 10^6} = 1,25 \cdot 10^{-8} \text{ (s)} = 12,5 \text{ (ns)}$

- Tính CPI hiệu dụng:

$$CPI = \frac{75000 \cdot 1 + 32000 \cdot 2 + 15000 \cdot 4 + 28000 \cdot 2}{150000} = 1,7 \left(\frac{\text{chu kỳ}}{\text{lệnh}} \right)$$

- Tính tốc độ MIPS:

$$MIPS = \frac{f}{CPI \cdot 10^6} = \frac{80}{1,7} = 47,05 \left(\frac{\text{triệu lệnh}}{\text{s}} \right)$$

- Tính thời gian thực thi T:

$$T = I_c \cdot CPI \cdot t = 150000 \cdot 1,7 \cdot 1,25 \cdot 10^{-8} = 3,1875 \cdot 10^{-3} \text{ (s)} \\ = 3,19 \text{ (ms)}$$

Câu 4:

a/

	1	2	3	4	5	6	7	8	9	10	11	12	13
Ins 1	FI	DI	FO	EI									
Ins 2		FI	DI	FO	EI								
Ins 3			FI	DI	FO	EI							
Ins 4				FI	DI	FO	EI						
Ins 5					FI	DI	FO	EI					

Ins 6						FI	DI	FO	EI				
Ins 7							FI	DI	FO				
Ins 8								FI	DI				
Ins 9									FI				
12										FI	DI	FO	EI

b/

- $f = 64 \cdot 10^6 \text{ (Hz)}$

- $t = \frac{1}{f} = \frac{1}{64 \cdot 10^6} = 1,5625 \cdot 10^{-8} \text{ (s)} = 15,63 \text{ (ns)}$

- Có bus dữ liệu là 32 bit suy ra mỗi lần chuyển se chuyển 4 byte.

- Tốc độ tối đa $= \frac{4}{3 \cdot t} = 85333333 \left(\frac{\text{byte}}{\text{s}} \right) = 85,33 \left(\frac{\text{MB}}{\text{s}} \right)$

Câu 5:

a/

- 8 trang ảo cho nên $8 = 2^3$. Vậy sẽ cần 3 bit để chứa số hiệu trang ảo.

- Kích thước mỗi trang là $4\text{KB} = 4096 = 2^{12}$. Vậy sẽ cần 12 bit để chứa địa chỉ độ dài.

-> Suy ra sẽ cần $3 + 12 = 15\text{bit}$ cho 1 địa chỉ ảo.

b/

Địa chỉ ảo hệ 10	Số hiệu trang ảo	Độ dài	Địa chỉ ảo hệ 2 (15bit)
1023	0	1023	000 0011 1111 1111
1024	0	1024	000 0100 0000 0000
4097	1	1	001 0000 0000 0001
8191	1	4095	001 1111 1111 1111
8192	2	0	010 0000 0000 0000
12289	3	1	011 0000 0000 0001

Câu 6:

a/

Bước 1:

Gọi 3 công tắc lần lượt là A, B, C. Bóng đèn là Y.

Trạng thái công tắc đóng là logic 1, hở là 0. Trạng thái đèn sáng là logic 1 và tắt là 0.

Bước 2:

Từ yêu cầu bài toán ta có bảng sự thật:

Ngõ vào			Ngõ ra	
A	B	C	Y	
0	0	0	1	(sáng) $\rightarrow \overline{A}\overline{B}\overline{C}$
0	0	1	0	
0	1	0	0	
0	1	1	0	
1	0	0	0	
1	0	1	0	
1	1	0	1	(sáng) $\rightarrow A\overline{B}\overline{C}$
1	1	1	0	

Bước 3: Từ bảng sự thật ta có biểu thức logic ngõ ra

$$Y = \overline{A}\overline{B}\overline{C} + A\overline{B}\overline{C}$$

Nếu không rút gọn biểu thức logic ta thực hiện mạch logic thì số cổng logic sử dụng sẽ rất nhiều hình 1.33 (b).

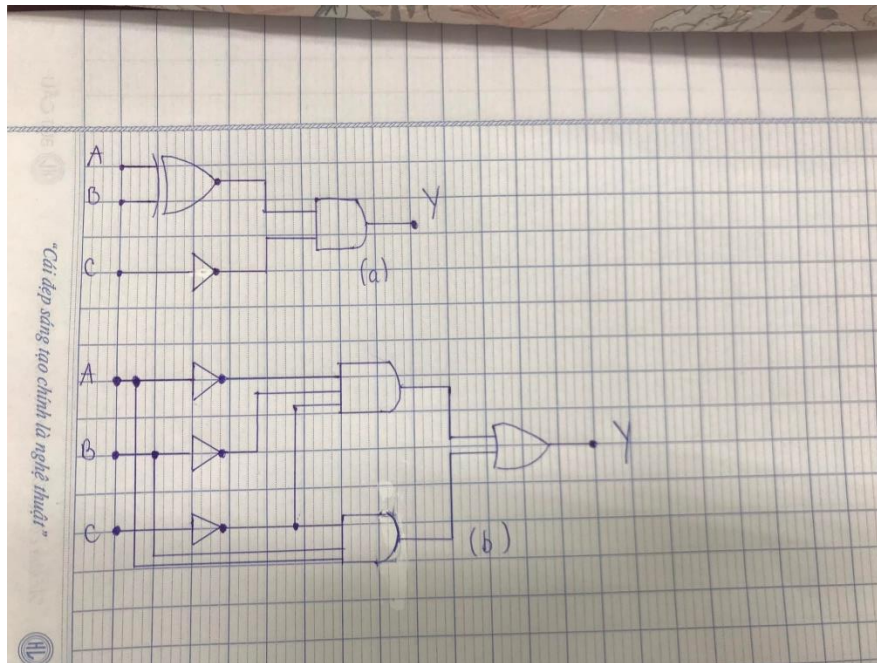
Bước 4: Rút gọn biểu thức logic:

$$\begin{aligned} Y &= \overline{A}\overline{B}\overline{C} + A\overline{B}\overline{C} = (\overline{A}\overline{B} + A\overline{B})\overline{C} \\ &= \overline{(A \oplus B)}\overline{C} \end{aligned}$$

Đến đây thì ta thấy rằng biểu thức logic đã gọn và số cổng logic sử dụng là ít nhất.

Bước 5: Mạch logic tương ứng của biểu thức:

$$Y = (\overline{A \oplus B}) \overline{C}$$



b. biến đổi mạch logic chỉ sử dụng một loại cổng NAND 2 ngõ vào.

Xuất phát từ biểu thức ban đầu, ta sử dụng định lý De Morgan để biến đổi.

$$Y = \overline{A} \overline{B} \overline{C} + AB \overline{C} = (\overline{A} \overline{B} + AB) \overline{C}$$

Lấy đảo của Y ta được:

$$\overline{Y} = \overline{(\overline{A} \overline{B} + AB) \overline{C}} = \overline{(\overline{A} \overline{B} + AB)} + \overline{\overline{C}} = \overline{\overline{A} \overline{B}} \cdot \overline{AB} \cdot C$$

Không khai triển $\overline{\overline{A} \overline{B}}$ vì đã là một cổng NAND. Biểu thức còn ở dạng tổng nên ta đảo một lần nữa, ta được:

$$Y = \overline{\overline{Y}} = \overline{(\overline{\overline{A} \overline{B}} \cdot \overline{AB}) \cdot C}$$

Đến đây ta thấy rằng thừa số trong ngoặc chưa NAND được với C nên ta cần đảo hai lần nữa để được kết quả tất cả đều là cổng NAND 2 ngõ vào:

$$Y = \overline{\overline{A \cdot B} \cdot \overline{AB} \cdot \overline{C}}$$

Từ biểu thức trên ta có sơ đồ mạch logic hình 1.34

