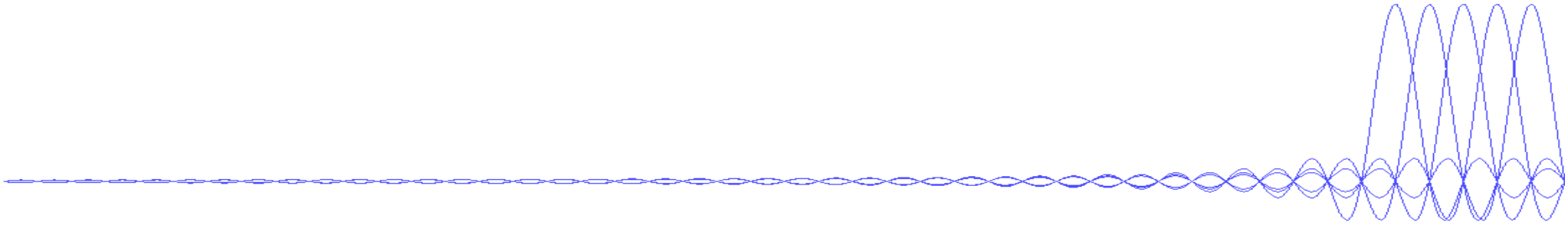
COMPUTER ENGINEERING

KIẾN TRÚC MÁY TÍNH

UIT
TRƯỜNG ĐẠI HỌC
CÔNG NGHỆ THÔNG TIN

BỘ XỬ LÝ
PROCESSOR



Mục đích:

- ✓ Hiểu cơ chế thực thi lệnh và các quy ước về thiết kế logic
- ✓ Thiết kế Datapath với 8 lệnh cơ bản cho một bộ xử lý và cách hiện thực thiết kế này.

Slide tham khảo từ:

1. ***Computer Organization and Design: The Hardware/Software Interface***, Patterson, D. A., and J. L. Hennessy, Morgan Kaufman, Revised Fourth Edition, 2011.
2. ***NUS***, Singapore

1. **Giới thiệu**
2. **Nhắc lại các quy ước thiết kế logic**
3. **Xây dựng đường dữ liệu (datapath) đơn giản**
4. **Hiện thực datapath đơn chu kỳ**

COMPUTER ENGINEERING

Giới thiệu

- Hiệu suất của một máy tính được xác định bởi ba yếu tố:
  - Tổng số câu lệnh — Được xác định bởi trình biên dịch và kiến trúc tập lệnh
  - Chu kỳ xung clock
  - Số chu kỳ xung clock trên một lệnh (Clock cycles per instruction – CPI)

  } Được xác định bởi quá trình hiện thực bộ xử lý

- Mục đích chính của chương này:
  - Giải thích quy tắc hoạt động và hướng dẫn xây dựng datapath cho một bộ xử lý chứa một số lệnh đơn giản (giống kiến trúc tập lệnh dạng MIPS), gồm hai ý chính:
    - Thiết kế datapath
    - Hiện thực datapath đã thiết kế

MIPS (bắt nguồn từ chữ viết tắt của 'Microprocessor without Interlocked Pipeline Stages') là một kiến trúc tập tập lệnh dạng RISC, được phát triển bởi MIPS Technologies (trước đây là MIPS Computer Systems, Inc.)

Giới thiệu

Chương này chỉ xem xét 8 lệnh trong 3 nhóm chính của tập lệnh MIPS:

- Nhóm lệnh tham khảo bộ nhớ (**lw** và **sw**)
- Nhóm lệnh liên quan đến logic và số học (**add, sub, AND, OR**, và **slt)**
- Nhóm lệnh nhảy (Lệnh nhảy với điều kiện bằng **beq**)

Giới thiệu

Tổng quan các lệnh cần xem xét:

Nhóm lệnh tham khảo bộ nhớ:

Nạp lệnh → Đọc một/hai thanh ghi → Sử dụng ALU → Truy xuất bộ nhớ để đọc/ghi dữ liệu

Nhóm lệnh logic và số học:

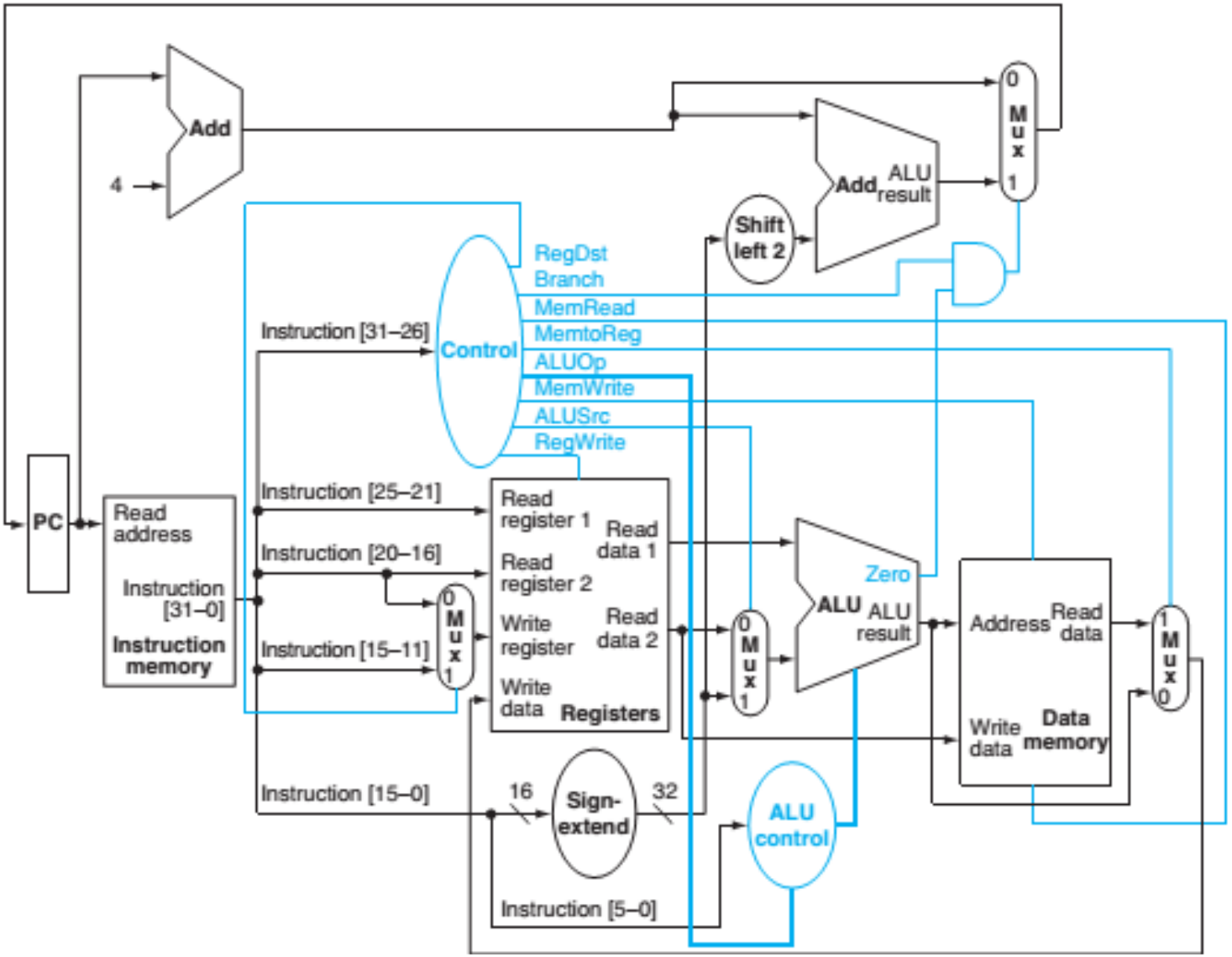
Nạp lệnh → Đọc một/hai thanh ghi → Sử dụng ALU → Ghi dữ liệu vào thanh ghi

Nhóm lệnh nhảy:

Nạp lệnh → Đọc một/hai thanh ghi → Sử dụng ALU → Chuyển đến địa chỉ lệnh tiếp theo dựa trên kết quả so sánh

Giới thiệu

Hình ảnh datapath của một bộ xử lý với 8 lệnh MIPS: *add, sub, AND, OR, slt, lw, sw và beq*



1. Giới thiệu
2. **Nhắc lại các quy ước thiết kế logic**
3. Xây dựng đường dữ liệu (datapath) đơn giản
4. Hiện thực datapath đơn chu kỳ

COMPUTER ENGINEERING

Quy ước thiết kế

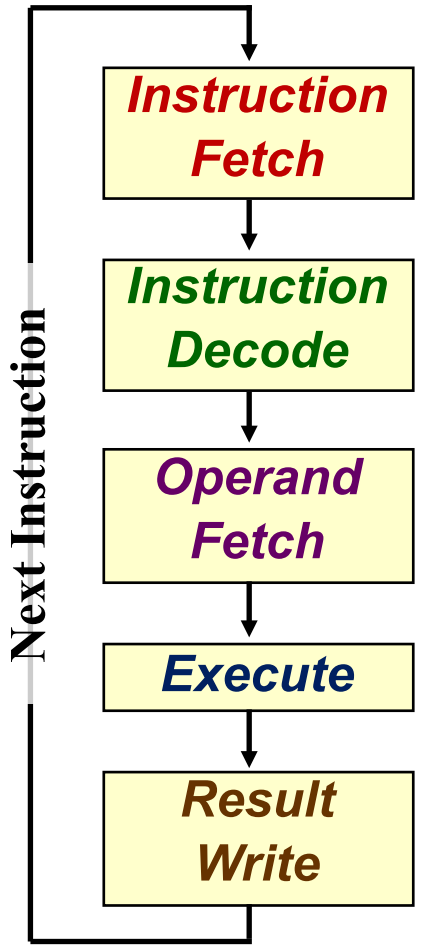
Phần này nhắc lại các khái niệm:

- **Mạch tổ hợp (Combinational): ALU**
- **Mạch tuần tự (Sequential): instruction/data memories và thanh ghi**
- **Tín hiệu điều khiển (Control signal)**
- **Tín hiệu dữ liệu (Data signal)**
  - **Asserted (assert)**: Khi tín hiệu ở mức cao hoặc ‘true’
  - **Deasserted (deassert):** Khi tín hiệu ở mức thấp hoặc ‘false’
  - **Edge-triggered clocking (Rising/Falling)**
- **Bus**

1. Giới thiệu
2. Nhắc lại các quy ước thiết kế logic
3. **Xây dựng đường dữ liệu (datapath) đơn giản**
4. Hiện thực datapath đơn chu kỳ

COMPUTER ENGINEERING

Quy trình thực thi lệnh



- **Instruction Fetch (tìm nạp lệnh):**
  - Nạp lệnh từ bộ nhớ (memory)
  - Địa chỉ của lệnh lưu trong thanh ghi **P**rogram **C**ounter (PC)
- **Instruction Decode (giải mã lệnh):**
  - Tìm ra lệnh thực hiện
- **Operand Fetch (tìm nạp toán hạng):**
  - Lấy các toán hạng cần thiết cho lệnh
- **Execute (thực thi):**
  - Thực hiện câu lệnh
- **Result Write (lưu trữ):**
  - Lưu trữ kết quả

COMPUTER ENGINEERING

Quy trình thực thi lệnh

- Bảng sau mô tả ba giai đoạn thực thi lệnh trong ba nhóm lệnh cơ bản của MIPS (Giai đoạn *Fetch* and *Decode* không được hiển thị)

	`add $3, $1, $2`	`lw $3, 20( $1 )`	`beq $1, $2, label`
Fetch & Decode	***standard***	***standard***	***standard***
Operand Fetch	○ Đọc thanh ghi $1, xem như toán hạng *opr1* ○ Đọc thanh ghi $2, xem như toán hạng *opr2*	○ Đọc thanh ghi $1, xem như toán hạng *opr1* ○ Sử dụng ***20*** như toán hạng *opr2*	○ Đọc thanh ghi $1, xem như toán hạng *opr1* ○ Đọc thanh ghi $2, xem như toán hạng *opr2*
Execute	*Result* = *opr1* + *opr2*	○ *MemAddr* = *opr1* + *opr2* ○ Sử dụng *MemAddr* để đọc dữ liệu từ bộ nhớ	*Taken* = (*opr1* == *opr2*)? *Target* = **PC** + Label*
Result Write	*Result* được lưu trữ vào **$3**	Dữ liệu của từ nhớ có địa chỉ *MemAddr* được được lưu trữ vào **$3**	if (*Taken*) **PC** = *Target*

- **opr** = Operand
- **MemAddr** = Memory Address
- * = simplification, not exact

COMPUTER ENGINEERING

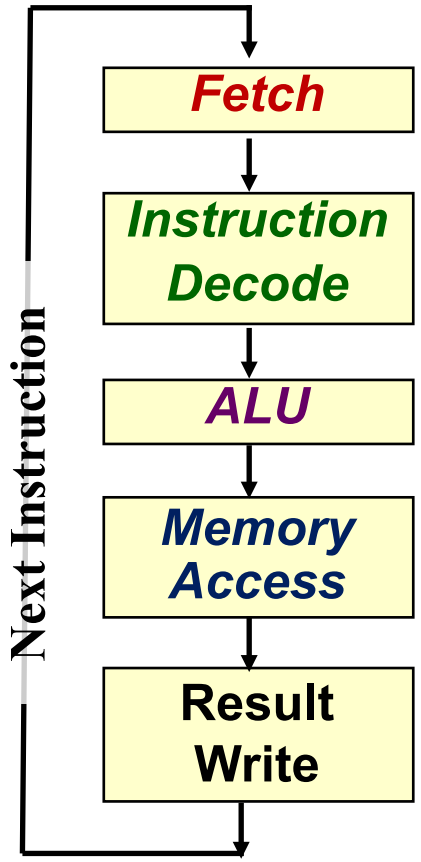
Quy trình thực thi lệnh của MIPS (5 công đoạn)

- Thay đổi thiết kế các giai đoạn thực hiện lệnh:
  - ✓ Gộp giai đoạn *Decode* và *Operand Fetch* – Giai đoạn Decode của MIPS khá đơn giản
  - ✓ Tách giai đoạn *Execute* thành ***ALU*** (Calculation) và ***Memory Access***

	add $3, $1, $2	**lw $3, 20($1)**	**beq $1, $2, label**
Fetch	Đọc lệnh (địa chỉ của lệnh lưu trong thanh ghi PC)	Đọc lệnh (địa chỉ của lệnh lưu trong thanh ghi PC)	Đọc lệnh (địa chỉ của lệnh lưu trong thanh ghi PC)
Decode & Operand Fetch	○ Đọc thanh ghi $1, xem như toán hạng *opr1* ○ Đọc thanh ghi $2, xem như toán hạng *opr2*	○ Đọc thanh ghi $1, xem như toán hạng *opr1* ○ Sử dụng ***20*** như toán hạng *opr2*	○ Đọc thanh ghi $1, xem như toán hạng *opr1* ○ Đọc thanh ghi $2, xem như toán hạng *opr2*
ALU	*Result* = *opr1* + *opr2*	*MemAddr* = opr1 + opr2	*Taken* = (*opr1* == *opr2*)? *Target* = **PC** + Label*
Memory Access		Sử dụng *MemAddr* để đọc dữ liệu từ bộ nhớ	
Result Write	*Result* được lưu trữ vào **$3**	*Dữ liệu của từ nhớ có địa chỉ MemAddr được được lưu trữ vào* **$3**	if (*Taken*) **PC** = *Target*

COMPUTER ENGINEERING

Quy trình thực thi lệnh của MIPS (5 công đoạn)



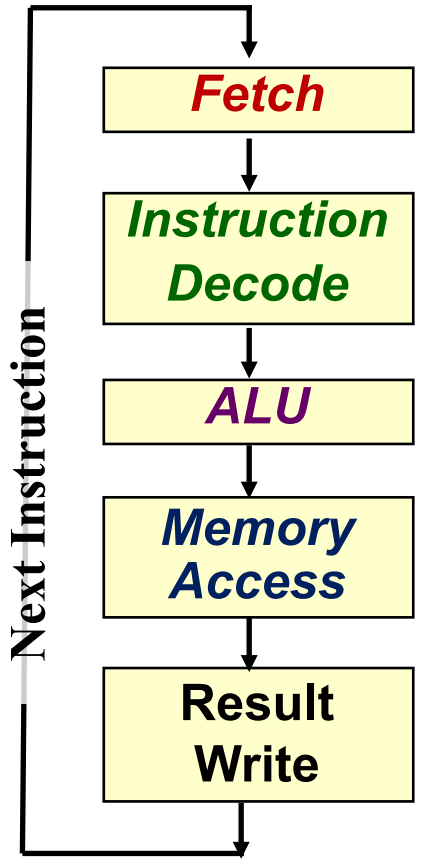
- **Instruction Fetch (Nạp lệnh)**
- **Instruction Decode & Operand Fetch**

(Giải mã và lấy các toán hạng cần thiết, Gọi tắt là "Instruction Decode")

- **ALU (Giai đoạn sử dụng ALU hay giai đoạn thực thi)**
- **Memory Access (Giai đoạn truy xuất vùng nhớ)**
- **Result Write (Giai đoạn ghi lại kết quả/lưu trữ)**

COMPUTER ENGINEERING

Quy trình thực thi lệnh của MIPS (5 công đoạn)



- **Instruction Fetch (Nạp lệnh)**
- Instruction Decode & Operand Fetch

(Giải mã và lấy các toán hạng cần thiết, Gọi tắt là "Instruction Decode")

- ALU (Giai đoạn sử dụng ALU hay giai đoạn thực thi)
- Memory Access (Giai đoạn truy xuất vùng nhớ)
- Result Write (Giai đoạn ghi lại kết quả/lưu trữ)

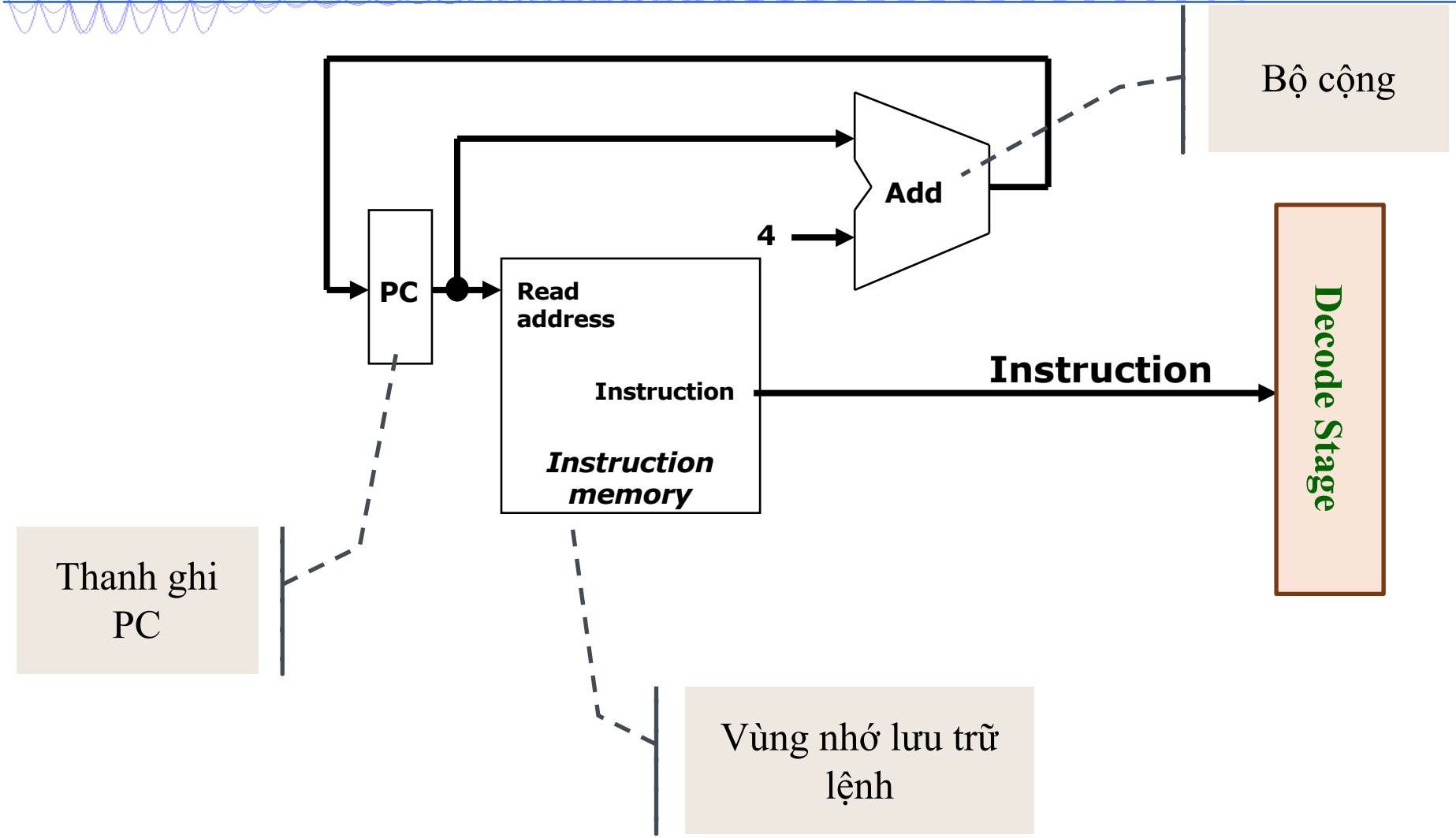
Giai đoạn tìm nạp lệnh (Instruction Fetch)

- Giai đoạn nạp lệnh:
  1. Sử dụng thanh ghi **Program Counter** (**PC**) để tìm nạp lệnh từ **bộ nhớ**
     - Thanh ghi PC là một thanh ghi đặc biệt trong bộ vi xử lý
  2. **Tăng giá trị** trong thanh ghi PC lên 4 đơn vị để lấy địa chỉ của lệnh tiếp theo
     - Tại sao địa chỉ lệnh tiếp theo là PC + 4?
     - Chú ý, lệnh rẽ nhánh (branch) và lệnh nhảy (jump) là một trường hợp ngoại lệ
- Kết quả của giai đoạn này là đầu vào cho giai đoạn tiếp theo (**Decode**):

Kết quả của giai đoạn này là 32 bit mã máy của lệnh cần thực thi. Chuỗi 32 bits này sẽ sử dụng như đầu vào (input) cho giai đoạn tiếp theo là Decode

COMPUTER ENGINEERING

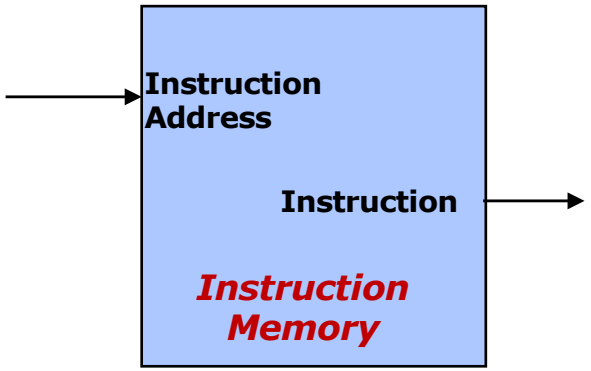
Giai đoạn tìm nạp lệnh (Instruction Fetch)



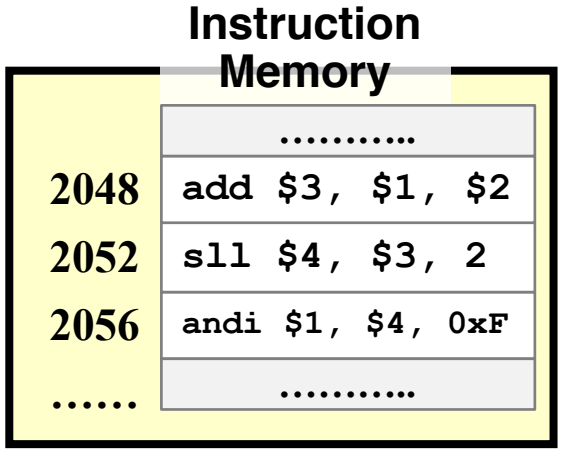
COMPUTER ENGINEERING

Khối *Instruction Memory*

- Vùng nhớ lưu trữ lệnh
- **Đầu vào:** là địa chỉ của lệnh
- **Đầu ra:** là nội dung lệnh tương ứng với địa chỉ được cung cấp



Cách sắp xếp của bộ nhớ giống như hình bên phải➔

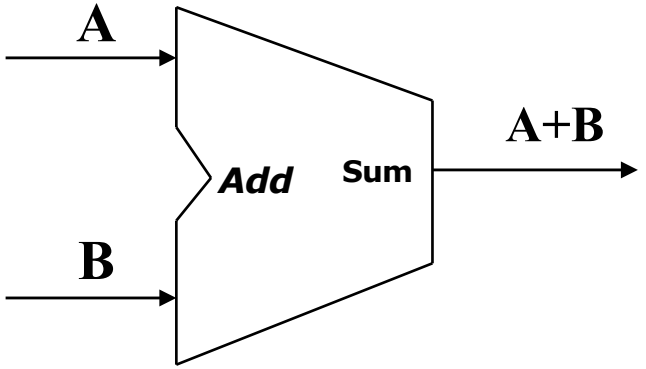


COMPUTER ENGINEERING

Bộ cộng

- Mạch logic kết hợp để cộng 2 số - bộ cộng

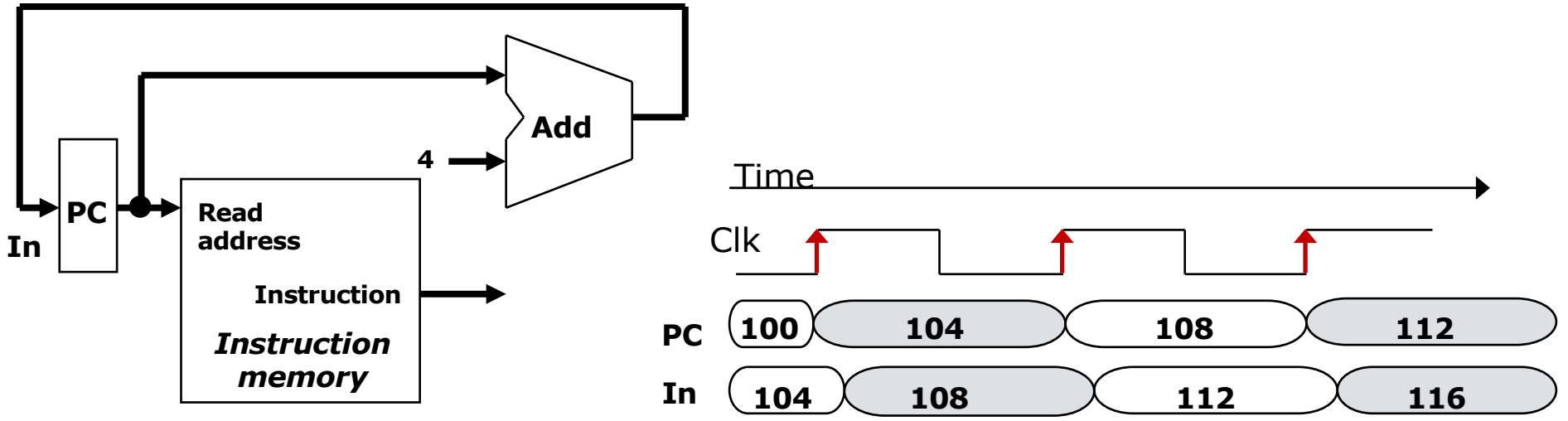
- **Đầu vào:**
  - Hai số 32-bit **A**, **B**
- **Đầu ra:**
  - **A + B**



COMPUTER ENGINEERING

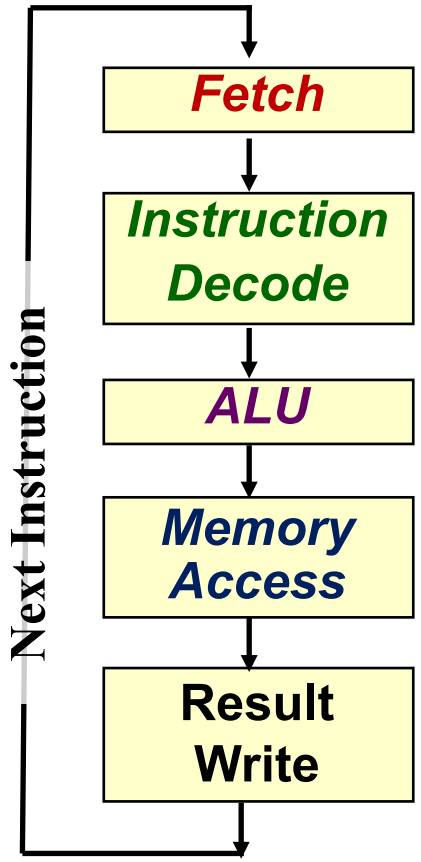
Ý niệm về việc sử dụng xung clock

- Dường như thanh ghi PC được đọc và cập nhật cùng lúc:
  - PC hoạt động chính xác như thế nào?
- **Magic of clock**:
  - PC được đọc trong nửa clock đầu và cập nhật thành PC+4 trong lần **kích cạnh lên tiếp theo**



COMPUTER ENGINEERING

Quy trình thực thi lệnh của MIPS (5 công đoạn)



- **Instruction Fetch (Nạp lệnh)**
- **Instruction Decode & Operand Fetch**

(Giải mã và lấy các toán hạng cần thiết, gọi tắt là "Instruction Decode")

- **ALU (Giai đoạn sử dụng ALU hay giai đoạn thực thi)**
- **Memory Access (Giai đoạn truy xuất vùng nhớ)**
- **Result Write (Giai đoạn ghi lại kết quả/lưu trữ)**

Giai đoạn giải mã (Decode)

- Giai đoạn decode:

  Lấy nội dung dữ liệu trong các trường (field) của lệnh:

  1. Đọc **opcode** để xác định kiểu lệnh và chiều dài của từng trường trong mã máy
  2. Đọc dữ liệu từ các thanh ghi cần thiết
     - Có thể 2 (lệnh `add`), 1 (lệnh `addi`) hoặc 0 (lệnh `j`)

- Đầu vào từ giai đoạn trước (**Fetch**):

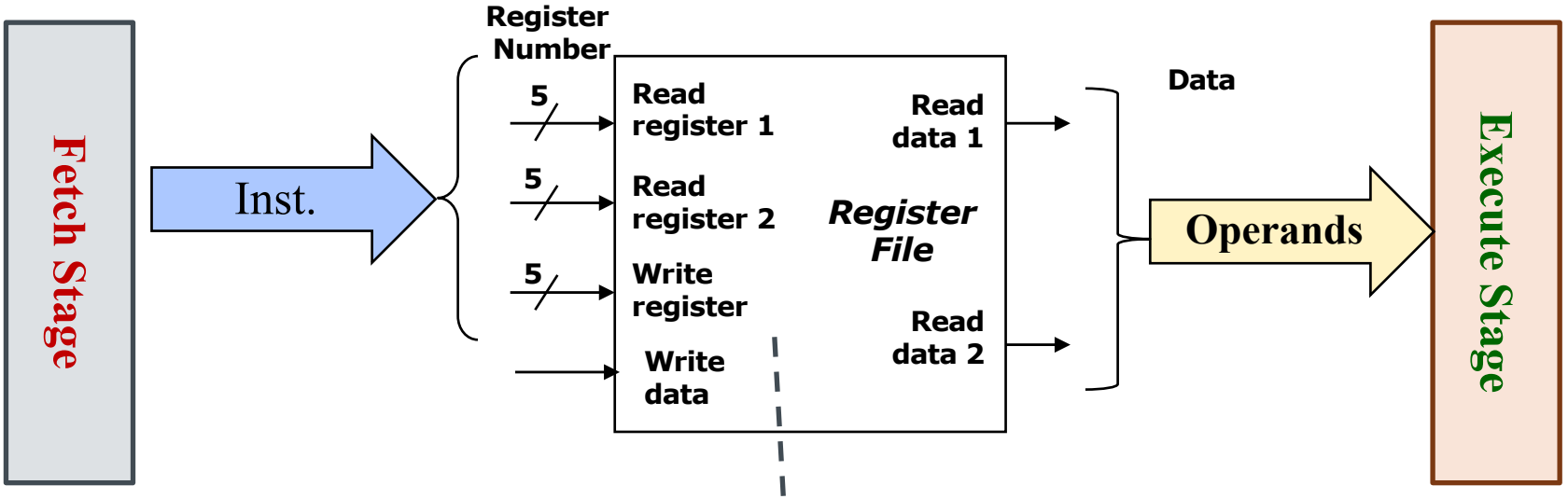
  Lệnh cần được thực thi (Mã máy)

- Đầu ra cho giai đoạn tiếp theo (**Execute**):

  Phép tính và các toán hạng cần thiết

COMPUTER ENGINEERING

Giai đoạn giải mã (Decode)

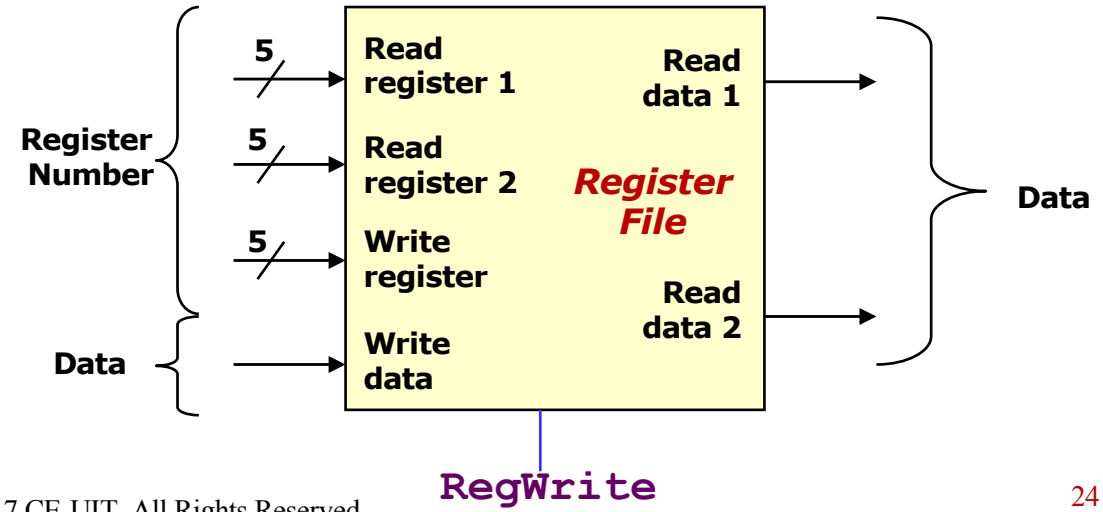


Khối chứa tập hợp của các thanh ghi, gọi là **Register file**
Hoặc **Registers**

COMPUTER ENGINEERING

Khối *Register File*

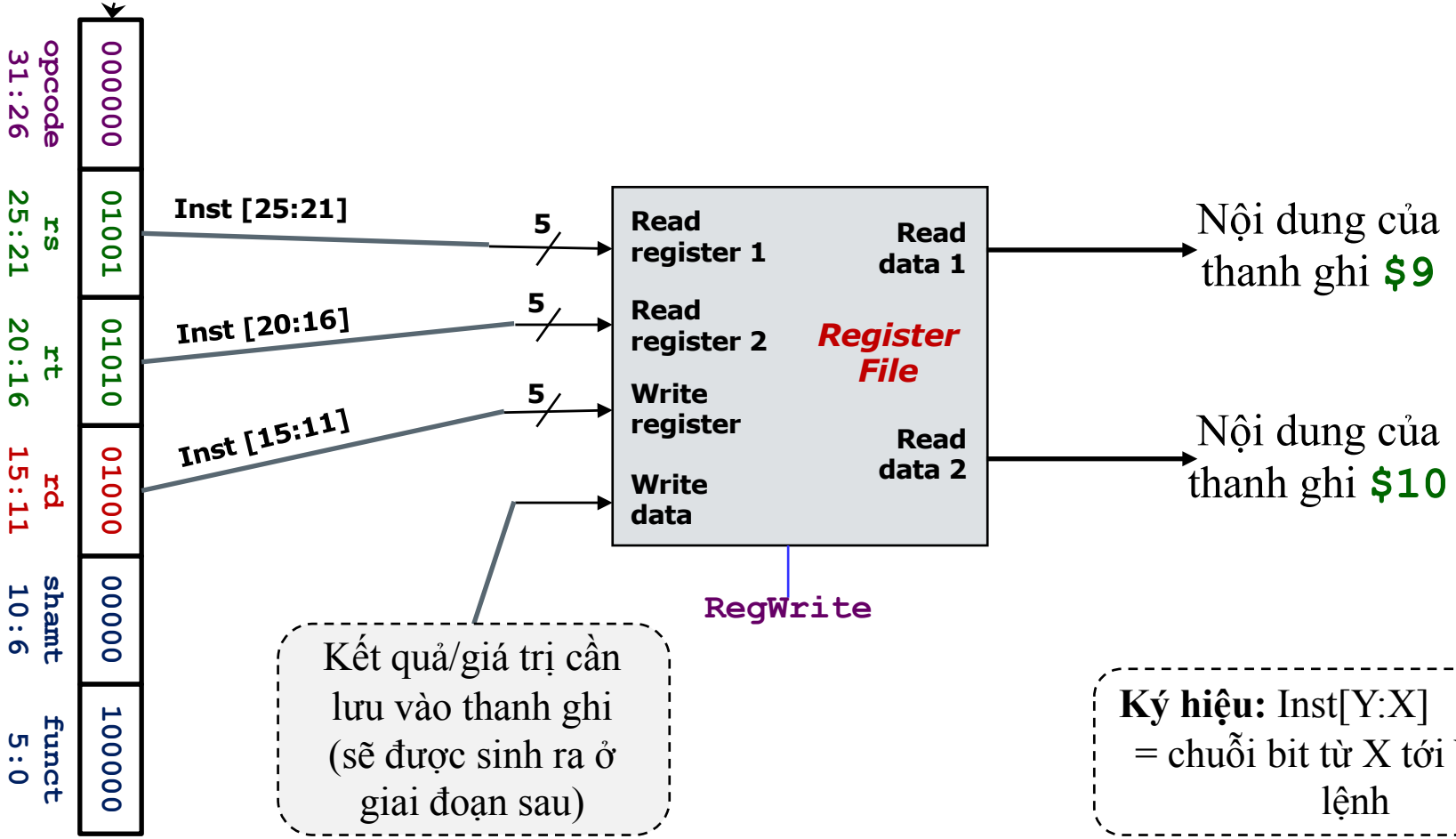
- Một tập 32 thanh ghi:
  - Mỗi thanh ghi có chiều dài 32 bit và có thể được đọc hoặc ghi bằng cách chỉ ra chỉ số của thanh ghi
  - Với mỗi lệnh, cho phép **đọc nhiều nhất từ 2 thanh ghi**
  - Với mỗi lệnh, cho phép **ghi vào nhiều nhất 1 thanh ghi**
- **`RegWrite`**: là một tín hiệu điều khiển nhằm mục đích:
  - Cho phép ghi vào một thanh ghi hay không
  - 1(True) = Write, 0 (False) = No Write



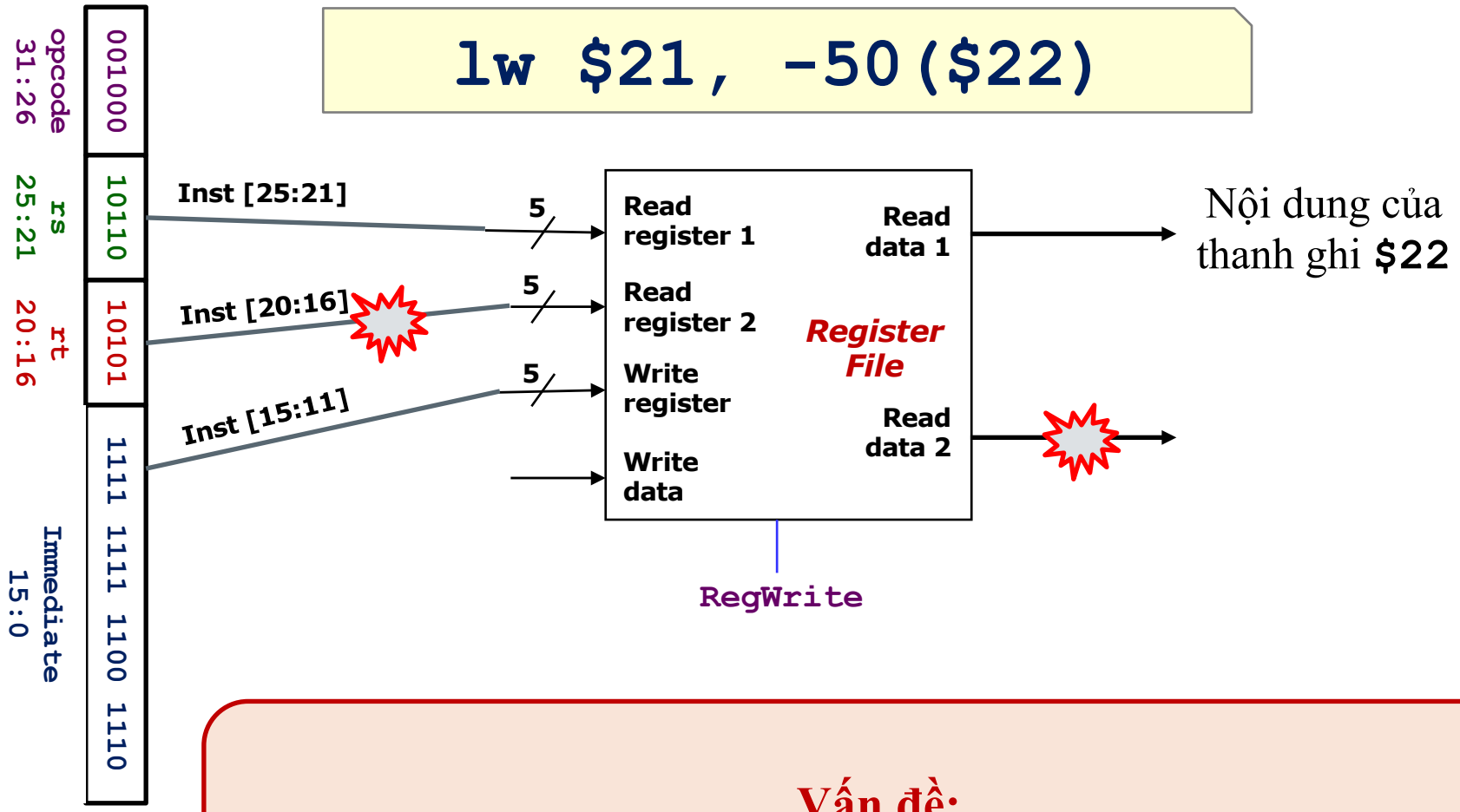
COMPUTER ENGINEERING

Giải mã: lệnh **R-Type**

```
add $8, $9, $10
```



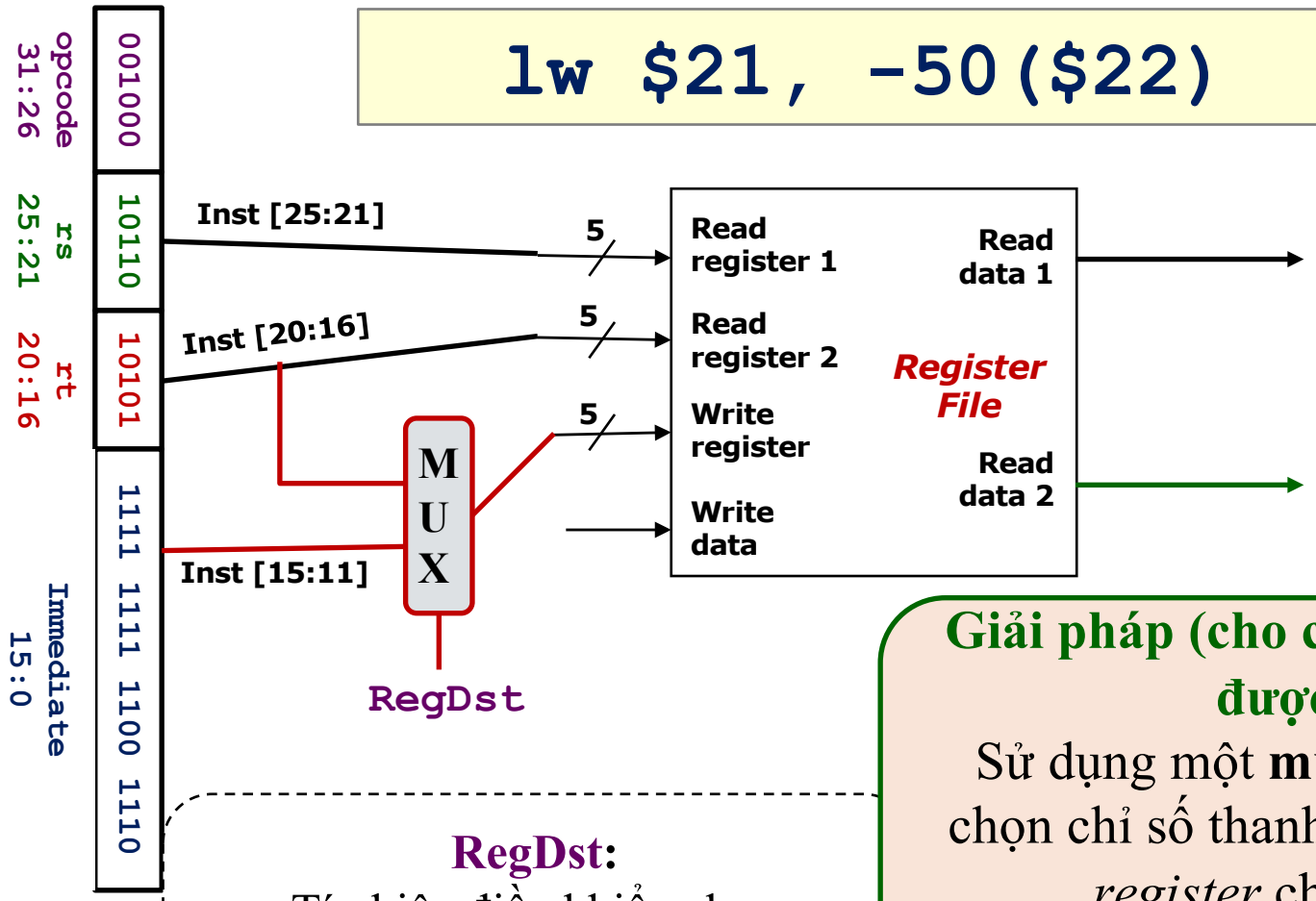
Giải mã: lệnh **I-Type**



Vấn đề:

Thanh ghi đích **$21** "đặt không đúng vị trí"

Giải mã: **Giải pháp cho ngõ "Write register"**



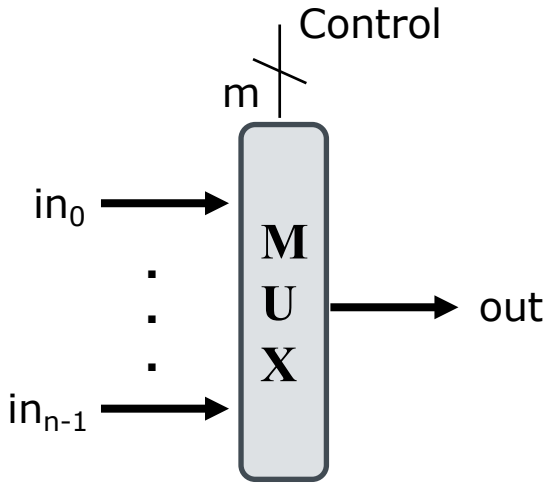
RegDst:
Tín hiệu điều khiển chọn Inst[20:16] hay [15:11] để đưa vào ngõ *write register*

Giải pháp (cho chỉ số thanh ghi sẽ được ghi):
Sử dụng một **multiplexer** để lựa chọn chỉ số thanh ghi cho ngõ *write register* chính xác dựa trên từng loại lệnh

COMPUTER ENGINEERING

Multiplexer (MUX)

- **Chức năng:**
  - Chọn một input từ tập input đầu vào



- **Inputs:**
  - ***n*** đường vào có cùng chiều rộng

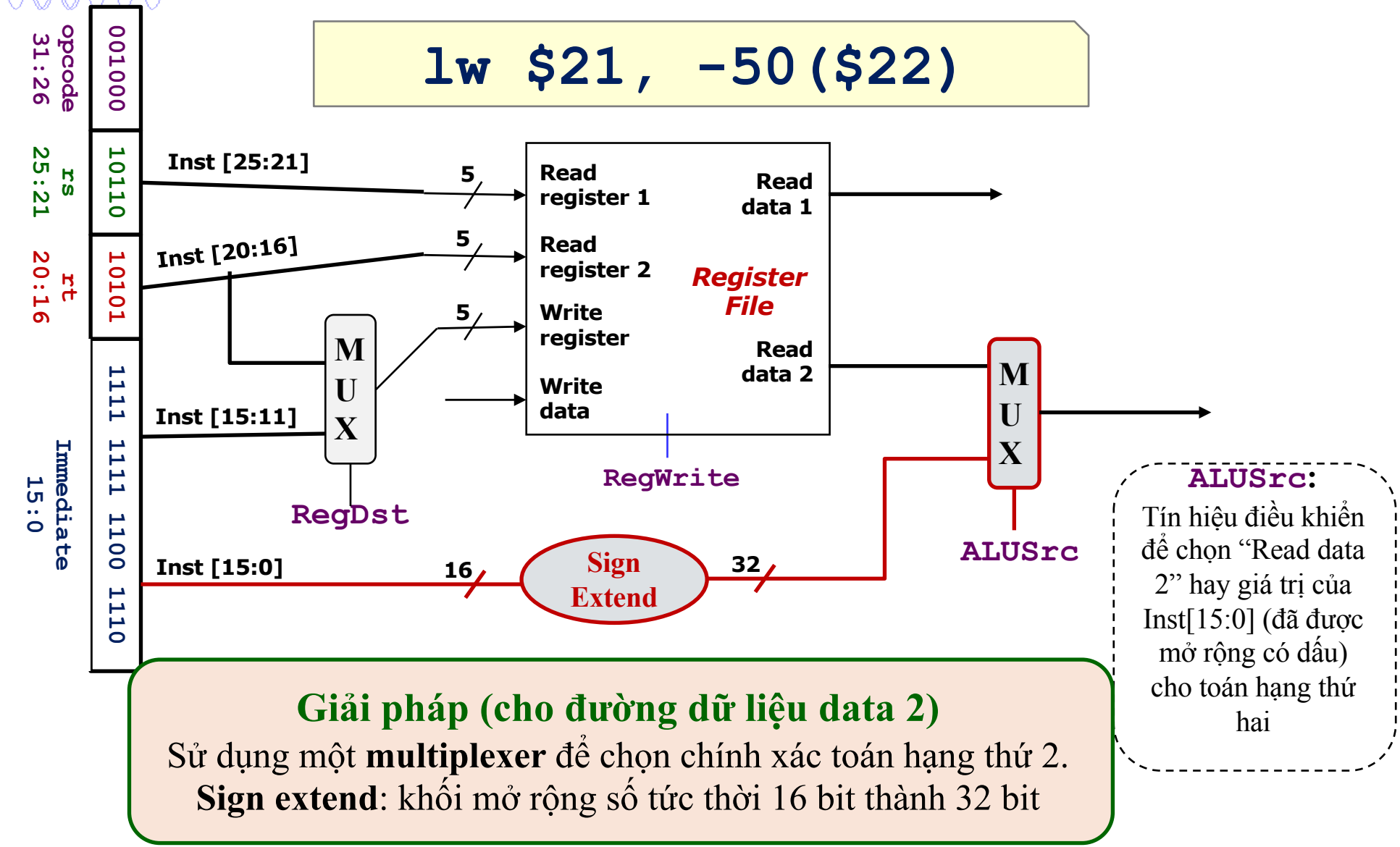
- **Control:**
  - ***Cần m*** bit trong đó $n = 2^m$

Control=0 → select in_0
Control=3 → select in_3

- **Output:**
  - Chọn đường input thứ i nếu giá trị tín hiệu điều khiển control = i

COMPUTER ENGINEERING

Giải mã: giải pháp cho ngõ "Data 2"

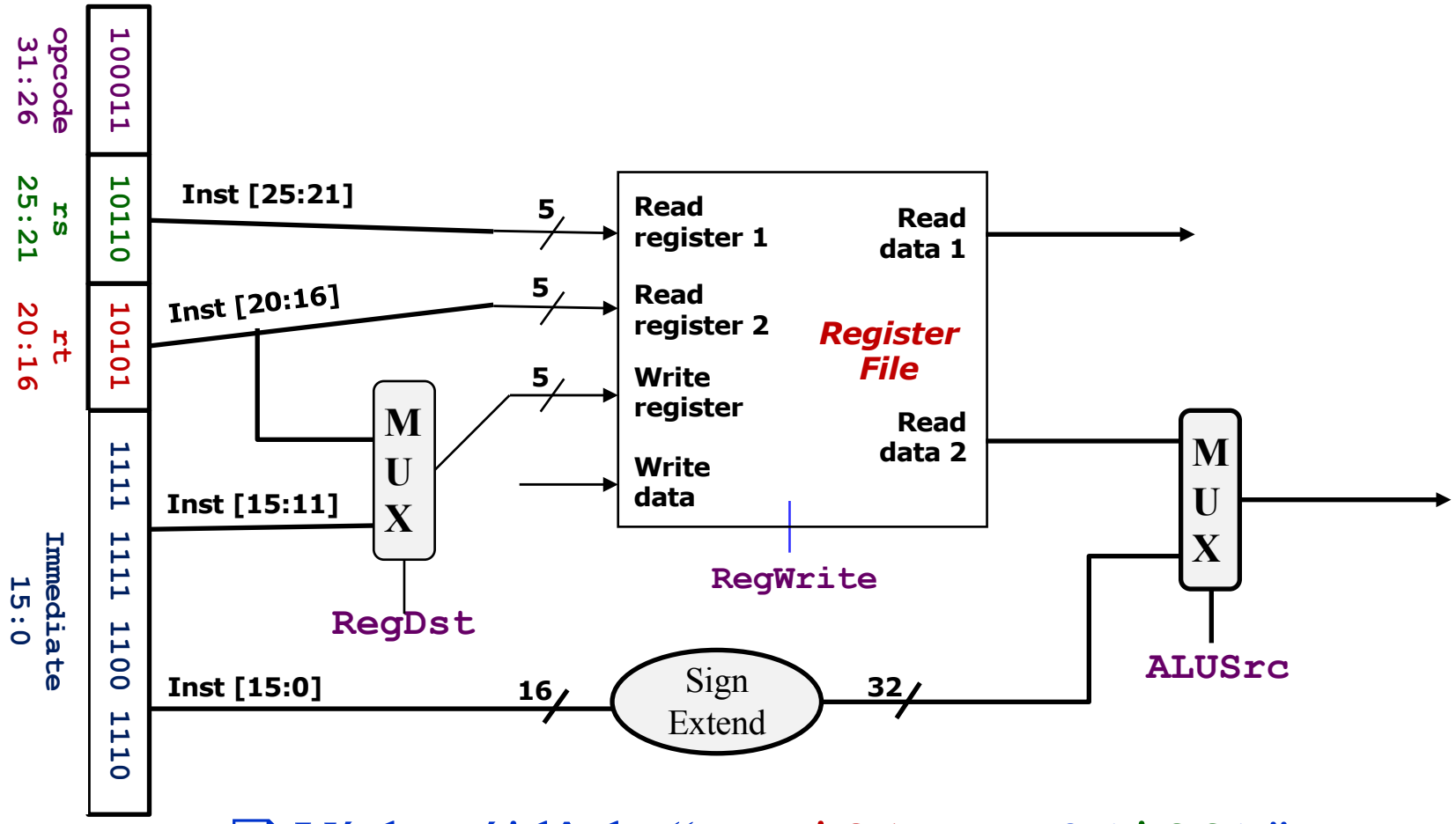


ALUSrc:
Tín hiệu điều khiển để chọn "Read data 2" hay giá trị của Inst[15:0] (đã được mở rộng có dấu) cho toán hạng thứ hai

Giải pháp (cho đường dữ liệu data 2)

Sử dụng một **multiplexer** để chọn chính xác toán hạng thứ 2.
Sign extend: khối mở rộng số tức thời 16 bit thành 32 bit

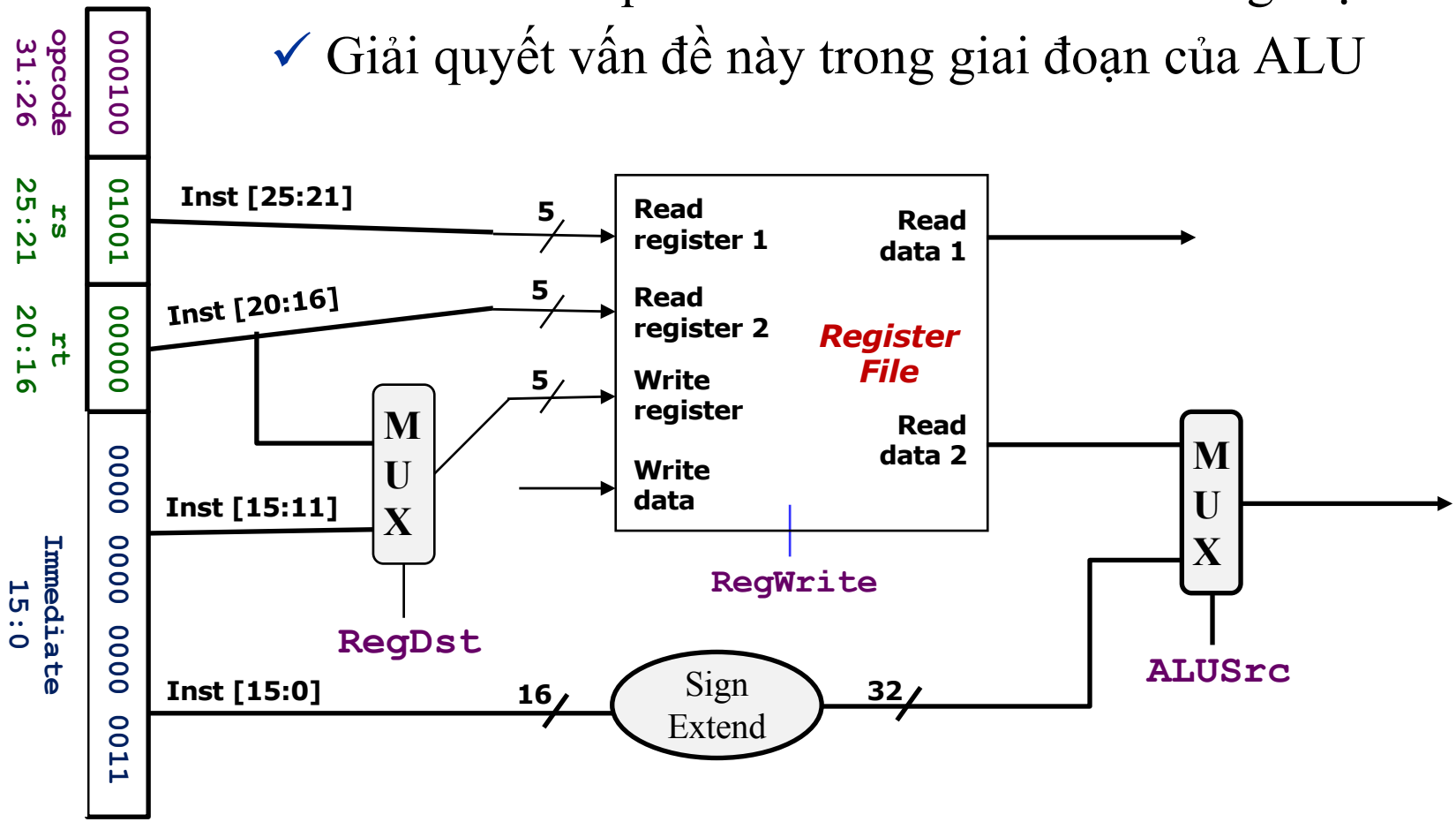
Giải mã: Lệnh Load Word



- Ví dụ với lệnh: "`sw $21, -50($22)`"
  - Có cần phải thay đổi thành phần nào?

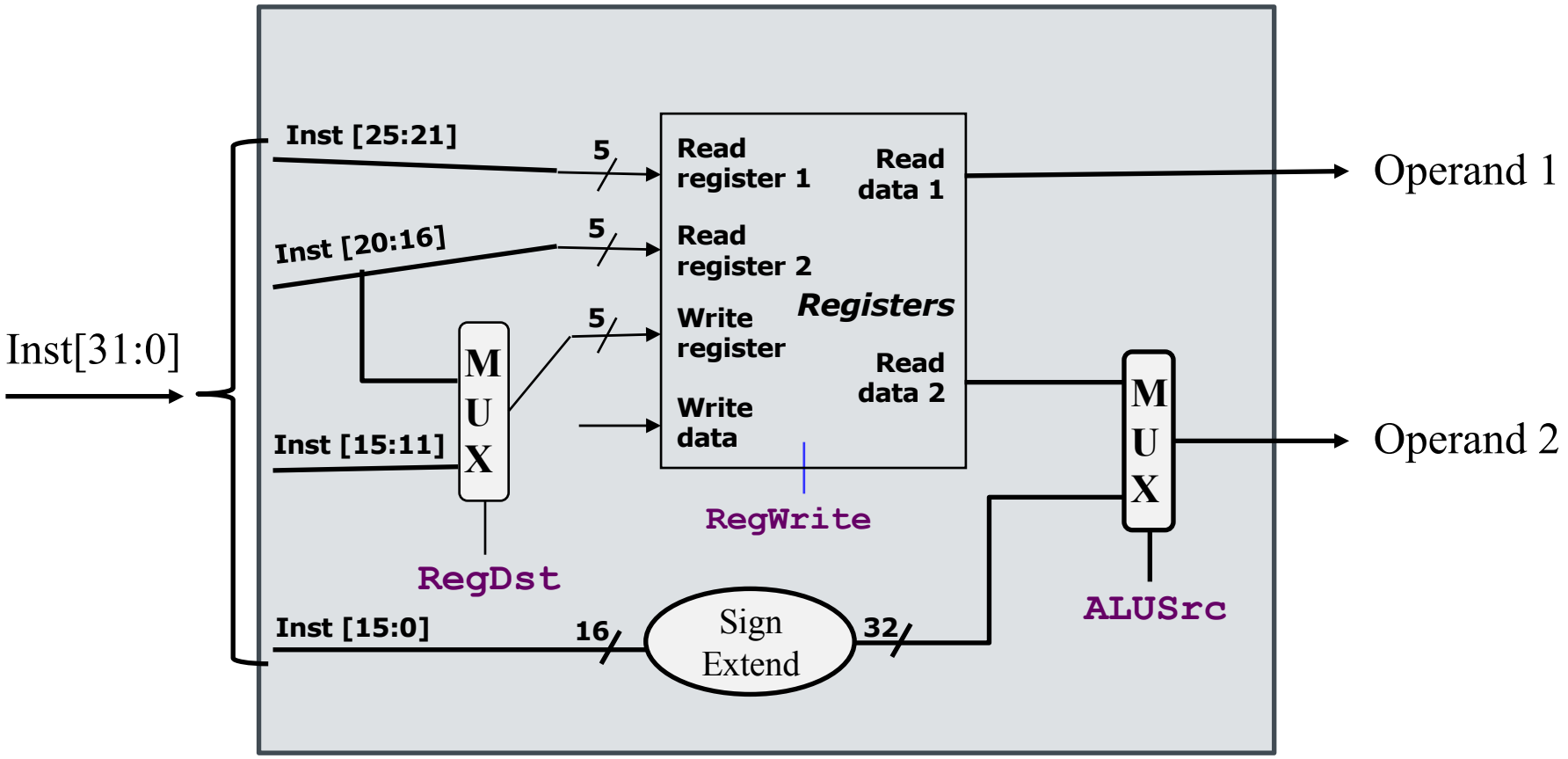
Giải mã: Lệnh nhánh/nhảy

- Ví dụ: "**beq $9, $0, 3**"
  - ✓ Cần tính kết quả rẽ nhánh và đích đến cùng một lúc !
  - ✓ Giải quyết vấn đề này trong giai đoạn của ALU



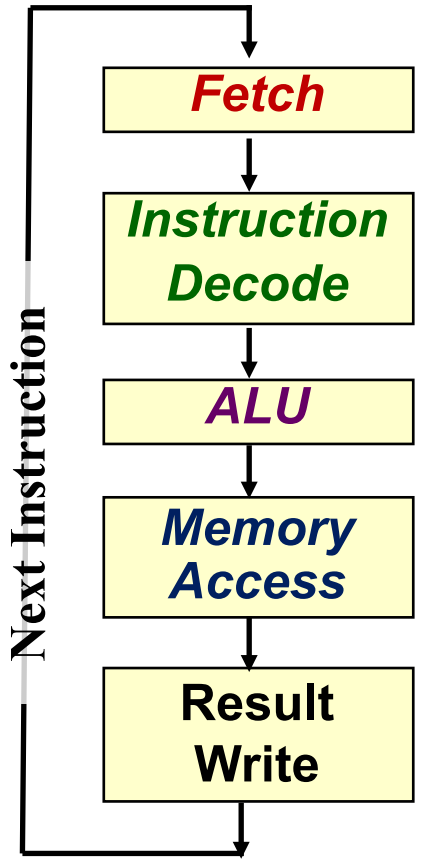
COMPUTER ENGINEERING

Giải mã: tổng kết



COMPUTER ENGINEERING

Quy trình thực thi lệnh của MIPS (5 công đoạn)



- **Instruction Fetch (Nạp lệnh)**
- **Instruction Decode & Operand Fetch**

(Giải mã và lấy các toán hạng cần thiết, Gọi tắt là "Instruction Decode")

- **ALU (Giai đoạn sử dụng ALU hay giai đoạn thực thi)**
- **Memory Access (Giai đoạn truy xuất vùng nhớ)**
- **Result Write (Giai đoạn ghi lại kết quả/lưu trữ)**

COMPUTER ENGINEERING

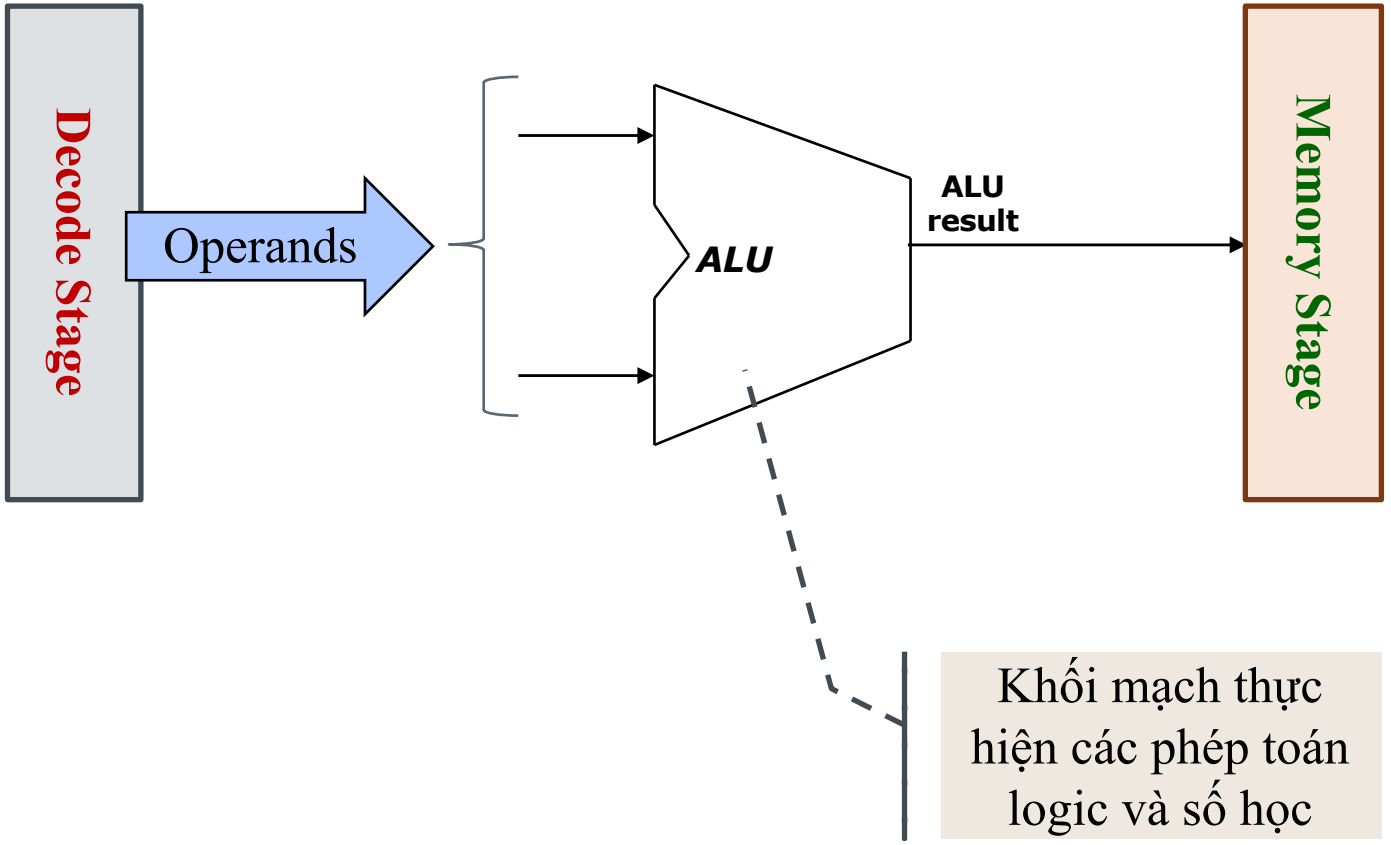
Công đoạn ALU

- Công đoạn ALU:
  - ✓ ALU = Arithmetic-Logic Unit
  - ✓ Công việc thật sự của hầu hết các lệnh được hiện chủ yếu trong giai đoạn này
    - Số học (Arithmetic) (ví dụ: **add**, **sub**), Logic (ví dụ: **and**, **or**): ALU tính ra kết quả cuối cùng
    - Lệnh làm việc với bộ nhớ (ví dụ: **lw**, **sw**): ALU dùng tính toán địa chỉ của bộ nhớ
    - Lệnh nhảy/nhánh (ví dụ: **bne**, **beq**): ALU thực hiện so sánh các giá trị trên thanh ghi và tính toán địa chỉ đích sẽ nhảy tới
- Đầu vào từ công đoạn trước (**Decode**):
  - ✓ Các thao tác (operation) và toán hạng (operand(s))
- Đầu ra cho công đoạn tiếp theo (**Memory**):
  - ✓ Tính toán kết quả

  (Đối với lệnh lw và sw: Kết quả của công đoạn này sẽ là địa chỉ cung cấp cho memory để lấy dữ liệu)

COMPUTER ENGINEERING

Công đoạn ALU



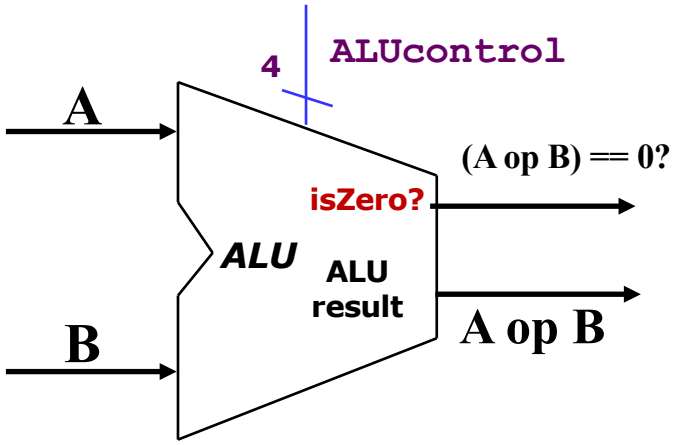
Khối *ALU (Arithmetic Logical Unit)*

- **ALU (Arithmetic-logical unit)**
  - ✓ Khối dùng để thực hiện các phép tính logic và số học

- **Inputs:**
  - ✓ 2 số 32-bit

- **Điều khiển khối ALU:**
  - ✓ Do ALU có thể thực hiện nhiều chức năng → dùng 4-bit để quyết định chức năng/phép toán cụ thể nào cho ALU

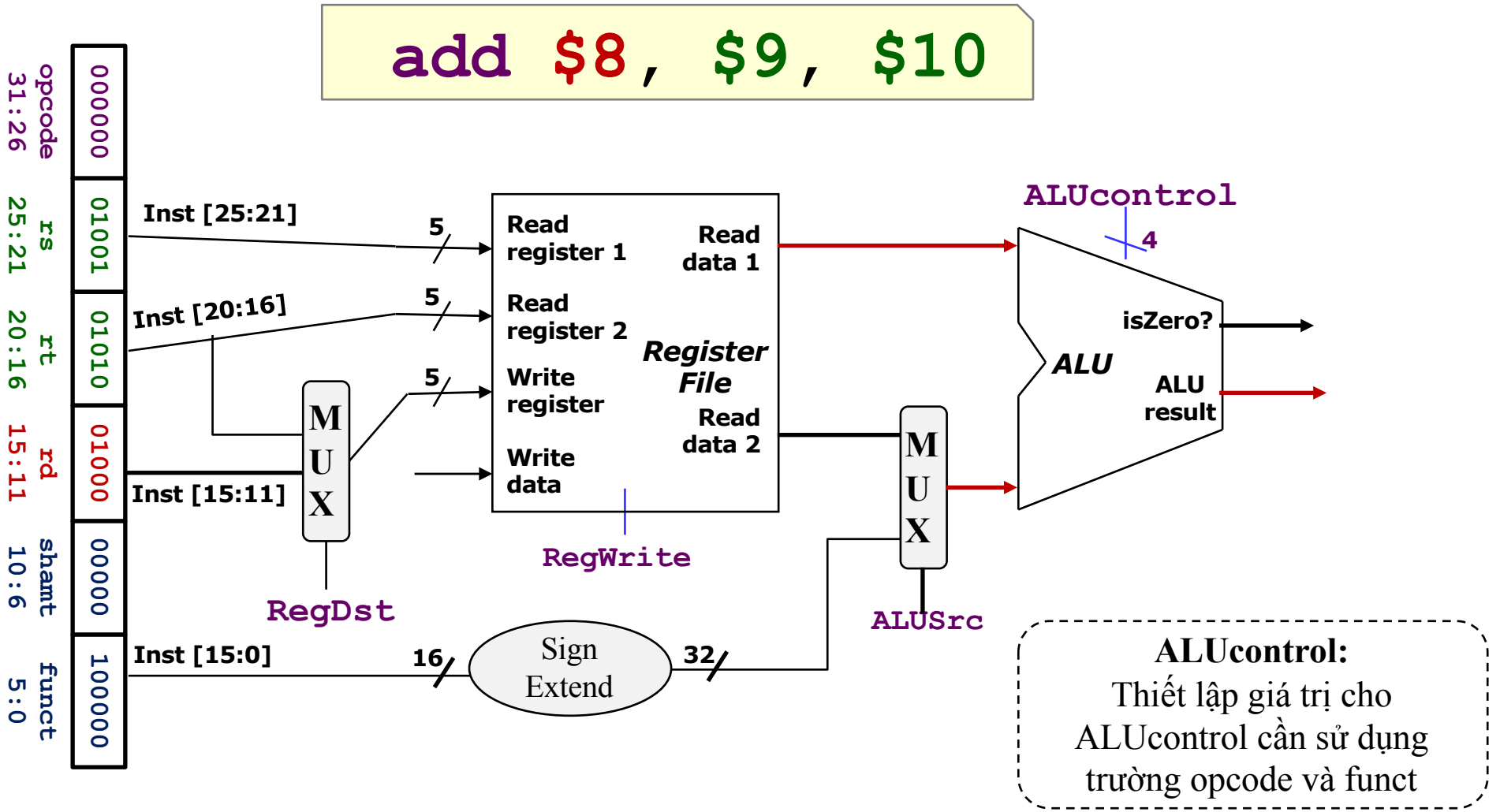
- **Outputs:**
  - ✓ Kết quả của phép toán số học hoặc logic
  - ✓ Một bit tín hiệu để chỉ ra rằng kết quả có bằng 0 hay không



ALUcontrol	Function
0000	AND
0001	OR
0010	add
0110	subtract
0111	slt
1100	NOR

Công đoạn ALU: các lệnh *non-branch*

- Các lệnh không nhánh/nhảy (non-branch) kết nối ALU như hình:



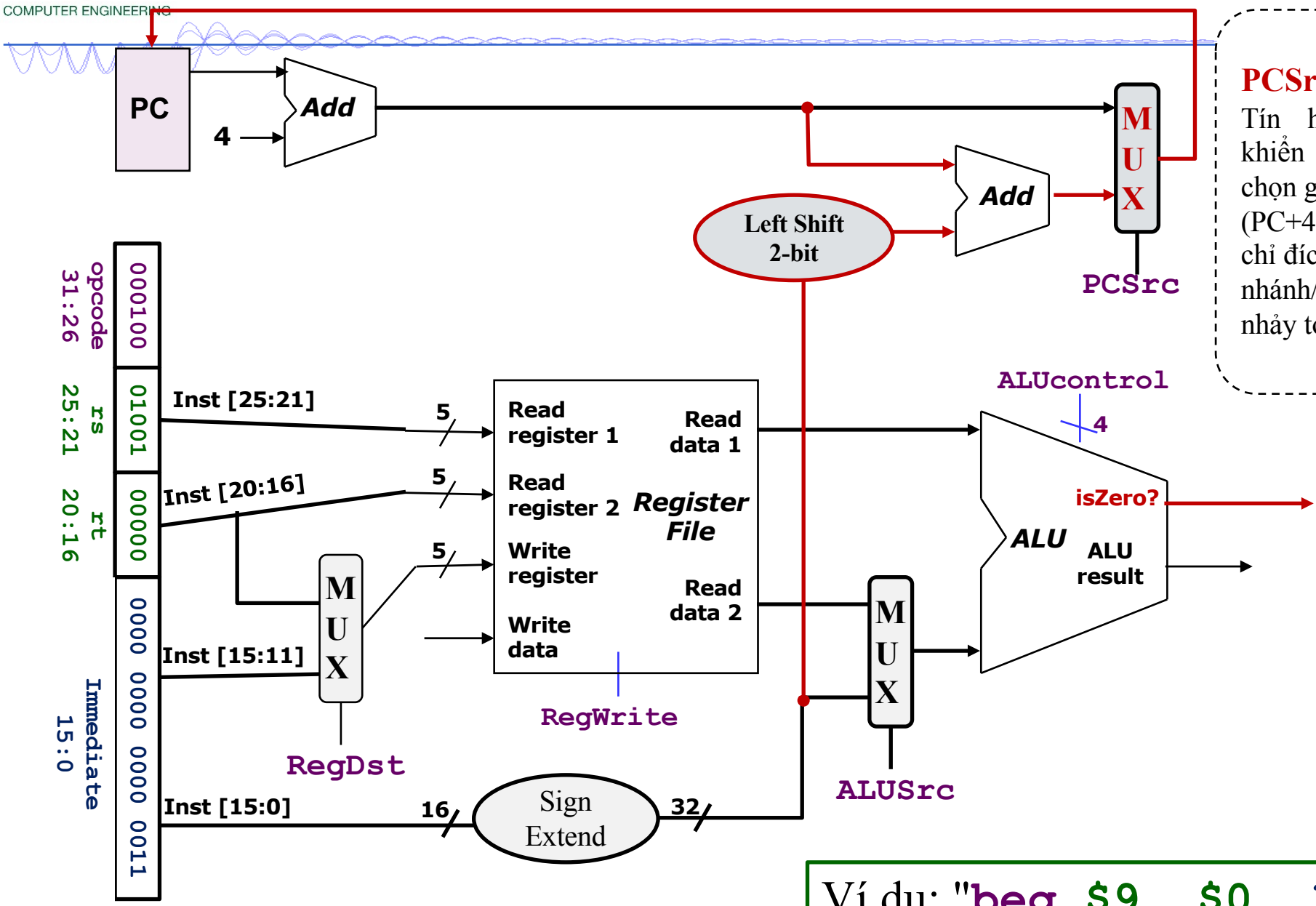
COMPUTER ENGINEERING

Công đoạn ALU: Các lệnh *Branch*

- Lệnh rẽ nhánh thì khó hơn vì phải tính toán hai phép toán:

- Ví dụ: "**beq $9, $0, 3**"
  1. **Kết quả rẽ nhánh:**
     - ✓ Sử dụng ALU để so sánh thanh ghi
     - ✓ Tín hiệu 1-bit "**isZero?**“ để kiểm tra tính chất bằng/không bằng
  2. **Địa chỉ đích của nhánh:**
     - ✓ Sử dụng một bộ cộng để tính địa chỉ
     - ✓ Cần nội dung của thanh ghi PC (từ Fetch Stage)
     - ✓ Cần Offset (từ Decode Stage)

Datapath với công đoạn ALU hoàn chỉnh

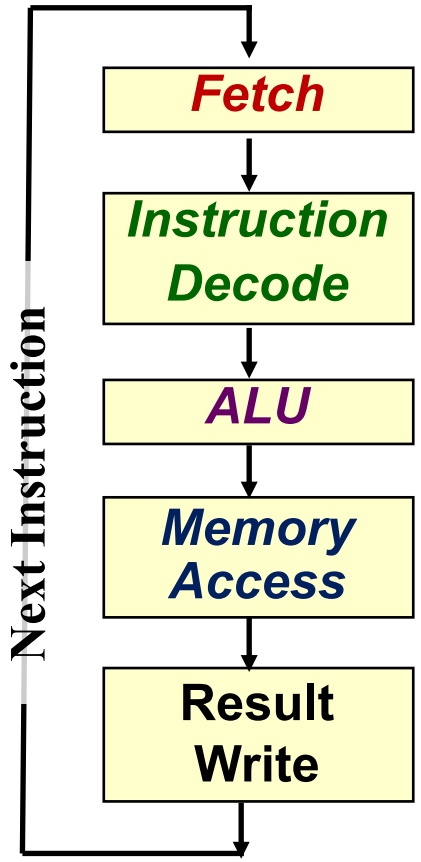


PCSrc:
Tín hiệu điều khiển để lựa chọn giữa (PC+4) hoặc địa chỉ đích mà lệnh nhánh/nhảy sẽ nhảy tới

Ví dụ: "**beq $9, $0, 3**"

COMPUTER ENGINEERING

Quy trình thực thi lệnh của MIPS (5 công đoạn)



- **Instruction Fetch (Nạp lệnh)**
- **Instruction Decode & Operand Fetch**

(Giải mã và lấy các toán hạng cần thiết, Gọi tắt là "Instruction Decode")

- **ALU (Giai đoạn sử dụng ALU hay giai đoạn thực thi)**
- **Memory Access (Giai đoạn truy xuất vùng nhớ)**
- **Result Write (Giai đoạn ghi lại kết quả/lưu trữ)**

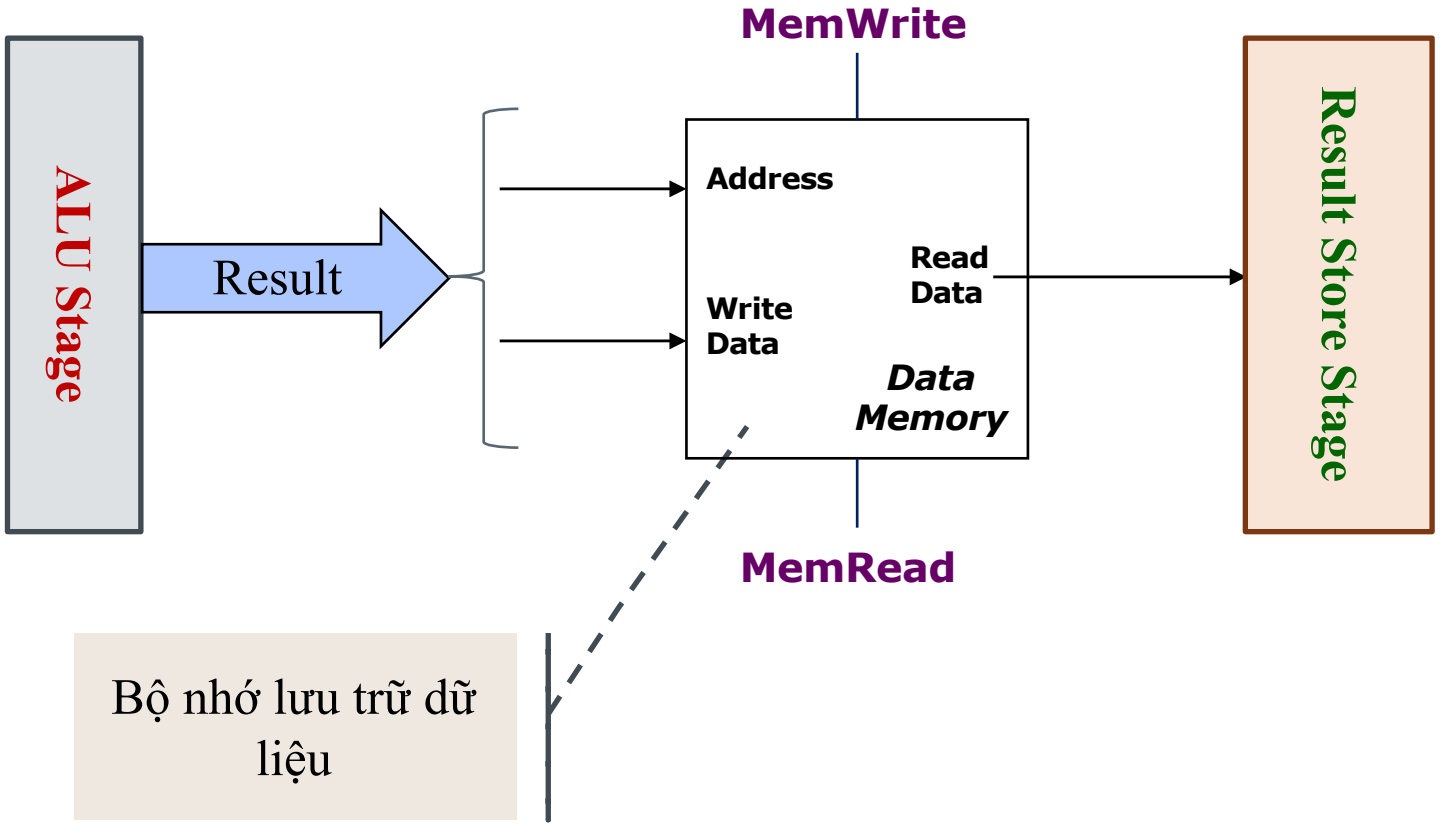
COMPUTER ENGINEERING

Giai đoạn truy xuất vùng nhớ (Memory stage)

- Giai đoạn truy xuất vùng nhớ:
  - ✓ Chỉ có lệnh *Load* và *Store* cần thực hiện các thao tác trong giai đoạn này:
    - Sử dụng địa chỉ vùng nhớ được tính toán ở giai đoạn ALU
    - Đọc dữ liệu ra hoặc ghi dữ liệu vào vùng nhớ dữ liệu
  - ✓ Tất cả các lệnh khác sẽ rảnh trong giai đoạn này
- Đầu vào từ giai đoạn trước (**ALU**):
  - ✓ Kết quả tính toán được dùng làm địa chỉ vùng nhớ (nếu có thể ứng dụng)
- Đầu ra cho giai đoạn tiếp theo (**Result Write**):
  - ✓ Kết quả được lưu trữ lại (nếu cần)

COMPUTER ENGINEERING

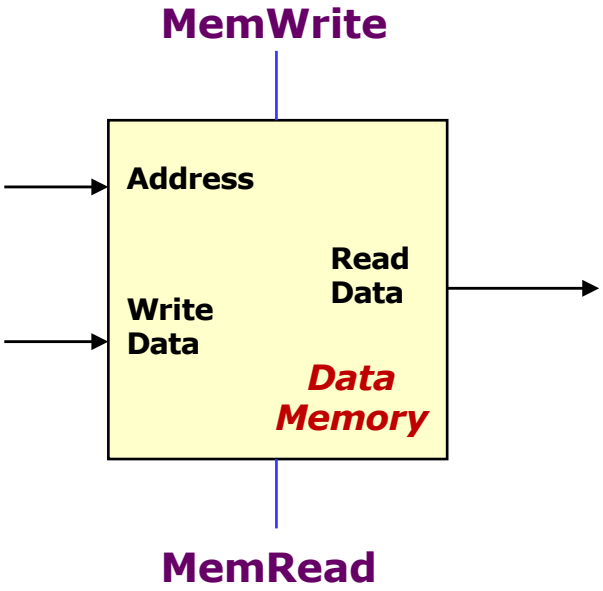
Giai đoạn truy xuất vùng nhớ (Memory stage)



COMPUTER ENGINEERING

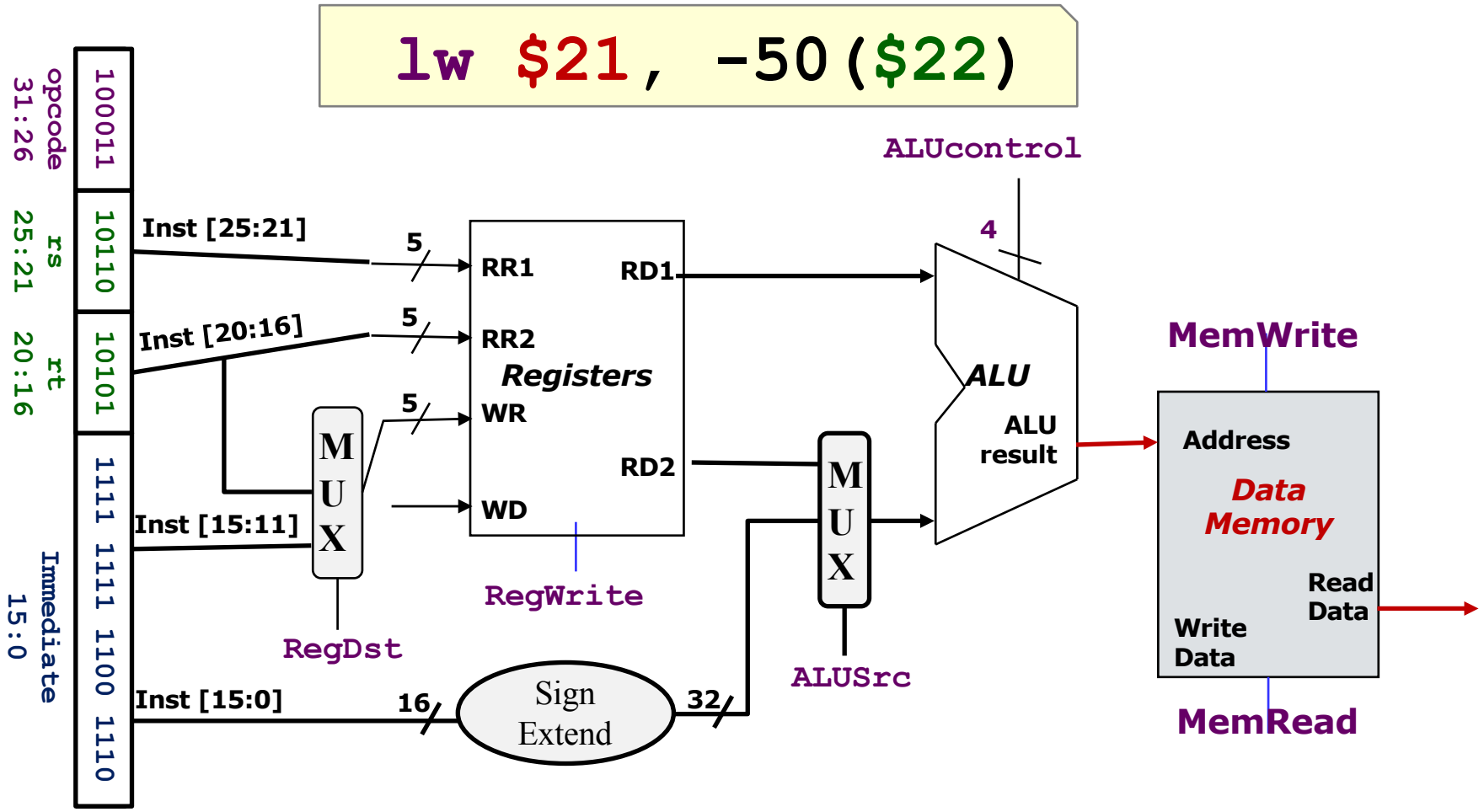
Khối *Data Memory*

- Vùng nhớ này lưu trữ dữ liệu cần thiết của chương trình
- **Inputs:**
  - ✓ Address: Địa chỉ vùng nhớ
  - ✓ Write Data: Dữ liệu sẽ được ghi vào vùng nhớ đối với lệnh Store
- **Tín hiệu điều khiển:**
  - ✓ Tín hiệu đọc (MemRead) và ghi (MemWrite); chỉ một tín hiệu được bật lên tại bất kì một thời điểm nào
- **Output:**
  - ✓ Dữ liệu được đọc từ vùng nhớ đối với lệnh Load



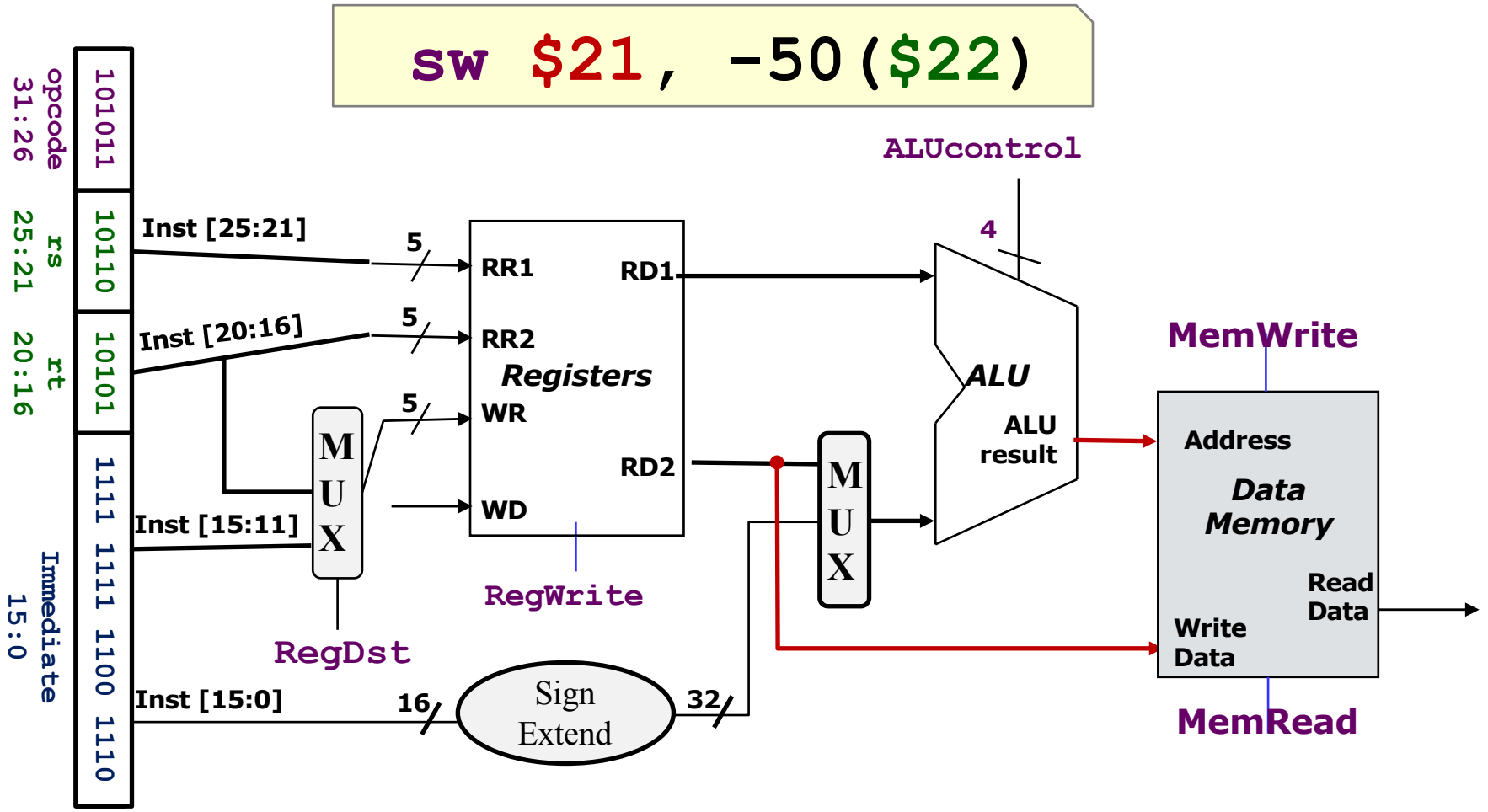
Giai đoạn Memory: lệnh *Load*

- Chỉ những phần liên quan đến Decode & ALU Stage được trình bày



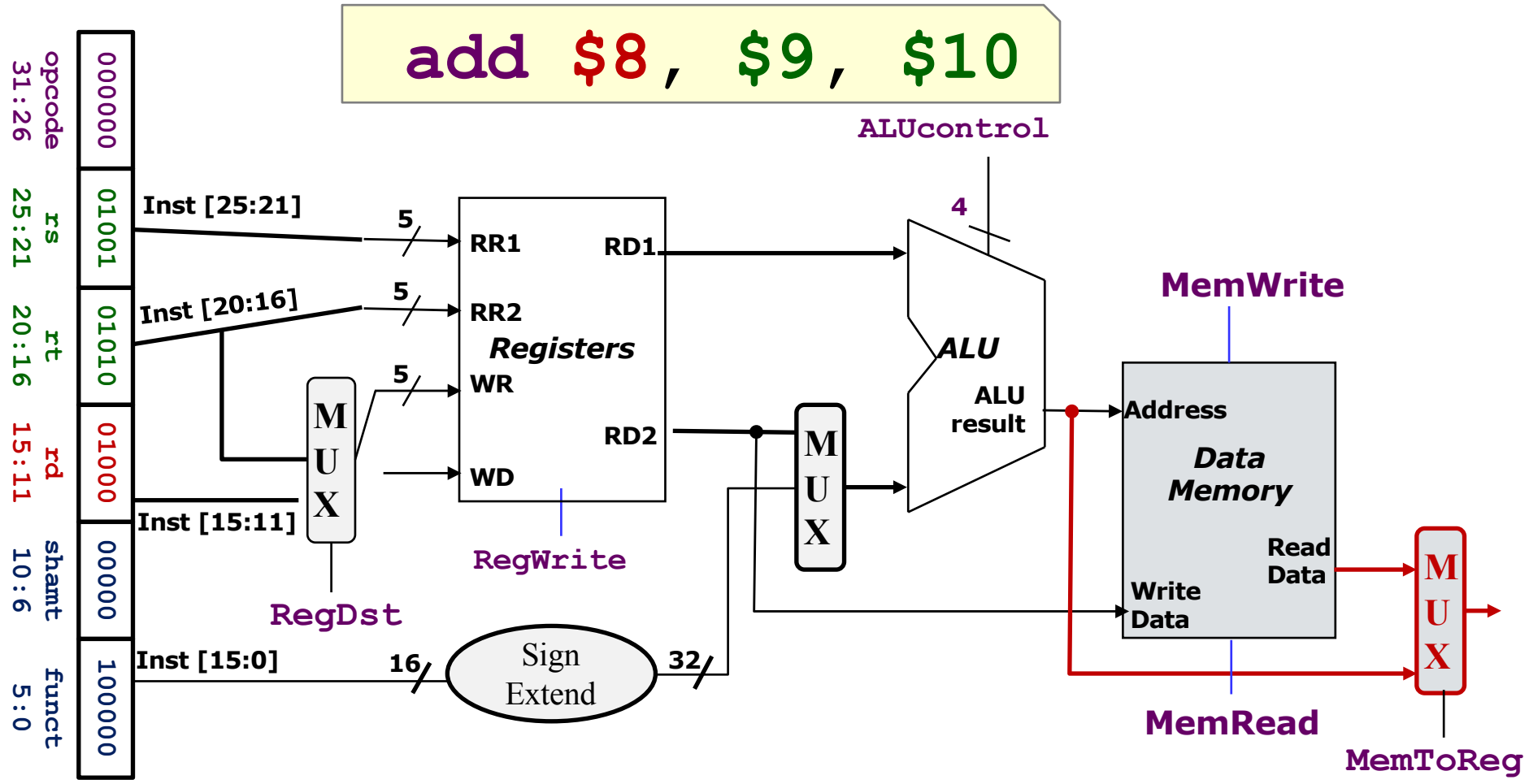
Giai đoạn Memory: lệnh *Store*

- Cần ***Read Data 2*** (Decode) để đưa vào ***Write Data***



Giai đoạn Memory: lệnh không truy xuất vùng nhớ

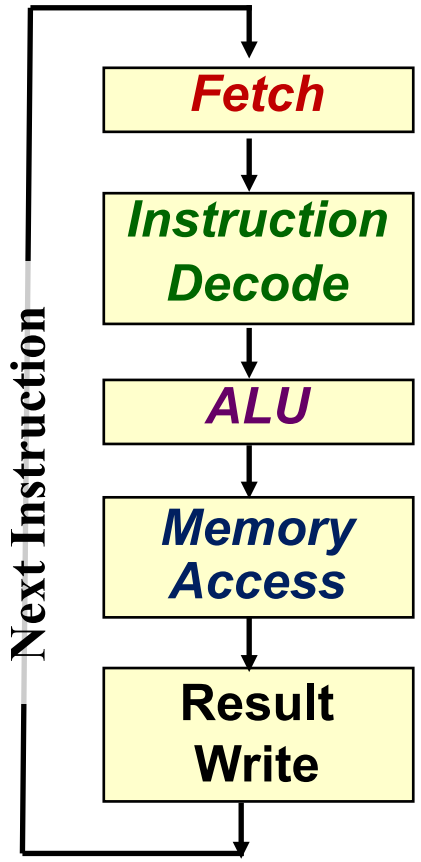
- Sử dụng thêm một multiplexer để lựa chọn kết quả lưu trữ vào thanh ghi



MemToReg:
Tín hiệu điều khiển giúp lựa chọn giá trị lưu vào thanh ghi là từ Read Data hay từ ALU result

COMPUTER ENGINEERING

Quy trình thực thi lệnh của MIPS (5 công đoạn)



- **Instruction Fetch (Nạp lệnh)**
- **Instruction Decode & Operand Fetch**

(Giải mã và lấy các toán hạng cần thiết, Gọi tắt là "Instruction Decode")

- **ALU (Giai đoạn sử dụng ALU hay giai đoạn thực thi)**
- **Memory Access (Giai đoạn truy xuất vùng nhớ)**
- **Result Write (Giai đoạn ghi lại kết quả/lưu trữ)**

COMPUTER ENGINEERING

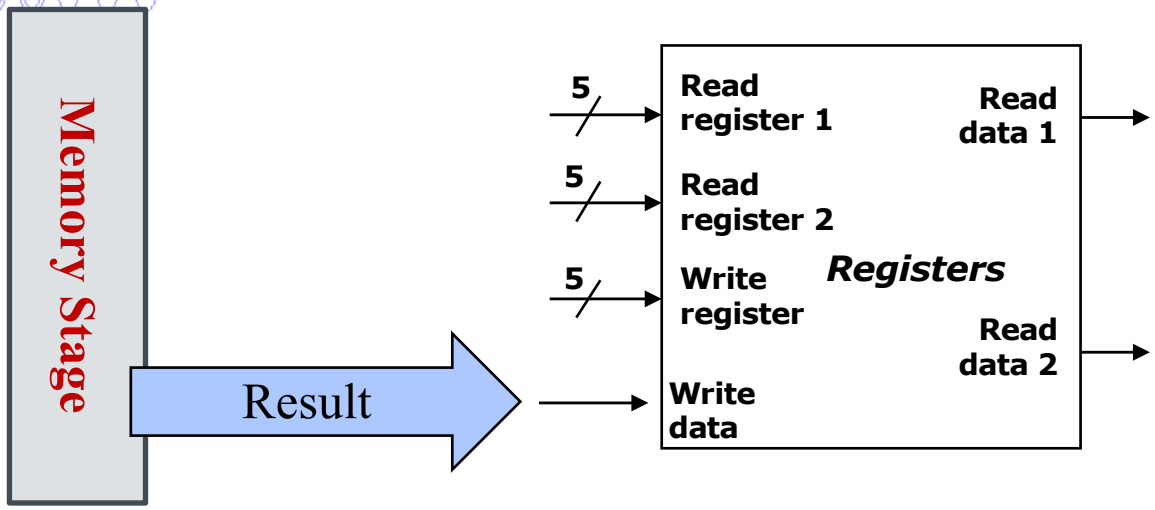
Giai đoạn lưu trữ kết quả (Result Write)

- **Công đoạn Result Write:**
  - ✓ Những lệnh ghi kết quả của các phép toán vào thanh ghi:
    - Ví dụ: số học, logic, shifts, load, set-less-than
    - Cần chỉ số thanh ghi đích và kết quả tính toán
  - ✓ Những lệnh không ghi kết quả như: store, branch, jump:
    - Không có ghi kết quả
    - ➔Những lệnh này sẽ rảnh trong giai đoạn này

- Đầu vào từ giai đoạn trước (**Memory**):
  - ✓ Kết quả tính toán hoặc là từ Memory hoặc là từ ALU

COMPUTER ENGINEERING

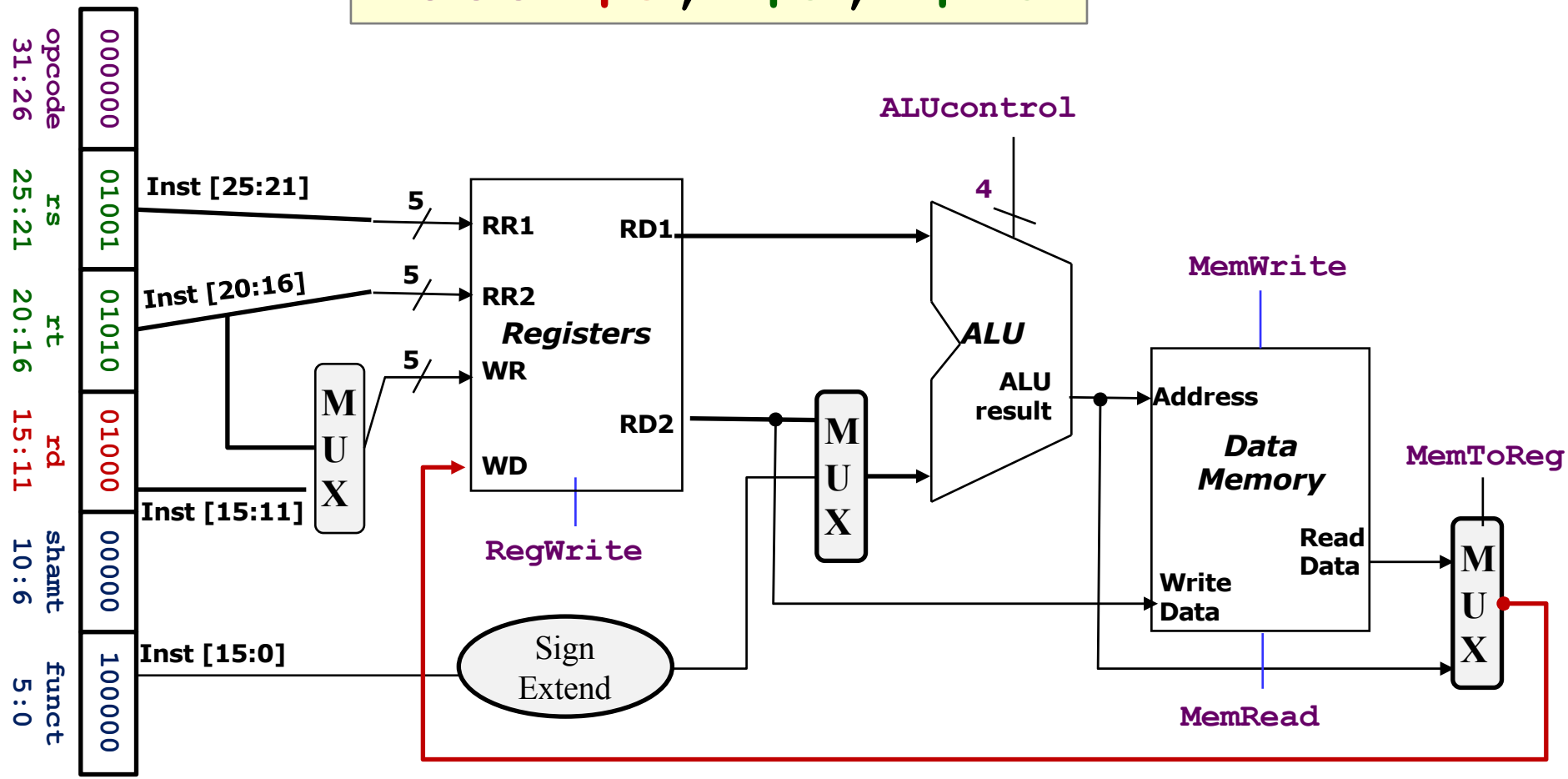
Giai đoạn lưu trữ kết quả (Result Write)



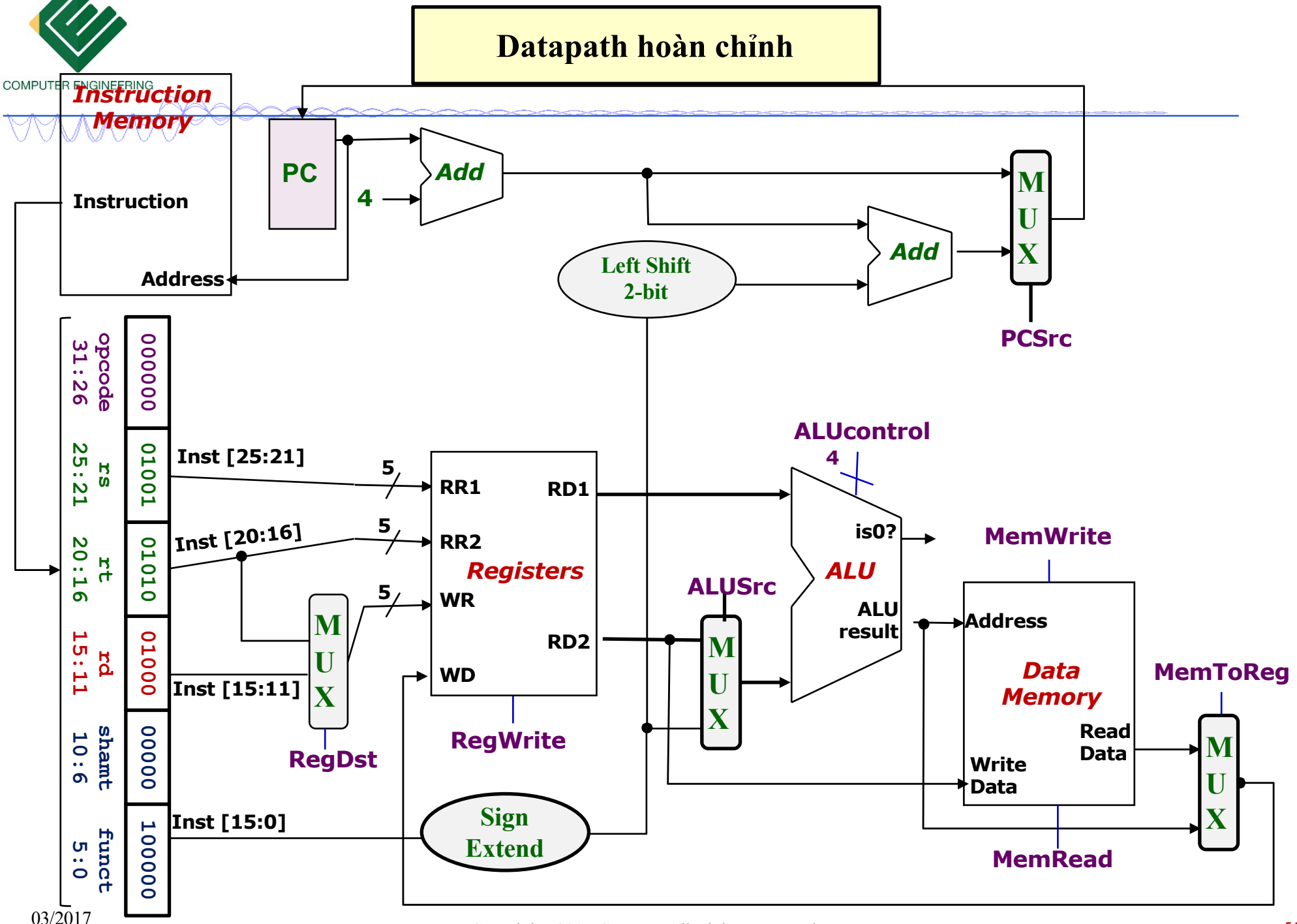
- Công đoạn Result Write không có thêm bất kỳ thành phần nào khác:
  - ✓ Chỉ đơn giản đưa kết quả vào thanh ghi (ngõ Write data của khối Registers/Register file)
  - ✓ Chỉ số của thanh ghi được ghi vào (ngõ vào ***Write Register)*** được sinh ra trong giai đoạn **Decode Stage**

Giai đoạn lưu trữ kết quả (Result Write)

```
add $8, $9, $10
```



(Chưa có khối Control để điều khiển các tín hiệu điều khiển)



Tổng kết:

Phần này trình bày một cách thiết kế datapath đơn giản cho bộ xử lý 32 bits, với 8 lệnh cơ bản của MIPS:

- add, sub, and, or, slt
- lw, sw
- beq

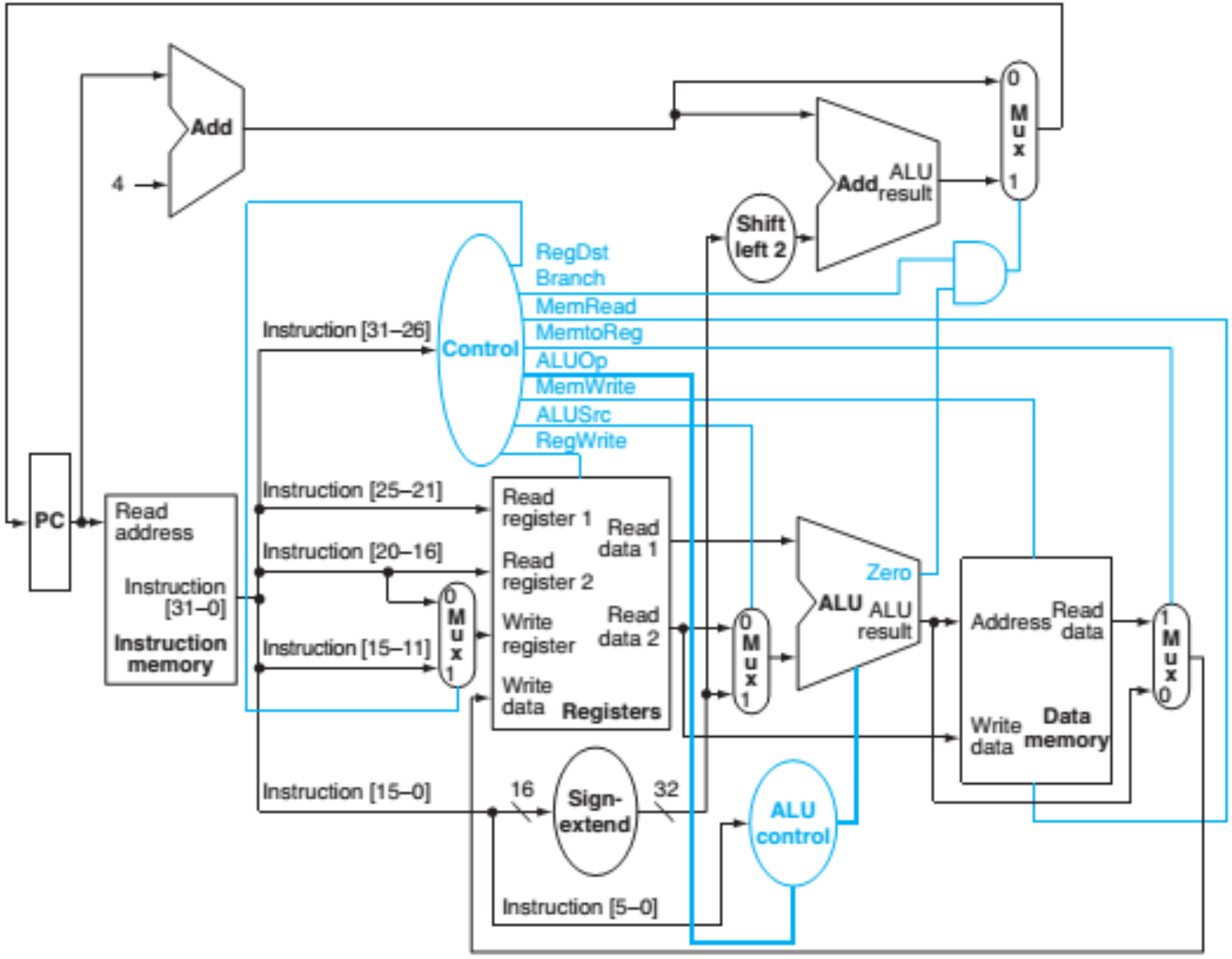
Với khối chức năng cơ bản trong một bộ xử lý (tập thanh ghi, khối ALU, khối Control, thanh ghi PC, thanh ghi IR) và bộ nhớ chính, các khối này sẽ được kết nối với nhau để đảm bảo thực thi đúng 8 lệnh như trên.

1. Giới thiệu
2. Nhắc lại các quy ước thiết kế logic
3. Xây dựng đường dữ liệu (datapath) đơn giản
4. **Hiện thực datapath đơn chu kỳ**

COMPUTER ENGINEERING

Hiện thực datapath

1. Inputs của khối "Registers", "Control" và "Sign-extend"

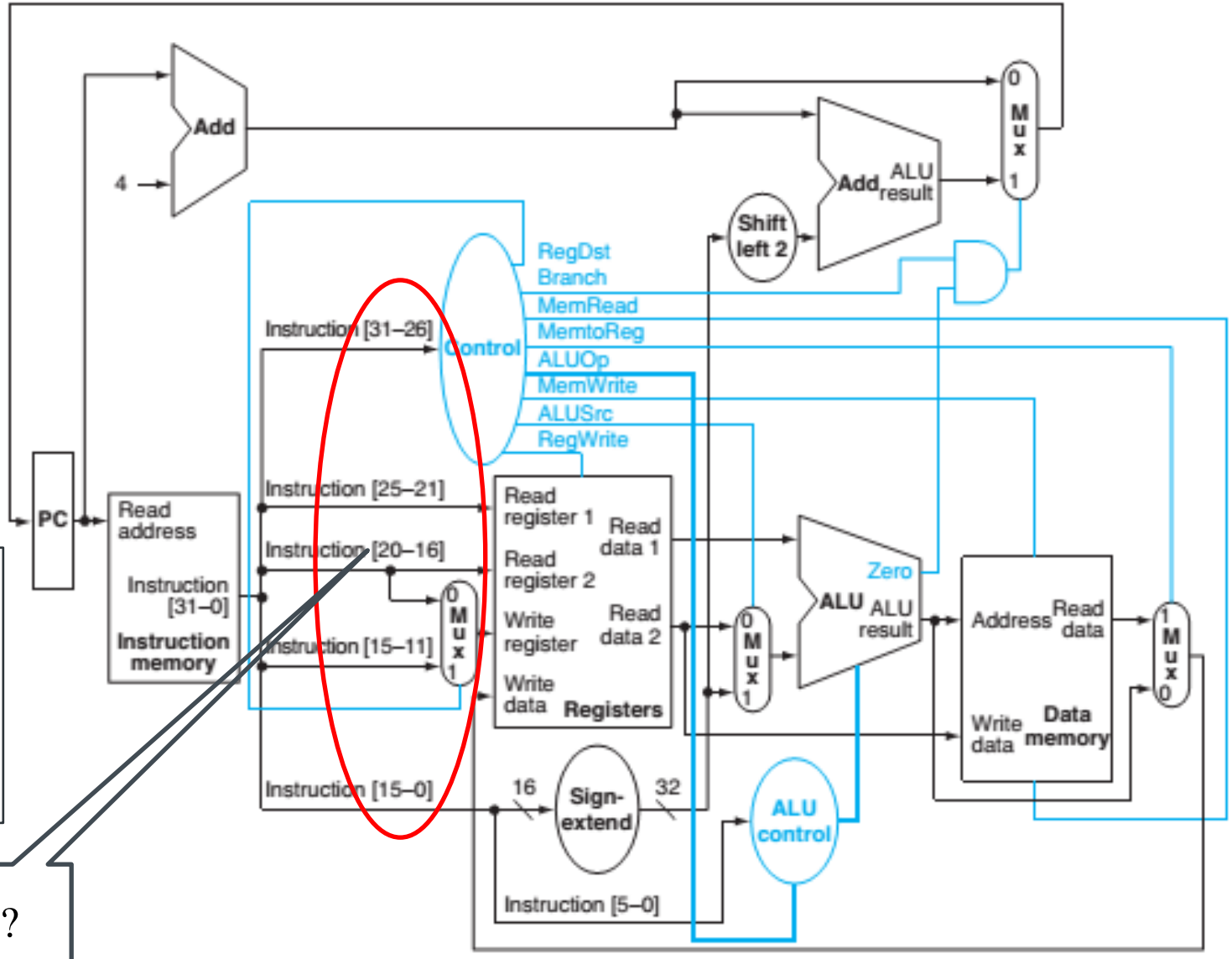


Datapath với đầy đủ dữ liệu input cho từng khối

COMPUTER ENGINEERING

Hiện thực datapath

1. Inputs của khối "Registers", "Control" và "Sign-extend"



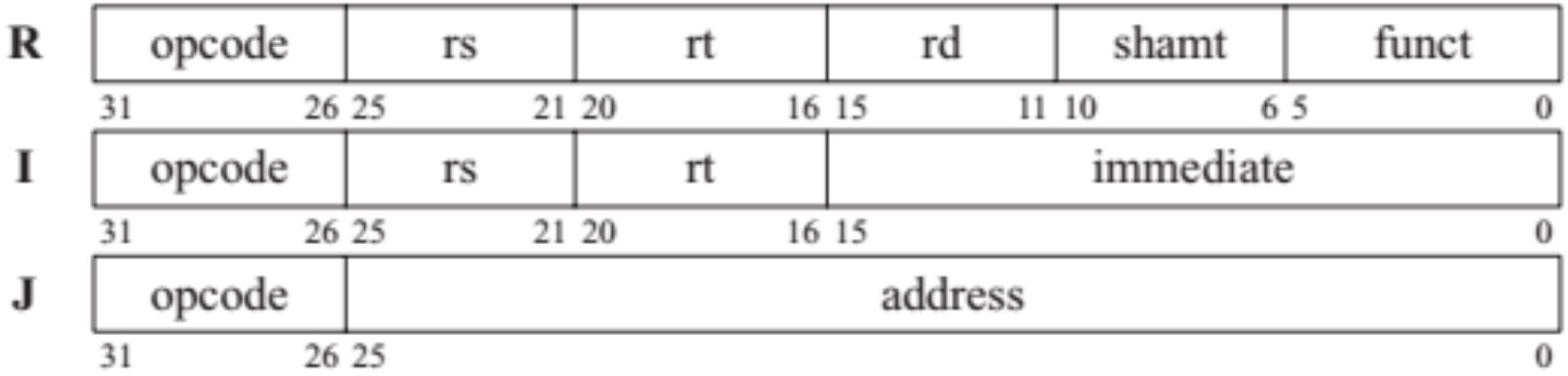
MUX có thêm 0 và 1 ở các ngõ vào ???

???

Datapath với đầy đủ dữ liệu input cho từng khối

COMPUTER ENGINEERING

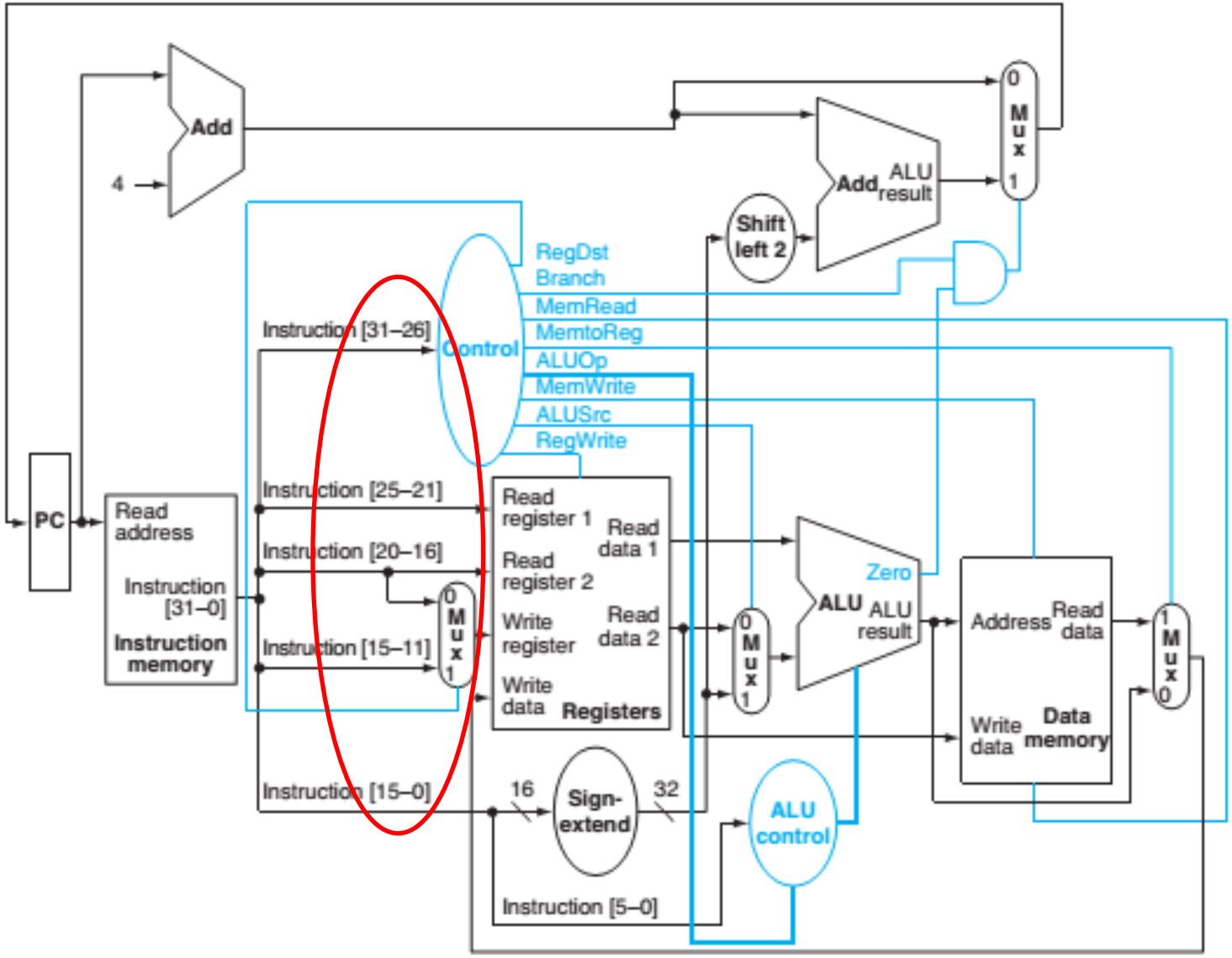
Hiện thực datapath



- Trường op (hay opcode) luôn chứa bits từ 31:26.
- Hai thanh ghi dùng để đọc trong tất cả các lệnh luôn luôn là rs và rt, tại vị trí bits từ 25:21 và 20:26.
- Thanh ghi nền cho lệnh load và store luôn là *rs* và tại vị trí bits 25:21.
- 16 bits offset cho *beq, lw* và *sw* thì luôn tại vị trí 15:0.
- Các thanh ghi đích dùng để ghi kết quả vào ở hai vị trí: Với *lw*, thanh ghi đích tại vị trí bits từ **20:16 (*rt*),** trong khi với nhóm lệnh logic và số học, thanh ghi đích ở vị trí **15:11 (*rd*).** Vì vậy, một multiplexer cần sử dụng ở đây để lựa chọn thanh ghi nào sẽ được ghi.

COMPUTER ENGINEERING

Hiện thực datapath

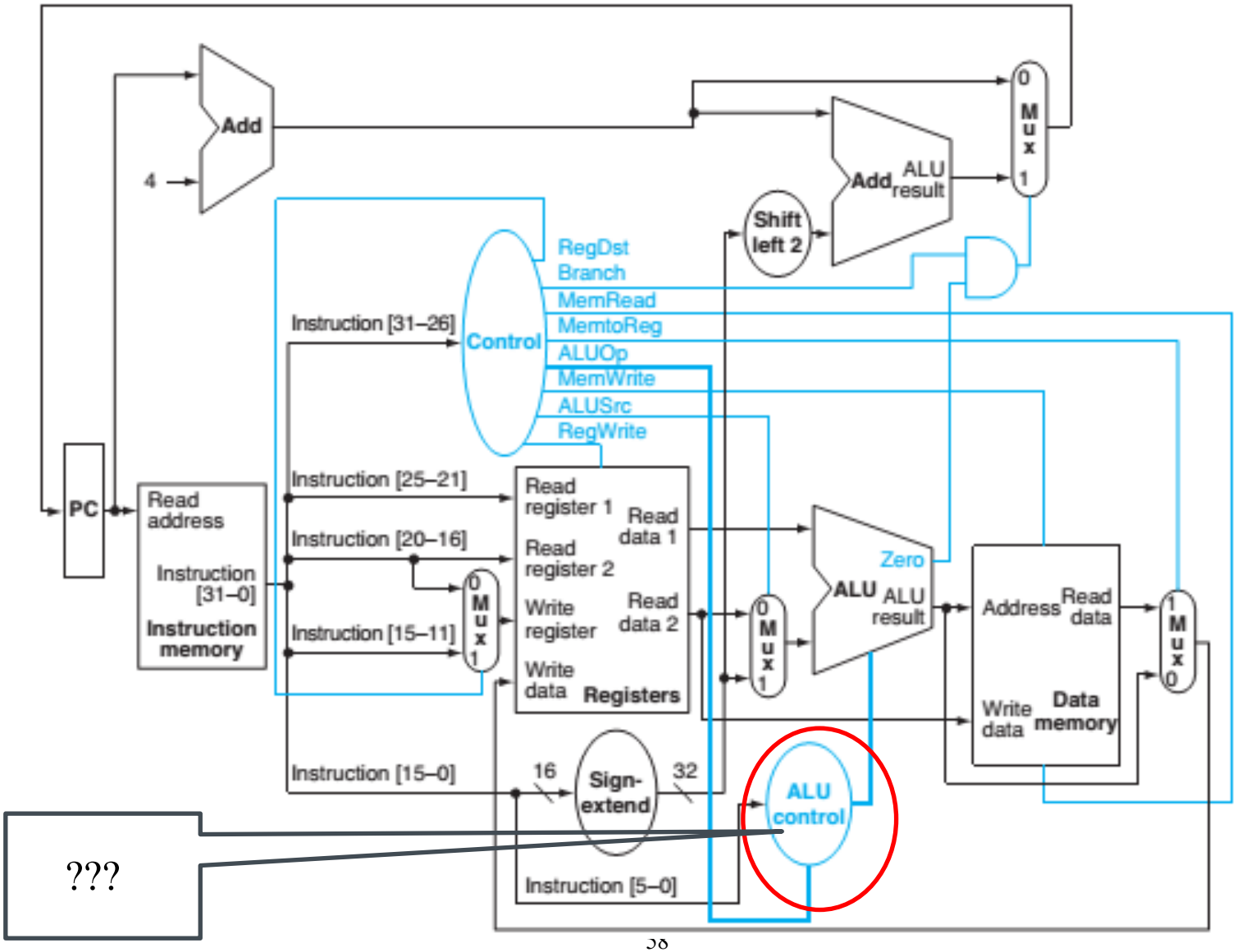


Datapath với đầy đủ dữ liệu input cho từng khối

COMPUTER ENGINEERING

Hiện thực datapath

2. Khối "ALU Control"



Hiện thực datapath

Bộ ALU của MIPS gồm 6 chức năng tính toán dựa trên 4 bits điều khiển đầu vào:

ALU control lines	Function
0000	AND
0001	OR
0010	add
0110	subtract
0111	set on less than
1100	NOR

Tùy thuộc vào từng nhóm lệnh mà ALU sẽ thực hiện 1 trong 5 chức năng đầu (NOR sẽ được dùng cho các phần khác)

- Với các lệnh **load word** và **store word**, ALU sử dụng chức năng **'add'** để tính toán địa chỉ của bộ nhớ
- Với các lệnh thuộc **nhóm logic và số học**, ALU thực hiện 1 trong 5 chức năng (***AND, OR, subtract, add,*** *và* ***set on less than***), tùy thuộc vào giá trị của trường funct (6 bits) trong mã máy lệnh.
- Với lệnh **nhảy nếu bằng**, ALU thực hiện chức năng **'subtract'** để xem điều khiện bằng có đúng không.

Hiện thực datapath

Như vậy, để sinh ra 4 bits điều khiển ALU, một trong số các cách hiện thực có thể là sử dụng thêm một khối điều khiển "ALU Control"

"ALU Control" nhận input là 6 bits từ trường *funct* của mã máy, đồng thời dựa vào 2 bits "ALUOp" được sinh ra từ khối "Control" để sinh ra output là 4 bits điều khiển ALU, theo quy tắc như bảng sau:

Instruction opcode	ALUOp	Instruction operation	Funct field	Desired ALU action	ALU control input
LW	00	load word	XXXXXX	add	0010
SW	00	store word	XXXXXX	add	0010
Branch equal	01	branch equal	XXXXXX	subtract	0110
R-type	10	add	100000	add	0010
R-type	10	subtract	100010	subtract	0110
R-type	10	AND	100100	AND	0000
R-type	10	OR	100101	OR	0001
R-type	10	set on less than	101010	set on less than	0111

Một gợi ý để sinh ra 4 bits điều khiển ALU dựa vào trường "opcode" và trường "funct" của mã máy.

Hiện thực datapath

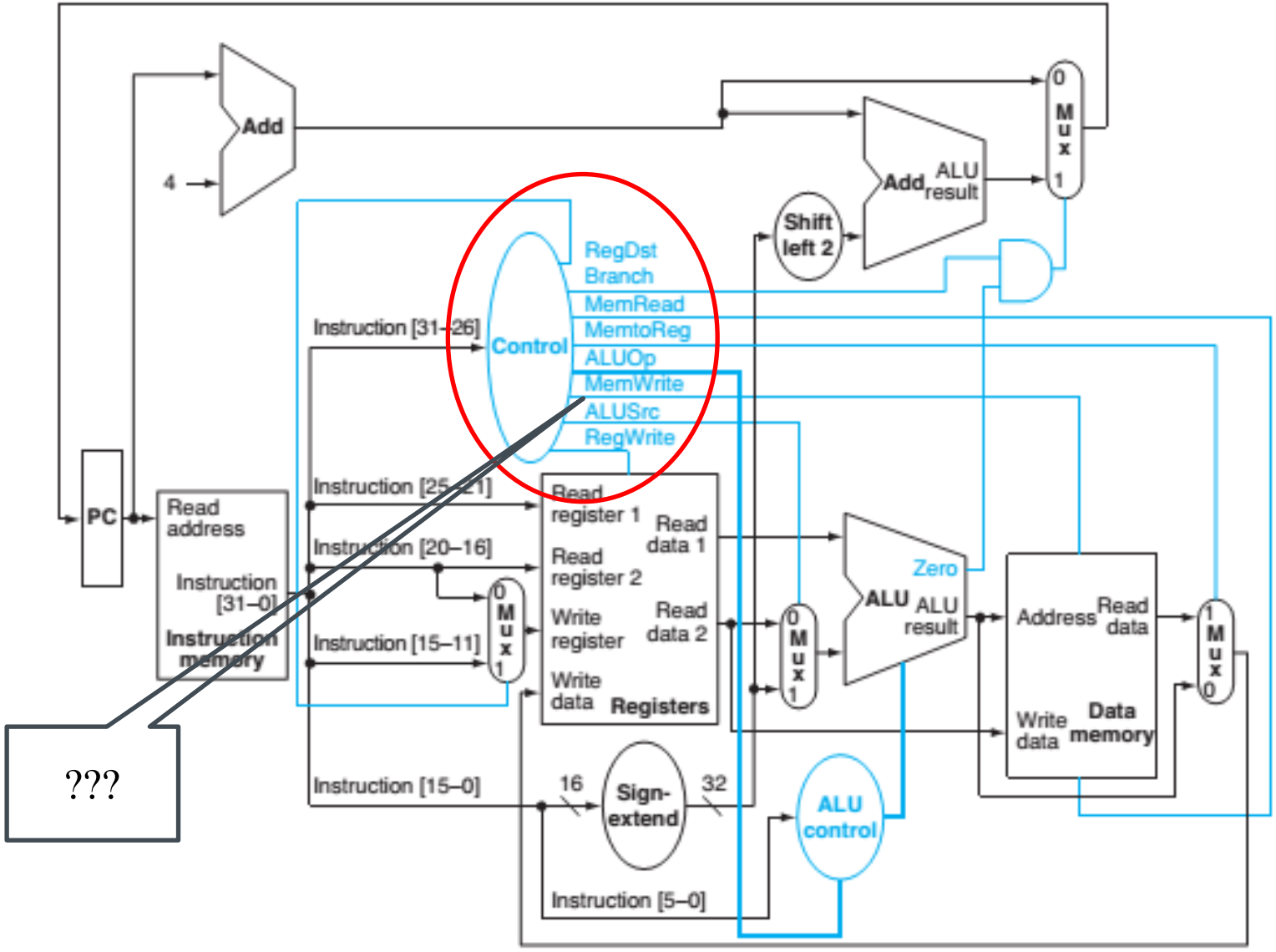
Bảng sự thật: Từ quy tắc hoạt động, bảng sự thật gợi ý cho khối "ALU Control" như sau

ALUOp		Funct field						Operation
ALUOp1	ALUOp0	F5	F4	F3	F2	F1	F0	
0	0	X	X	X	X	X	X	0010
0	1	X	X	X	X	X	X	0110
1	0	X	X	0	0	0	0	0010
1	X	X	X	0	0	1	0	0110
1	0	X	X	0	1	0	0	0000
1	0	X	X	0	1	0	1	0001
1	X	X	X	1	0	1	0	0111

COMPUTER ENGINEERING

Hiện thực datapath

3. Khối điều khiển chính "Control"



COMPUTER ENGINEERING

Hiện thực datapath

Các tín hiệu điều khiển	Tác động khi ở mức thấp	Tác động khi ở mức cao
RegDst	Thanh ghi đích cho thao tác ghi sẽ từ thanh ghi *rt* (bits từ 20:16)	Thanh ghi đích cho thao tác ghi sẽ từ thanh ghi *rd* (bits từ 15:11)
RegWrite	Khối "Registers" chỉ thực hiện mỗi chức năng đọc thanh ghi	Ngoài chức năng đọc, khối "Register" sẽ thực hiện thêm chức năng ghi. Thanh ghi được ghi là thanh ghi có chỉ số được đưa vào từ ngõ "Write register" và dữ liệu dùng ghi vào thanh ghi này được lấy từ ngõ "Write data"
ALUSrc	Input thứ hai cho ALU đến từ "Read data 2" của khối "Registers"	Input thứ hai cho ALU đến từ output của khối "Sign-extend"
Branch	Cho biết lệnh nạp vào không phải "beq". Thanh ghi PC nhận giá trị là PC + 4	Lệnh nạp vào là lệnh "beq", kết hợp với điều kiện bằng thông qua cổng AND nhằm xác định xem lệnh tiếp theo có nhảy đến địa chỉ mới hay không. Nếu điệu kiện bằng đúng, PC nhận giá trị mới từ kết quả của bộ cộng "Add"
MemRead	(Không)	Khối "Data register" thực hiện chức năng đọc dữ liệu. Địa chỉ dữ liệu cần đọc được đưa vào từ ngõ "Address" và nội dung đọc được xuất ra ngõ "Read data"
MemWrite	(Không)	Khối "Data register" thực hiện chức năng ghi dữ liệu. Địa chỉ dữ liệu cần ghi được đưa vào từ ngõ "Address" và nội dung ghi vào lấy từ ngõ "Write data"
MemtoReg	Giá trị đưa vào ngõ "Write data" đến từ ALU	Giá trị đưa vào ngõ "Write data" đến từ khối "Data memory"

Tác động của các tín hiệu điều khiển

Hiện thực datapath

Giá trị các tín hiệu điều khiển tương ứng với mỗi lệnh như sau:

Instruction	RegDst	ALUSrc	Memto-Reg	Reg-Write	Mem-Read	Mem-Write	Branch	ALUOp1	ALUOp0
R-format	1	0	0	1	0	0	0	1	0
lw	0	1	1	1	1	0	0	0	0
sw	X	1	X	0	0	1	0	0	0
beq	X	0	X	0	0	0	1	0	1

Khối "Control" trong datapath nhận input là 6 bits từ trường "opcode" của mã máy, dựa vào đó các tín hiệu điều khiển được sinh ra tương ứng như bảng.

Hiện thực datapath

Bảng sự thật khối "Control":

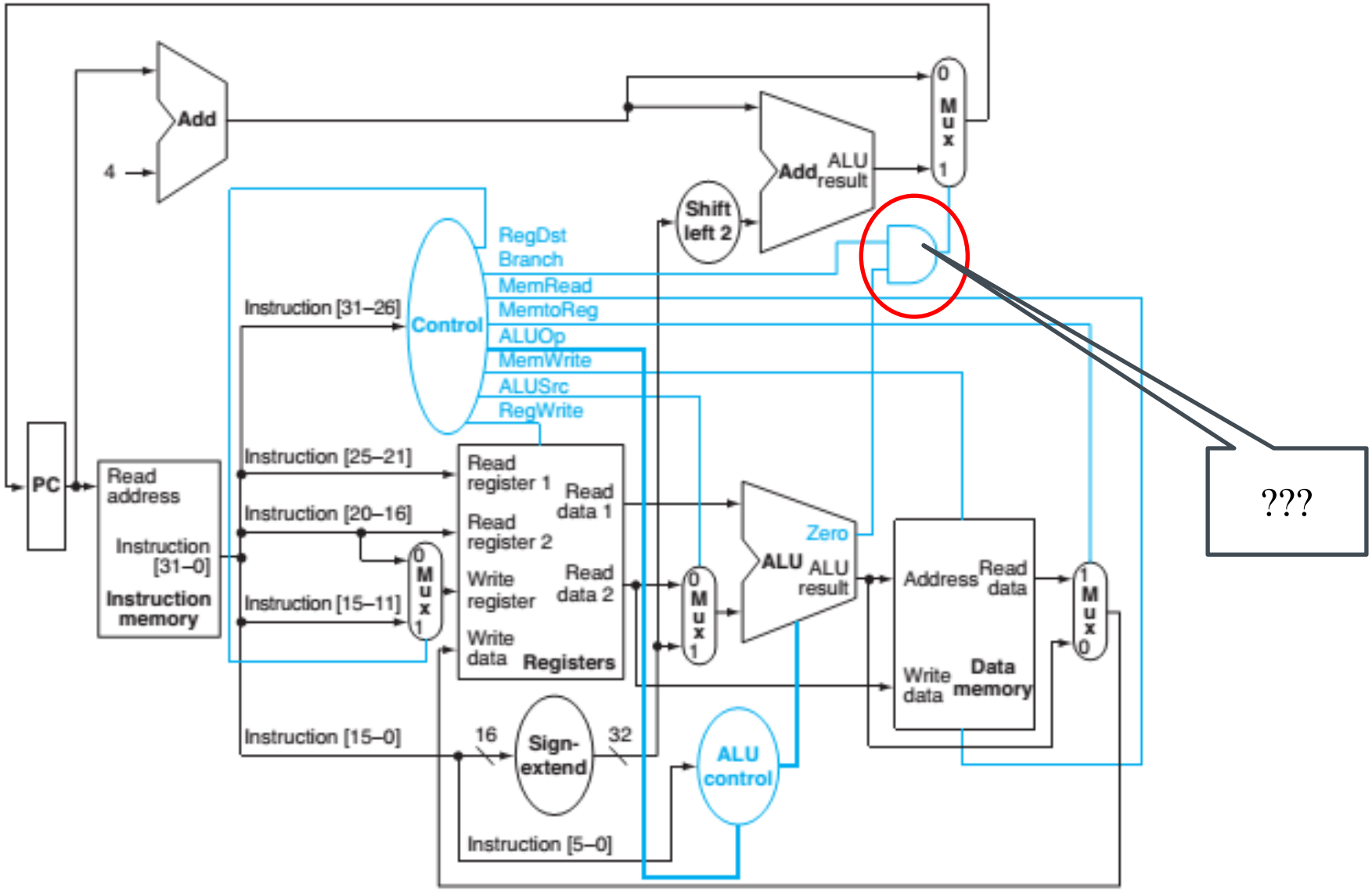
Input or output	Signal name	R-format	lw	sw	beq
Inputs	Op5	0	1	1	0
	Op4	0	0	0	0
	Op3	0	0	1	0
	Op2	0	0	0	1
	Op1	0	1	1	0
	Op0	0	1	1	0
Outputs	RegDst	1	0	X	X
	ALUSrc	0	1	1	0
	MemtoReg	0	1	X	X
	RegWrite	1	1	0	0
	MemRead	0	1	0	0
	MemWrite	0	0	1	0
	Branch	0	0	0	1
	ALUOp1	1	0	0	0
	ALUOp0	0	0	0	1

Bảng sự thật khối "Control"

COMPUTER ENGINEERING

Hiện thực datapath

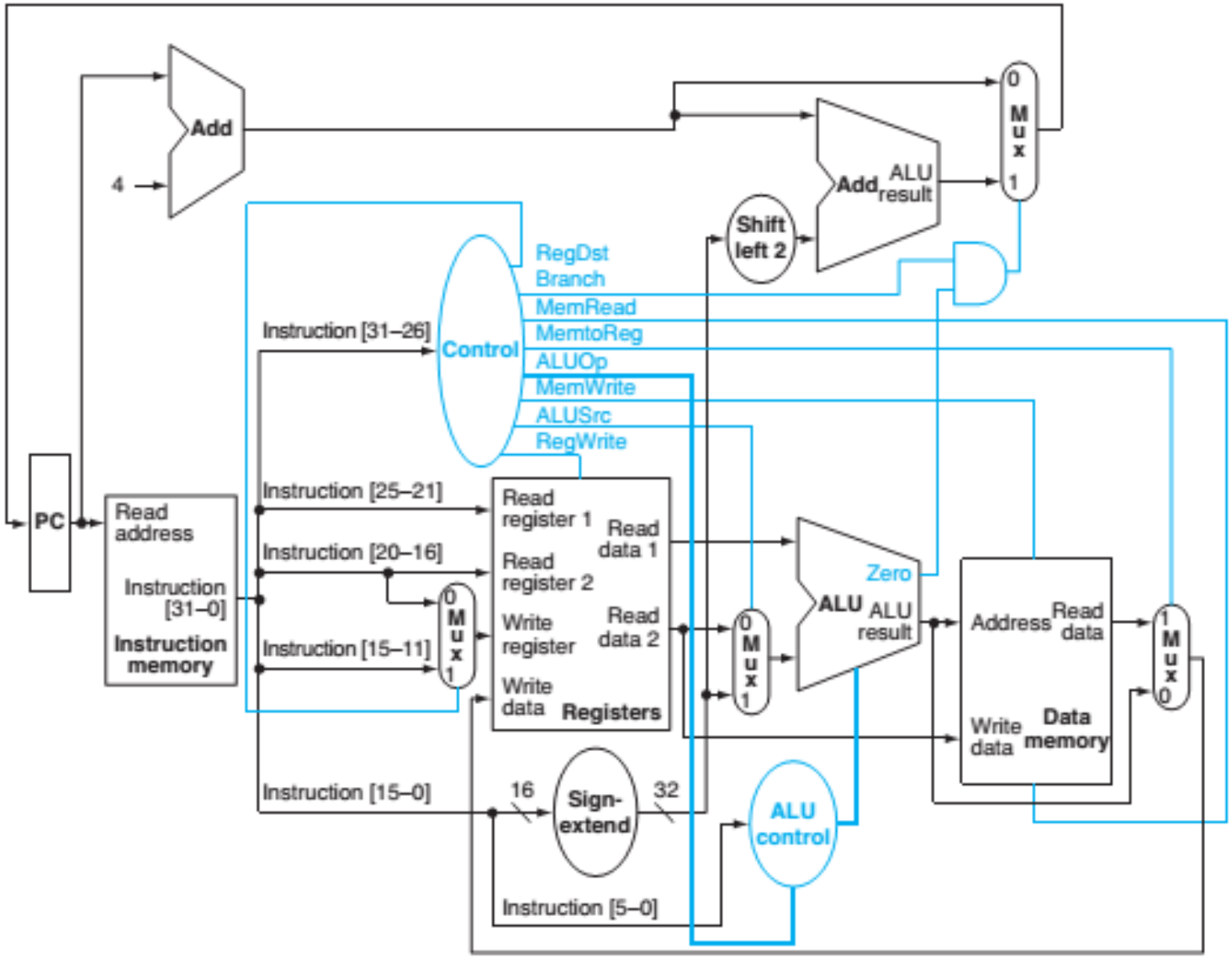
3. Khối điều khiển chính "Control"



COMPUTER ENGINEERING

Hiện thực datapath

3. Khối điều khiển chính "Control"



Hiện thực datapath

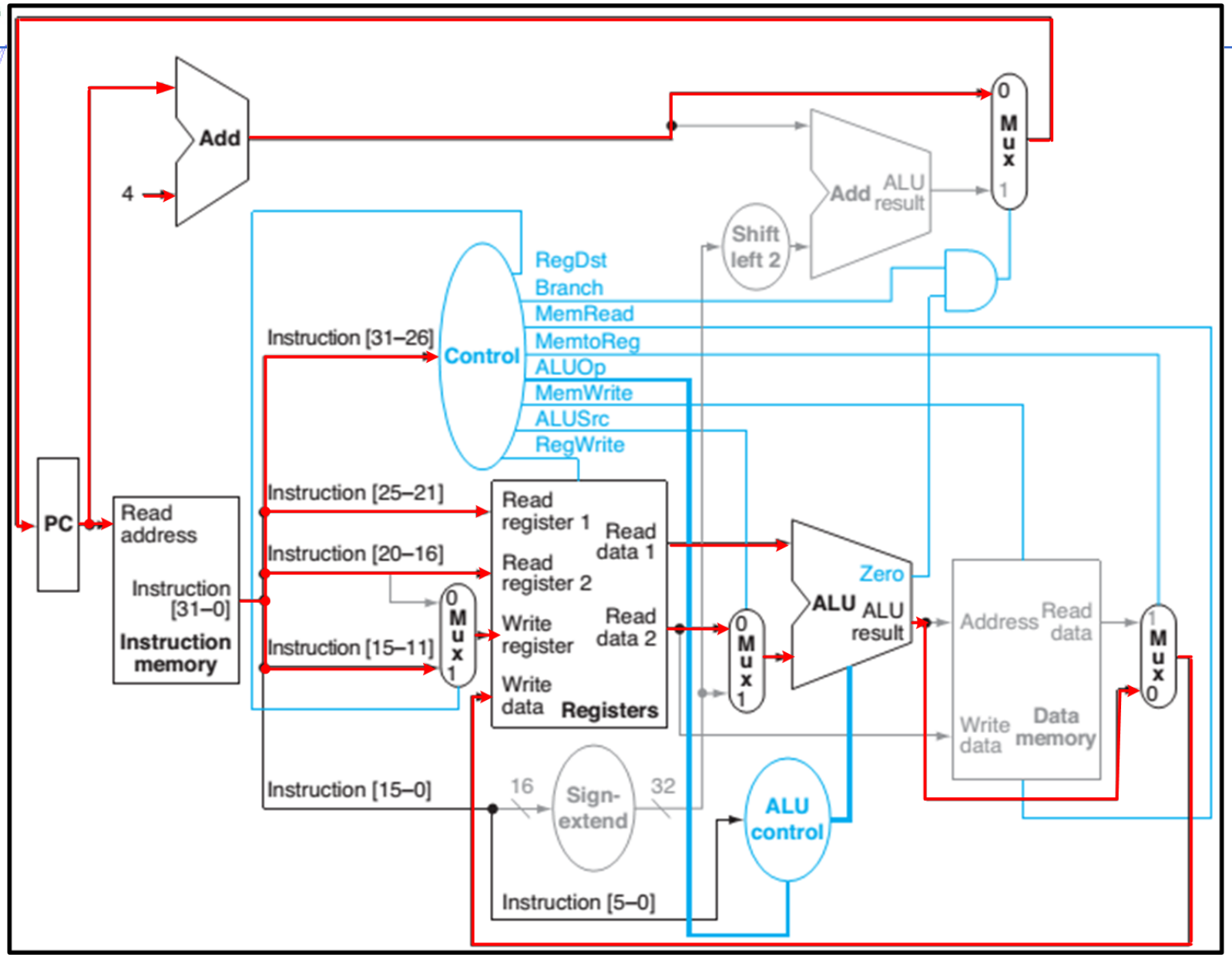
- **Hiện thực bộ xử lý đơn chu kỳ** (Single-cycle implementation hay single clock cycle implementation): là cách hiện thực sao cho bộ xử lý đáp ứng thực thi mỗi câu lệnh chỉ trong 1 chu kỳ xung clock ➔ đòi hỏi chu kỳ xung clock phải bằng thời gian của lệnh dài nhất.

- Cách hiện thực bộ xử lý như đã trình bày trên là cách hiện thực **đơn chu kỳ**:

  Lệnh dài nhất là *lw,* gồm truy xuất vào "Instruction memory", "Registers", "ALU", "Data memory" và quay trở lại "Registers", trong khi các lệnh khác không đòi hỏi tất cả các công đoạn trên → chu kỳ xung clock thiết kế phải bằng thời gian thực thi lệnh *lw.*

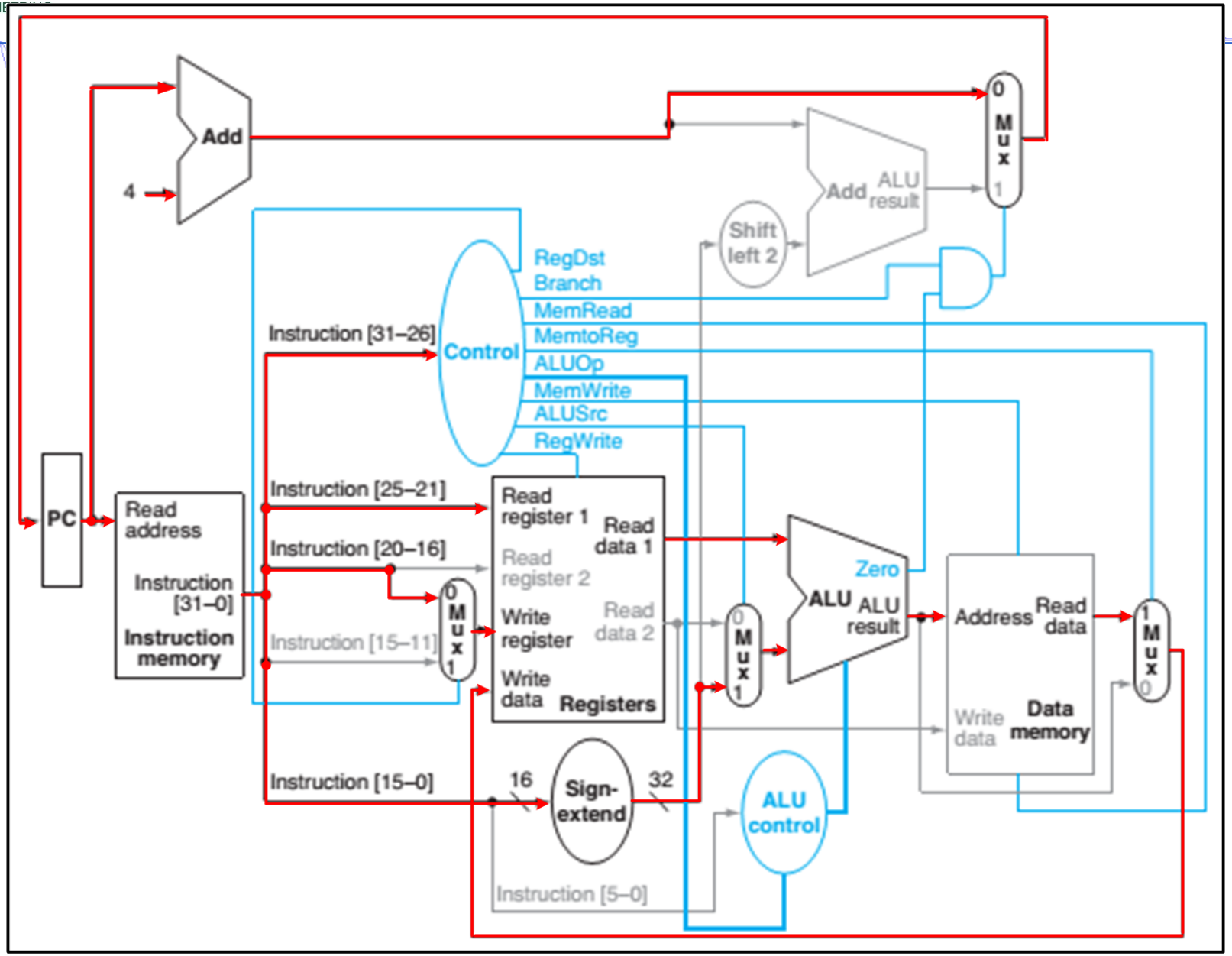
- Mặc dù hiện thực bộ xử lý đơn chu kỳ có CPI = 1 nhưng hiệu suất rất kém, vì một chu kỳ xung clock quá dài, các lệnh ngắn đều phải thực thi cùng thời gian với lệnh dài nhất.
  Vì vậy, **Hiện thực đơn chu kỳ hiện tại không còn được sử dụng (hoặc chỉ có thể chấp nhận cho các tập lệnh nhỏ)**

Xem lại Datapath với từng nhóm lệnh



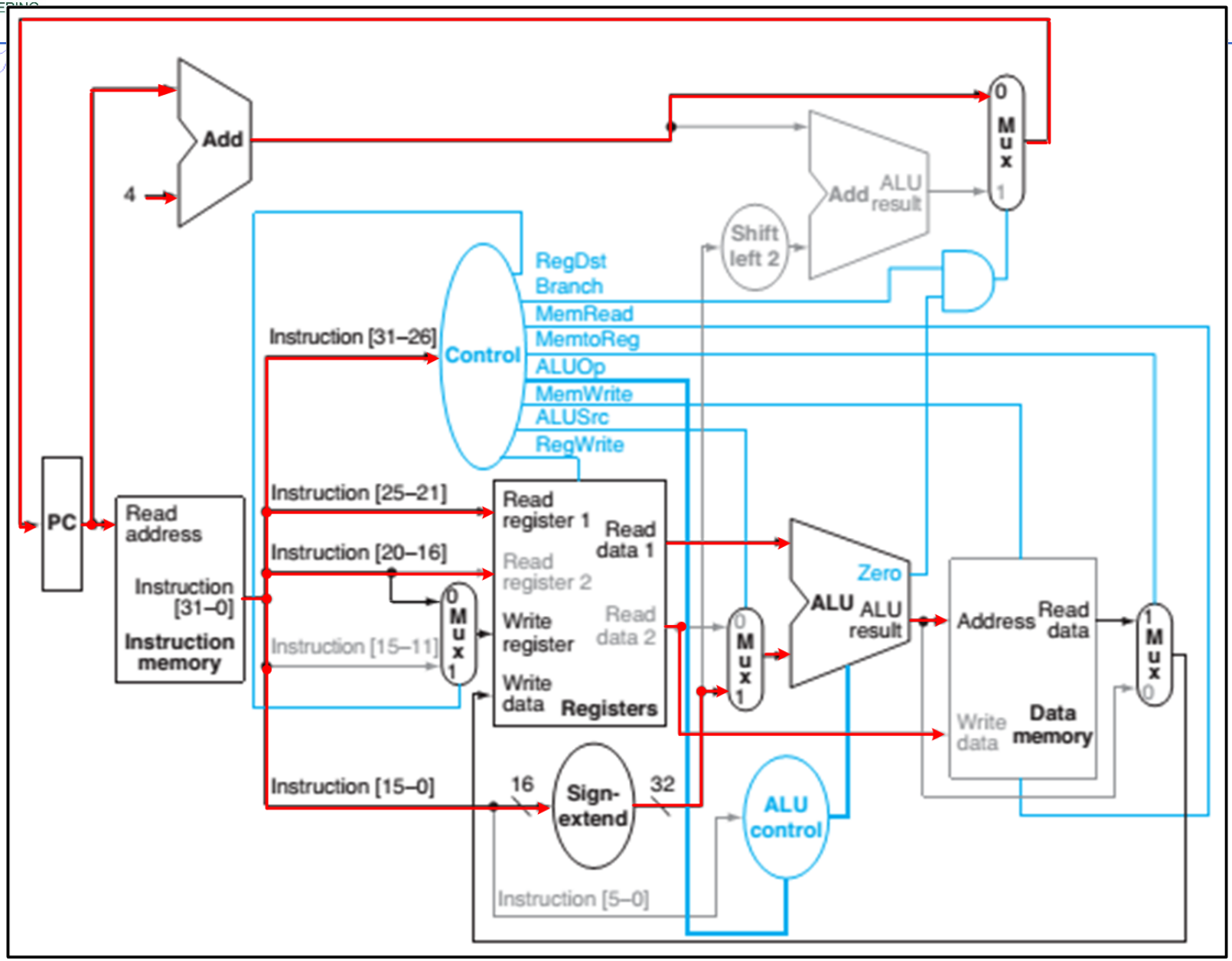
Các đường đỏ là các đường hoạt động khi lệnh thuộc ***nhóm logic và số học*** *thực thi*

Xem lại Datapath với từng nhóm lệnh



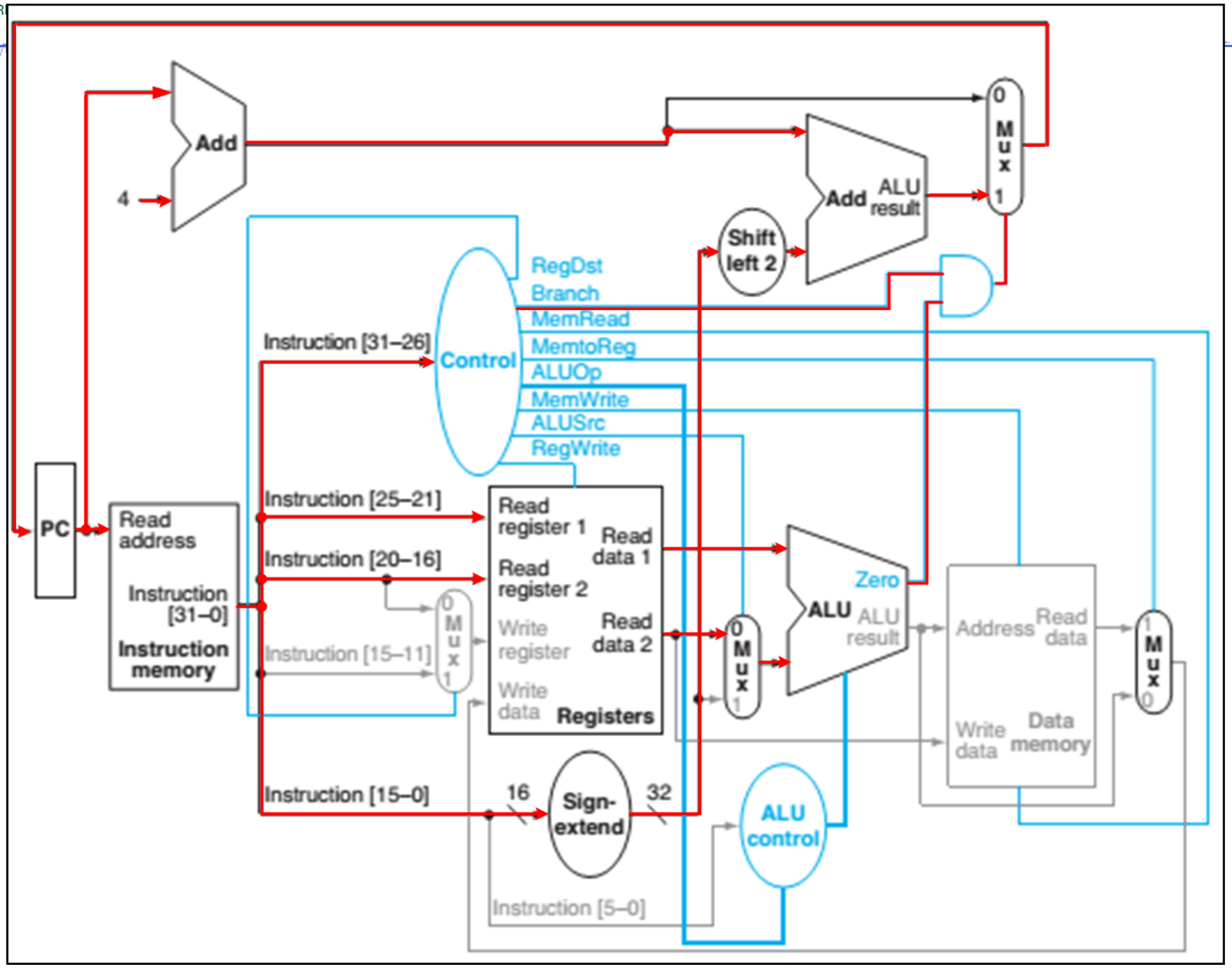
*Các đường đỏ là các đường hoạt động khi lệnh **lw** thực thi*

Xem lại Datapath với từng nhóm lệnh



*Các đường đậm nét (đỏ) là các đường hoạt động khi lệnh **sw** thực thi*

Xem lại Datapath với từng nhóm lệnh



*Các đường đậm nét (đỏ) là các đường hoạt động khi lệnh **beq** thực thi*

Tổng kết:

Hoàn chỉnh datapath cho 8 lệnh cơ bản:

- add, sub, and, or, slt
- lw, sw
- beq

Hiểu cách hiện thực các khối chức năng cơ bản trong datapath (khối Control, khối ALU Control)

BỘ XỬ LÝ

- **Lý thuyết: Đọc sách tham khảo**
  - Mục: 4.4
  - Sách: *Computer Organization and Design: The Hardware/Software Interface*, Patterson, D. A., and J. L. Hennessy, Morgan Kaufman, Revised Fourth Edition, 2011.

- **Bài tập:** file đính kèm