



# 1.运算方法与运算器

1. 已知用二进制真值表示的浮点数  $X=2^{+010}\times(-0.1011)$ ,  $Y=2^{+011}\times 0.1100$ , 机器的浮点数表示格式如下图 1 所示, 其中阶码用 4 位移码表示 (包括 1 位阶符), 尾数用 6 位补码表示 (包括 2 位数符), 问:

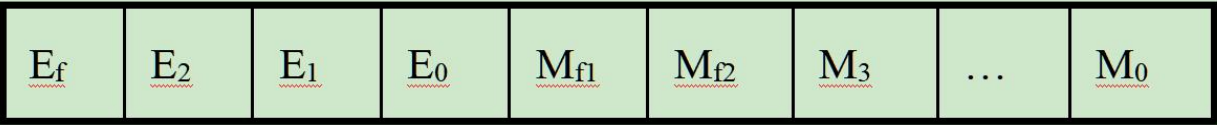
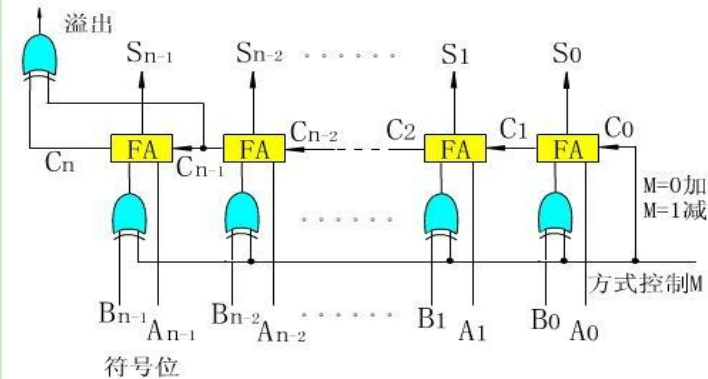


图 1 浮点数格式

- 1) 分别写出 X 和 Y 的机器数表示;
- 2) 计算 X-Y, 写出主要过程, 并对结果进行规格化及舍入操作 (采用 0 舍 1 入法);
- 3) 下图 2 是 n 位行波进位的补码加/减法器示意图, 说明图中  $A_i$  和  $B_i$ 、 $C_i$ 、 $S_i$  的含义;
- 4) 说明两种判断溢出的方法。



**X: 1010 11.0101**

**Y: 1011 00.1100**

对阶:  $E_x - E_y = 1010 - 1011 = -1$ , 小阶向大阶看齐, 故 X 尾数右移一位

移位后的 X 表示为: 1011 11.1010(1)

尾数相减:  $11.1010(1) + 11.0100 = 10.1110(1)$

右规一位: 11.0111(01) (1分); 阶码加 1, 1100

舍入后: 11.0111

$[X+Y]_{\text{浮}} = 2^{+100} \times (-0.1001)$

$A_i$  被加数/被减数;  $B_i$  加数/减数、 $C_i$  向前一位的进位、 $S_i$  当位的和/差

(1) 根据两个操作数的符号与结果的符号判别:  $OVR = \overline{A_f} \overline{B_f} S_f + A_f B_f \overline{S_f}$

(2) 根据两数相加时产生的进位判别:  $OVR = C_f \oplus C_n$

(3) 采用变形补码运算 (两位符号位):  $OVR = S_{f1} \oplus S_{f2}$

# 1.运算方法与运算器

2. 已知用二进制真值表示的浮点数  $X=2^{+10000} \times 0.10101010$  ,  
 $Y=2^{+01111} \times (-0.10011001)$ , 机器的浮点数表示格式如图 1 所示, 其中阶码用 6 位移  
 码表示 (包括 1 位阶符), 尾数用 10 位补码表示 (包括 2 位数  
 符), 问:



图 1 浮点数格式

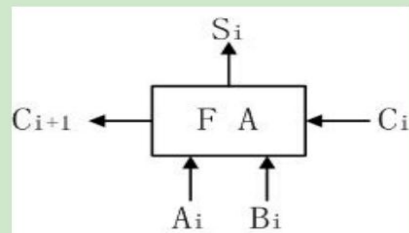
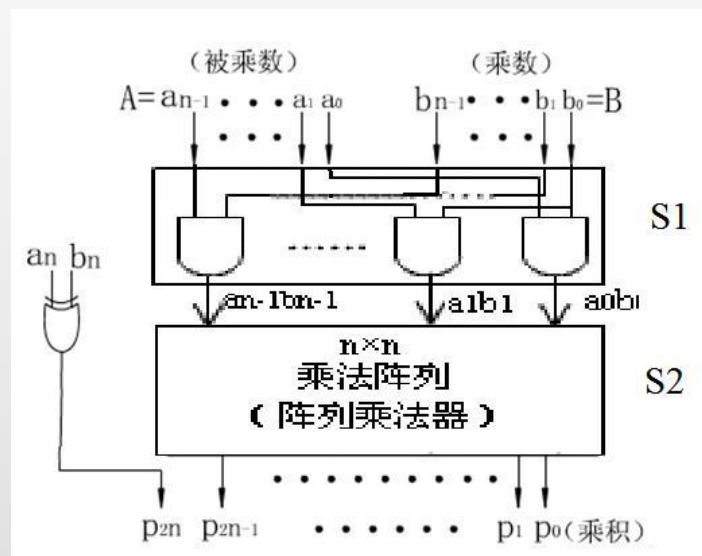


图 2 全加器

- 1) 分别写出  $X$  和  $Y$  的机器数表示;
- 2) 计算  $X+Y$ , 写出主要过程, 并对结果进行规格化及舍入操作 (采用 0 舍 1 入法);
- 3) 如图 2 所示全加器简易图, 说明图中  $A_i$ 、 $B_i$ 、 $S_i$  和  $C_i$  的含义;
- 4) 说明两种判断溢出的方法。

(1)表示范围  
 (2)  $X-Y$   
 0A30H - 06F8H

- 1) 根据图片, 写出  $a_n$  和  $b_n$  所代表的含义, 并说明黑框  $S1$  中完成的操作;
- 2) 设  $[X]_{\text{原}}=01111$ ,  $[Y]_{\text{原}}=11101$ , 试用图 1 所示的带符号原码阵列乘法器求出乘积  $P$ , 并写出主要过程。
- 3) 写出  $X$  和  $Y$  的补码形式;
- 4) 分别写出  $(n+1)$  位带符号补码的定点整数和定点小数的取值范围。





## 2. 存储系统

1、设 CPU 共有 16 根地址线，8 根数据线，并用作访存控制信号(低电平有效)，用作读写控制信号(高电平为读，低电平为写)。现有下列存储芯片：1K×4 位 RAM，4K×8 位 RAM，2K×8 位 ROM，以及 74138 译码器和各种门电路。已知主存以字节编址，地址空间分配：8000H~87FFH 为系统程序区(只读)；8800H~8BFFH 为用户程序区(可读写)。求：

- 1) 8000H~87FFH 表示了内存中多少个地址单元？
- 2) 合理选用上述存储芯片，ROM 和 RAM 各要多少片？需要多少位作芯片选择？
- 3) 画出 CPU 与该存储器的连接图，要求详细画出该存储器的逻辑图（地址线、数据线、片选信号线以及读写信号线的连线）；
- 4) 试说明 ROM、SRAM 和 DRAM 的各自特点。

CPU与内存之间需要几根数据线，几根地址线，数据、地址寄存器多少位，需要多少位地址作芯片选择？

# 2. 存储系统

(60 分) 主存 256MB，是由 64M\*4 位 RAM 和 128M\*4 位 RAM 两种芯片组成。Cache 大小为 1MB，主存和 Cache 之间交换数据块大小为 4KB，且 Cache 按照 4 路组相联方式组织（即每组有 4 块）。CPU 地址线 A0 ~ A31 共 32 根，数据线 D0 ~ D7 共 8 根，RW 线共 1 根控制读写。

- 1) 、主存组成中的两种芯片各需要几片？（6 分）
- 128K\*4 位 RAM 芯片：2 片（位扩展）                      2 分
- 64K\*4 位 RAM 芯片：2 片为一组（位扩展）
- 2 组（字扩展） 共需 4 片    2 分        总共 6 片 2 分
- 2) 、写出主存组成中两种芯片的地址分配和片选逻辑（表格）（12 分）；

芯片	地址分配	片选信号	片选逻辑
<u>128K*8 RAM</u>	<u>A0 ~ A26</u>	<u>CS0</u>	<u>! A27</u>
<u>64K*8 RAM</u>	<u>A0 ~ A25</u>	<u>CS1</u>	<u>A27 ! A26</u>
<u>64K*8 RAM</u>	<u>A0 ~ A25</u>	<u>CS2</u>	<u>A27 A26</u>

- 3) 、CPU 发出主存地址中主存组号、主存块号、主存块内字节地址均是多少位？Cache 的标记 Tag 和组号是多少位？（要求计算过程）(22 分)
- 块大小：4KB， $2^{12}$ ，所以块内字节地址为 12 位                      2 分
- Cache 组织：每组 4\*4KB=16KB                      2 分
- 有 1MB/16KB=64 组， $2^6$                       2 分
- 所以 Cache 的组号为 6 位                      2 分
- 主存地址：主存每组 64 块， $2^6$                       2 分
- 每组 64\*4KB=256KB                      2 分
- 有 256MB/256KB=1024 组， $2^{10}$                       2 分
- 所以主存组号 10 位                      2 分
- 主存块号 6 位                      2 分
- 主存块内字节地址 12 位                      2 分
- Cache 的标记 Tag 为 10 位                      2 分



## 2. 存储系统

- 4)、CPU 从主存中读取第 0 ~ 99999 个字节共 100000 个字节，求此种情况下 Cache 的命中率是多少（6 分）？

100000 字节对应块数：取上限  $(100000\text{B}/4\text{KB}) = 25$  块      2 分

25 块均落在主存第 0 组（主存每组 64 块），依次读入主存，每块的第一个字节不命中，读后续的该块内字节会命中，且所有块均不发生替换已有块的现象，所以总的不命中次数为 25 次      2 分

命中率  $h = (100000 - 25) / 100000 = 0.99975$       2 分

- 5)、假设 Cache 平均访问时间为 50ns，主存平均访问时间为 200ns，求 Cache 和主存两级存储结构的平均访问时间和访问效率（8 分）；

$$t_a = h t_c + (1-h) t_m = 50 h + 200 (1-h) = 200 - 150h = 50.0375$$

4 分

$$e = t_c / t_a = 50 / 50.0375 = 99.925\%$$

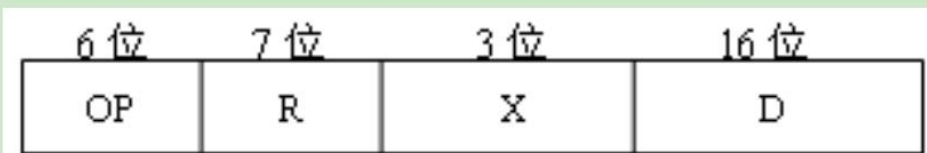
4 分

- 6)、经过上面的读取过程，Cache 中有 100000 个字节，当 CPU 更改其中一个字节的时候，Cache/主存写一致策略有哪三种（6 分）？

全写法、写回法、写一次法      每个 2 分

# 3.指令系统

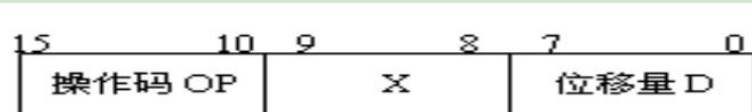
已知计算机指令字长为 32 位，其指令格式如下：



其中 OP 为操作码，R 为通用寄存器（32 位长），X 为寻址方式，说明下列情况下能访问的最大主存空间为多少个机器字：

- ① X=000，D 为直接操作数；
- ② X=001，D 为直接主存地址；
- ③ X=010，由通用寄存器 R<sub>0</sub> 提供主存地址；
- ④ X=011，D 为位移量，由通用寄存器 R<sub>1</sub> 提供基址地址；

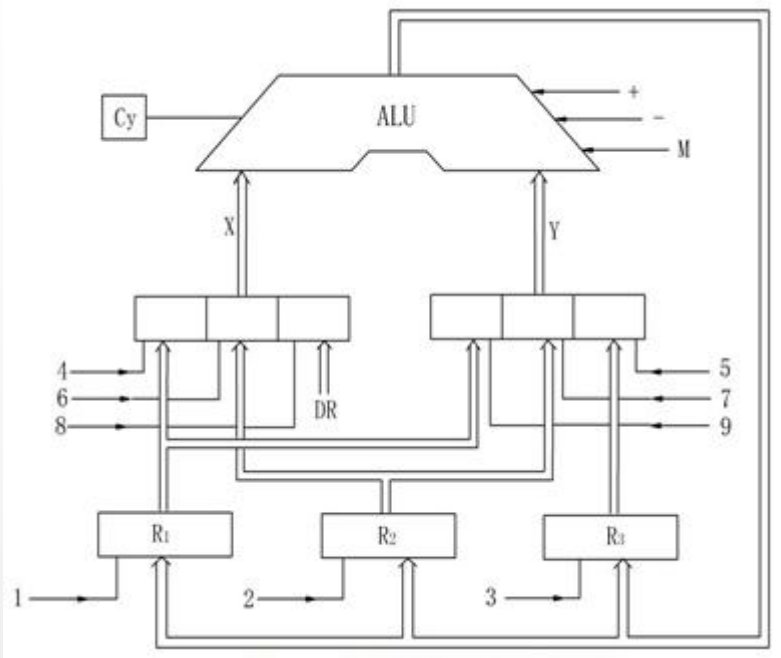
某计算机机的指令格式如下所示：



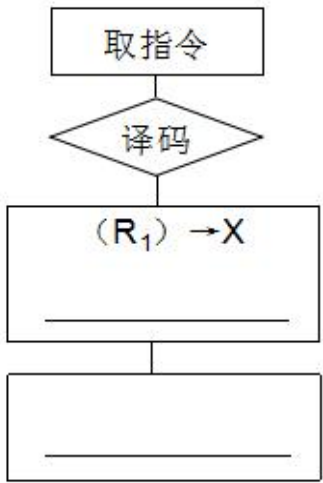
X 为寻址特征位：X=00：直接寻址；X=01：用变址寄存器 R<sub>X1</sub> 寻址；X=10：用变址寄存器 R<sub>X2</sub> 寻址；X=11：相对寻址

设(PC)=1234H,(R<sub>X1</sub>)=0037H,(R<sub>X2</sub>)=1122H（H 代表十六进制数），请确定下列指令中的有效地址：    ①4420H    ②2244H    ③1322H    ④3521H

# 4. 控制器



1	2	3	4	5	6	7	8	9
LDR <sub>1</sub>	LDR <sub>2</sub>	LDR <sub>3</sub>	LDX		LDY		ALU <sub>Op</sub>	
第4、5位:			第6、7位:			第8、9位:		
00表示无操作			00表示无操作			00表示无操作		
01表示(R <sub>1</sub> )→X			01表示(R <sub>3</sub> )→Y			01表示+		
10表示(R <sub>2</sub> )→X			10表示(R <sub>2</sub> )→Y			10表示-		
11表示(DR)→X			11表示(R <sub>1</sub> )→Y			11表示M		



微指令的操作控制字段

123	4	5	6	7	8	9
000	01				00	

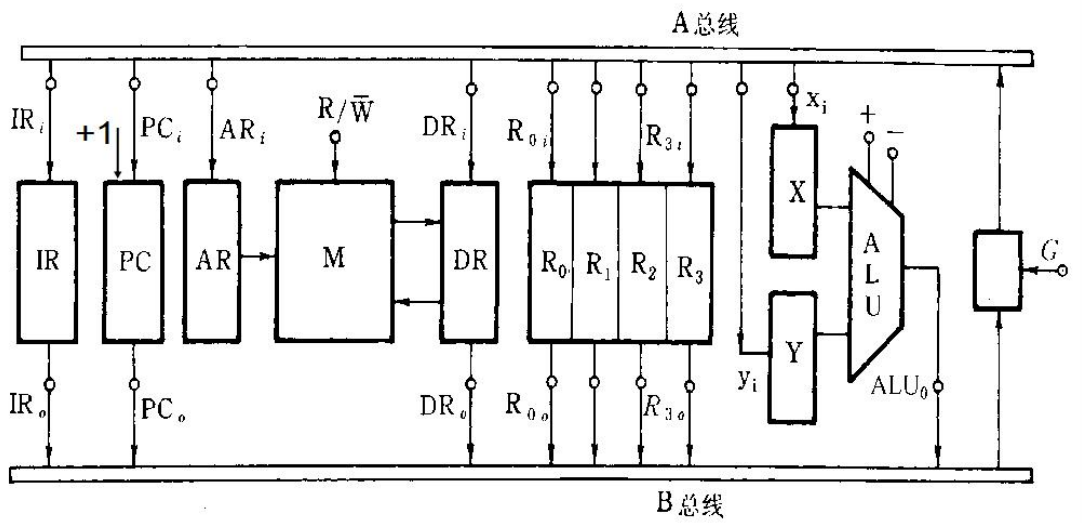
123	4	5	6	7	8	9
	00	00				

- 3)  $(R_2) \rightarrow Y$  ;  $(X) + (Y) \rightarrow R_1$   
4) 10、100、01

- 1) 试述 DR 的作用，并说明微指令存放的位置；
- 2)  $ADD R_1, R_2$  的含义是将  $R_1$  中的数与  $R_2$  中的数相加，结果送  $R_1$ ，则该指令为几地址指令？寻址方式是什么？是 RR 型、SS 型、RS 型中的哪一个？
- 3) 在答题页的横线上将该指令的执行流程（微指令的执行序列）补充完整；
- 4) 根据微指令的格式，将指令执行流程所对应的微指令的操作控制字段补充完整。

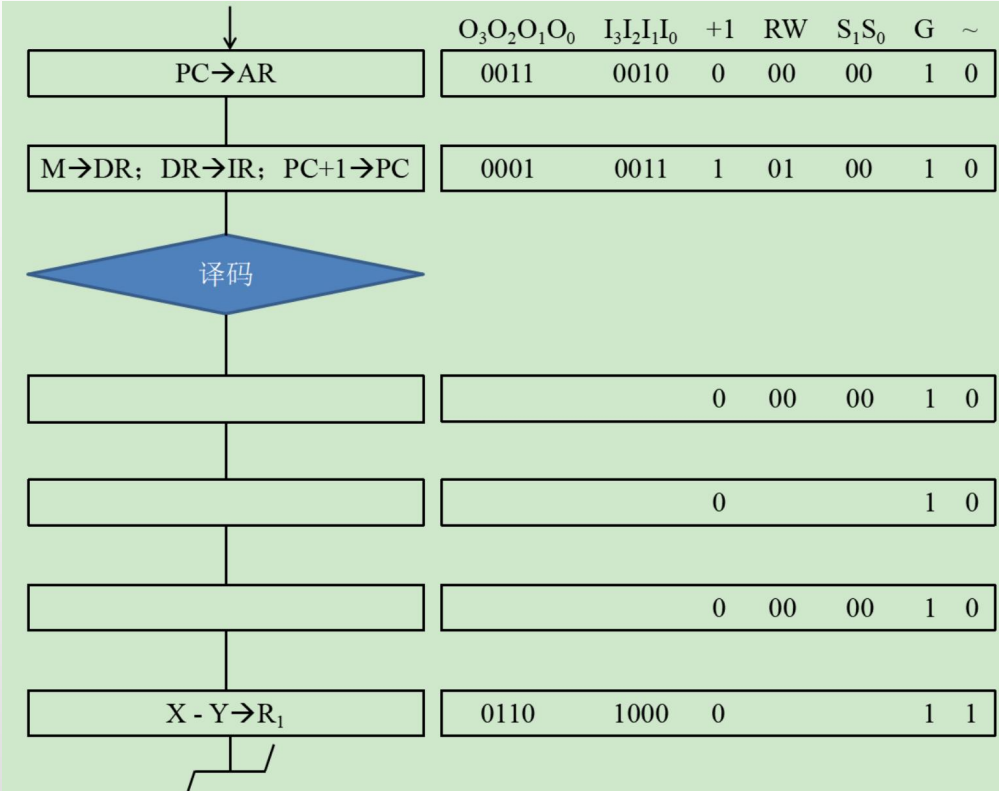


# 4.控制器



$O_3O_2O_1O_0$	$I_3I_2I_1I_0$	+1	RW	$S_1S_0$	G	~
0000: 无操作 0001: $IR_i$ 有效 0010: $PC_i$ 有效 0011: $AR_i$ 有效 0100: $DR_i$ 有效 0101: $R_{0i}$ 有效 0110: $R_{1i}$ 有效 0111: $R_{2i}$ 有效 1000: $R_{3i}$ 有效 1001: $x_i$ 有效 1010: $y_i$ 有效	0000: 无操作 0001: $IR_o$ 有效 0010: $PC_o$ 有效 0011: $DR_o$ 有效 0100: $R_{0o}$ 有效 0101: $R_{1o}$ 有效 0110: $R_{2o}$ 有效 0111: $R_{3o}$ 有效 1000: $ALU_o$ 有效	0: 无操作 1: PC+1	00: 无操作 01: 读主存 10: 写主存 (主存读写)	00: 无操作 01: 加法 10: 减法 (ALU 运算)	0: 断开 1: 连通	0: 无操作 1: 下一条指令 (指令结束后的公操作)

- 1) 说明 IR 和 PC 的作用，并举例说明相容微操作和互斥微操作；
- 2) 指令  $SUB\ R_1, (R_2)$  的含义是用寄存器  $R_1$  中的内容减去以寄存器  $R_2$  为地址数存单元的内容，结果送  $R_1$ ，该指令为几地址指令？寻址方式包含哪几种方式？该指令是 RR 型、SS 型、RS 型中的哪一个？
- 3) 在答题页的横线上将该指令的执行流程（微指令的执行序列）补充完整；
- 4) 根据微指令的格式，将指令执行流程所对应的微指令的操作控制字段补充完整。



实验平台CPU  
模型

3)  $R_2 \rightarrow AR$  ;  $M \rightarrow DR$ ;  $DR \rightarrow Y$ ;  $R_1 \rightarrow X$   
4) 0011、0110  
1010、0011、0100  
1001、0101  
0010

## 4. 控制器

3、今有 4 级流水线，分别完成取指、指令译码并取数、运算、送结果四步操作，假设完成各步操作的时间依次是 100ns、100ns、80ns、50ns，问：

1) 流水线的操作周期应设计为多少？ 100ns

2) 共有 20 条指令连续输入此流水线，完成所有指令的总时间为多少？  $T = 400 + (20-1) * 100 = \underline{2300ns}$

3) 流水过程中会出现资源相关和其它哪两种相关冲突，为此需要采用相应的技术对策，才能保证流水畅通而不断流？ 数据相关，控制相关

三种数据相关：RAW WAR WAW



# 5. 总线系统

1、总线是计算机系统的互联机构，是多个系统功能部件间进行数据传送的公共通路，问：1) 某总线在一个总线周期中并行传送 2 个字节的数据，则总线的数据线有几根？假设一个总线周期等于一个总线时钟周期，总线时钟频率为 70MHz，总线带宽是多少？2) 试述总线的集中式仲裁中，独立请求线方式的优缺点。

1) 数据线 32 根； $D_r = D/T = D * f = 4B * 70 \times 10^6 / s = 280MB/s$

2) 链式查询方式：总线授权信号系统 B 用很少几根线就能按一定优先次序实现总线仲裁，容易扩充设备；缺点是对询问链的电路故障很敏感。

独立请求方式：每一个共享总线的设备均有一对总线请求线 BR 和总线授权线 BG，优点是响应时间快，优先次序的控制比较灵活；缺点是不易扩充设备。

1) 数据线 16 根； $D_r = D/T = D * f = 2B * 70 * 10^6 / s = 140MB/s$

2) 独立请求方式：每一个共享总线的设备均有一对总线请求线 BR 和总线授权线 BG，优点是响应时间快，优先次序的控制比较灵活；缺点是不易扩充设备。

2、总线是构成计算机系统的互联机构，是多个系统功能部件间进行数据传送的公共通路，问：1) 某总线在一个总线周期中并行传送 4 个字节的数据，则总线的数据线有几根？假设一个总线周期等于一个总线时钟周期，总线时钟频率为 70MHz，总线带宽是多少？2) 总线的集中式仲裁中包括链式查询方式和独立请求线方式，试比较两者的优缺点。

链式查询方式：总线授权信号系统 B 用很少几根线就能按一定优先次序实现总线仲裁，容易扩充设备；缺点是对询问链的电路故障很敏感。

独立请求方式：每一个共享总线的设备均有一对总线请求线 BR 和总线授权线 BG，优点是响应时间快，优先次序的控制比较灵活；缺点是不易扩充设备。



## 6. 外设

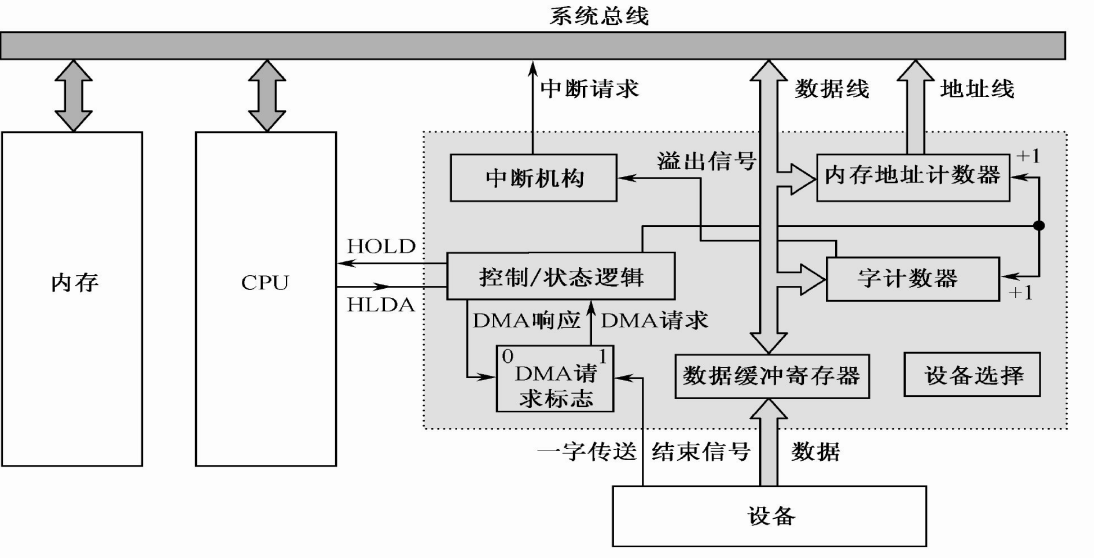
1、某磁盘组有 6 片磁盘，每片有两个记录面，最上和最下两个面不用；每个记录面有 500 个磁道，每道记录信息 13000B，转速为 7200r/min。问： 1) 该磁盘组总的存储容量是多少字节？ 2) 磁盘的数据传送率是多少字节每秒？访问硬盘时平均等待时间是多少？ 3) 在寻址命令中，需要几位用于表示圆柱面号（磁道号），几位用于表示磁头号？

1)  $20 * 500 * 12000B = 1.2 * 10^8 B = 114.44MB$

2)  $12000B * 7200r / 60 = 1440000B/S = 1.37MB/S$ ;  $[0 + (60/7200)] / 2 = 0.0167 s = 16.7 ms$

3) 500 个磁道，因此圆柱面号为 9 位；20 个记录面，因此磁头号为 5 位。

# 7.I/O系统

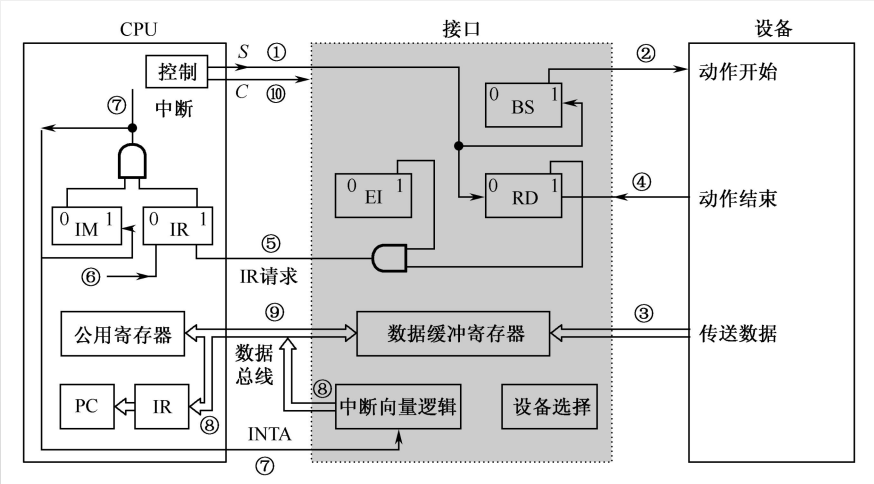


- 1)简述 DMA 控制外设与主机之间数据交换的主要过程;
- 2)DMA 请求与中断请求被响应的时机不同,试说明两者的响应时机。

- 3) 简述在单级中断系统里,中断处理的主要过程,并说明中断响应过程中,硬件完成的三个主要操作;
- 4) 试说明 IM 和 EI 的作用。

中断请求 (中断源提出中断请求)、中断排优 (排列优先级)、中断响应、中断处理、中断返回。  
中断响应的三个硬件过程: 关中断 (IM=1) ; 断点保护, 即PC、CS、PSW压栈; 找到中断向量, 即中断服务程序的入口地址。

IM: 中断屏蔽信号, IM=1不能响应中断请求;  
EI: 中断使能信号, EI=0不能发出中断请求。





【例4.12】 ▲要求用128K×16位的SRAM芯片设计256K×16位的存储器；用64K×16位的EPROM芯片组成128K×16位的只读存储器。试问：

(1) 数据寄存器多少位？

(2) 地址寄存器多少位？

(3) 两种芯片各需多少片？

(4) EPROM的地址从00000H开始，RAM的地址从40000H开始，画出此存储器组成框图。

框图。

【解】

(1) 存储器的总容量为：256K×16位(SRAM)+128K×16位(EPROM)=384K×16位。数据寄存器16位。

(2) 因为 $2^{19}=512K>384K$ ，所以地址寄存器19位。

(3) 所需SRAM芯片数为 $(256K \times 2B) / (128K \times 2B) = 2$ (片)

所需EPROM芯片数为 $(128K \times 2B) / (64K \times 2B) = 2$ (片)

(4) EPROM的地址从00000H开始，末地址1FFFFH，SRAM的地址从40000H开始，末地址7FFFFH。SRAM的芯片为128K×2B，内部地址17根，EPROM的芯片为64K×2B，内部地址16根，地址展开如下：

EPROM:	000	0000	0000	0000	0000
	001	1111	1111	1111	1111
SRAM:	100	0000	0000	0000	0000
	111	1111	1111	1111	1111

