**aМинистерство образования и науки Российской Федерации**

**Федеральное государственное автономное образовательное**

**учреждение высшего образования**

**«Санкт-Петербургский национальный исследовательский**

**университет информационных технологий, механики и оптики»**

**Лабораторная работа № 1**

По дисциплине:

«Функциональная схемотехника»

На тему:

**«Введение в проектирование цифровых интегральных схем»**

3 вариант

**Выполнили:**

Третьяков К. П.

Тропина Ю. А.

Группа p3201

**Преподаватель:**

Быковский С. В.

Санкт-Петербург, 2017

Содержание:

1. Цели и задачи
2. Схема вентиля AND
3. Два последовательно соединённых вентиля AND
4. Четыре параллельно соединённых вентиля AND
5. Реализация логической функции в базисе ИЛИ-НЕ
6. Вывод

## Цели работы:

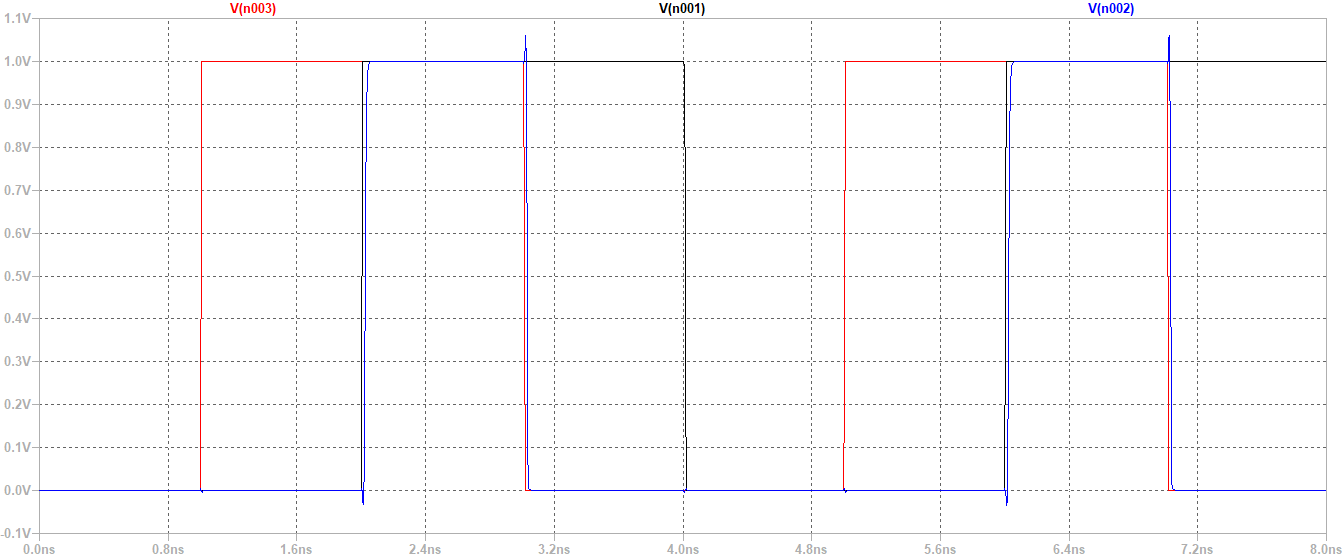
* 1. Получить базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП
  2. Познакомиться с основными параметрами цифровых вентилей

## Схема вентиля AND:

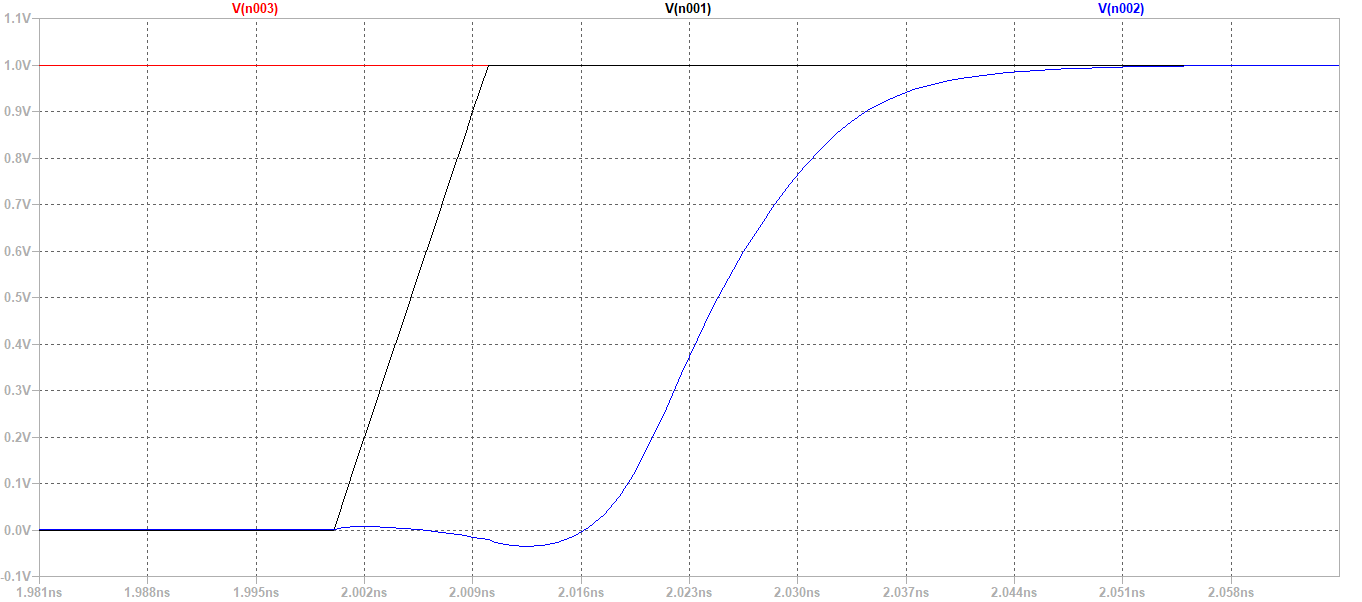
## C:\Users\treti\AppData\Local\Microsoft\Windows\INetCache\Content.Word\and.png

Схема элемента И построена на pmos и nmos транзисторах, путем добавления к схеме элемента И-НЕ элемента НЕ.

Моделирование работы вентиля без нагрузки:



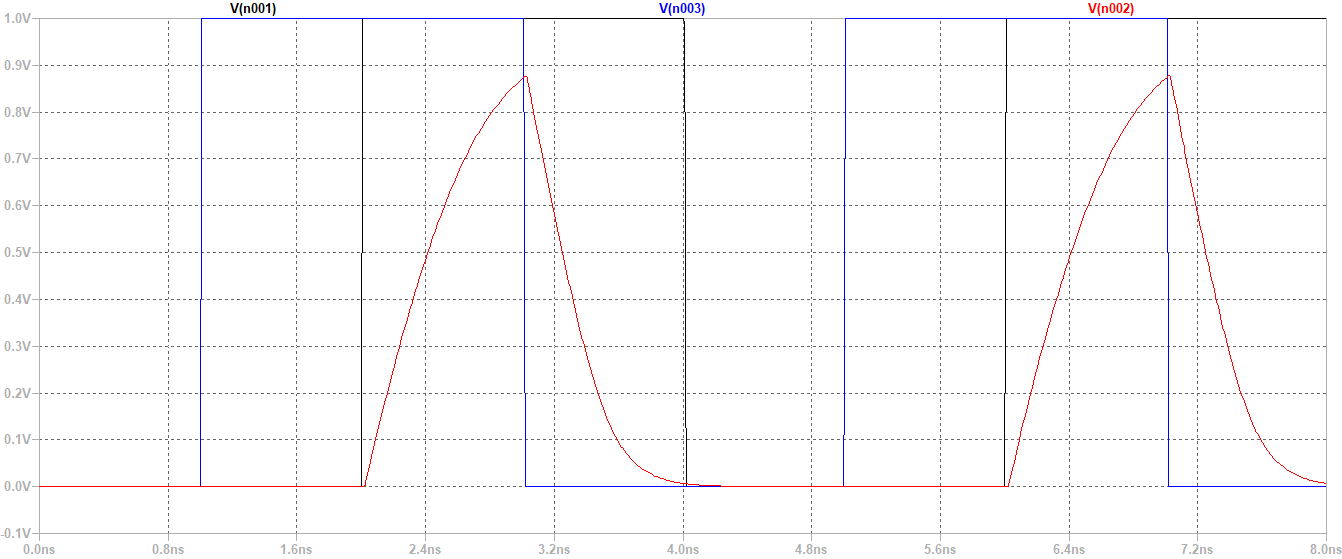
Определение задержки схемы без нагрузки:



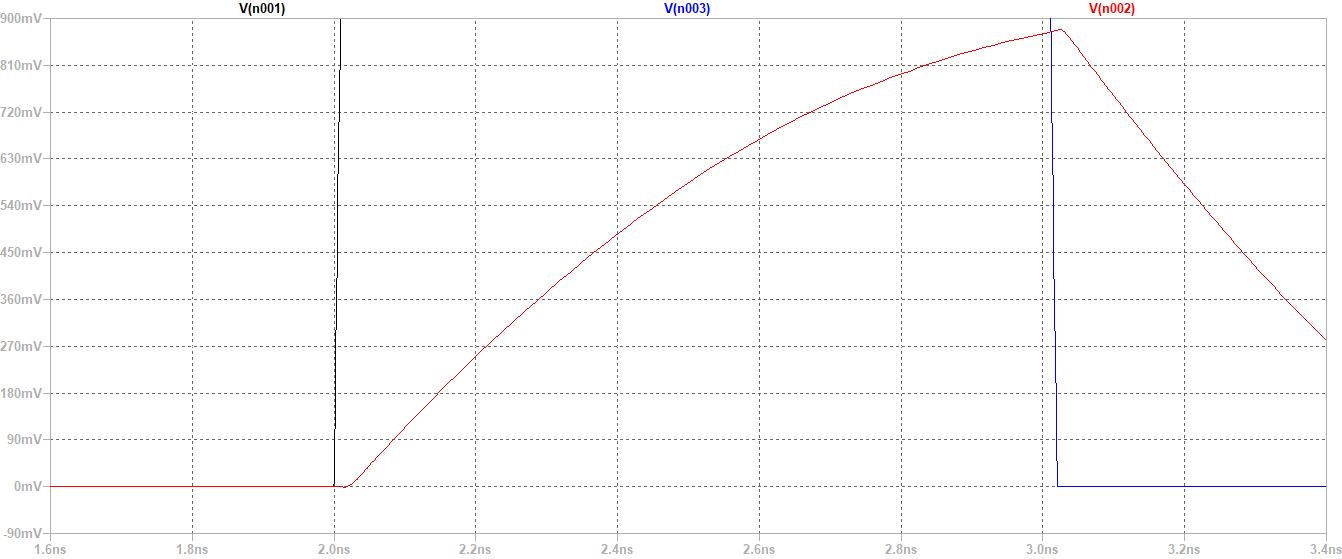
Из графика видно, что задержка составляет ~20ps.

Нагрузка: конденсатор 100f и резистор 100K.

Моделирование работы одного вентиля AND с нагрузкой:



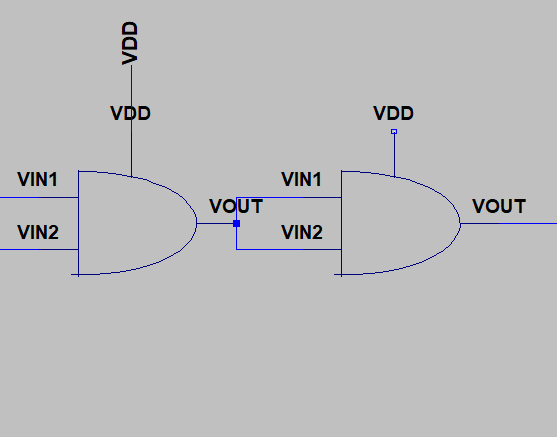
Определение задержки сигнала через схему с нагрузкой:



Из графика видно, что задержка составляет ~0.38ns.

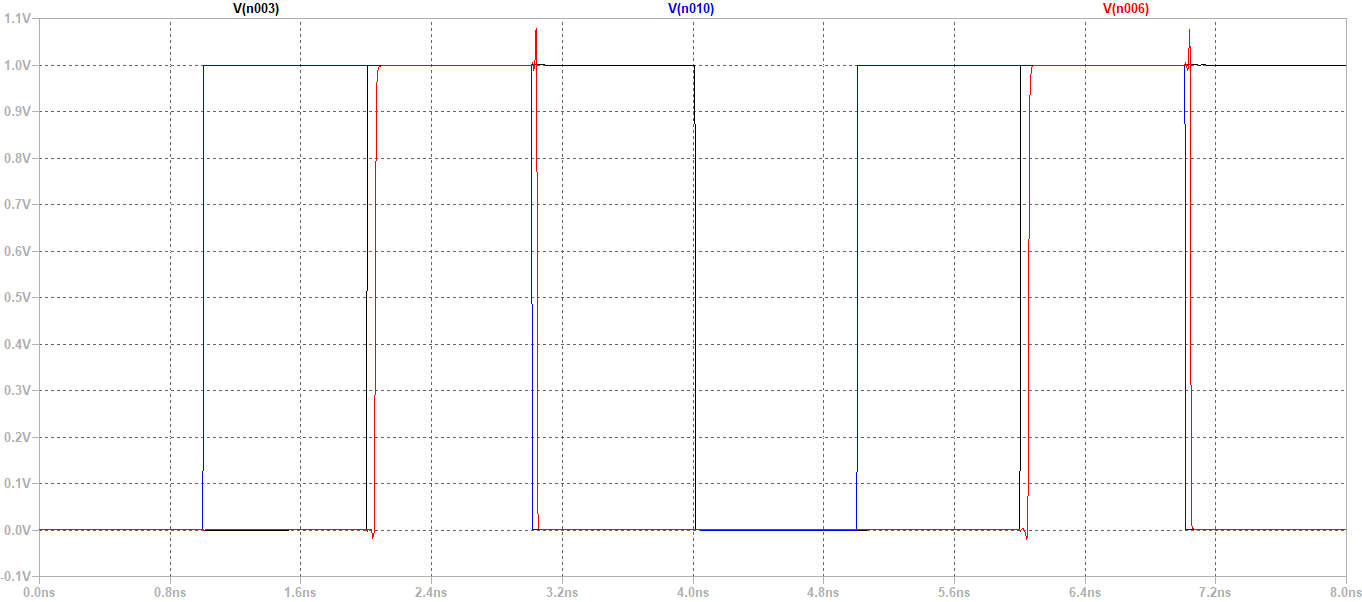
**Вывод:** Временная диаграма с очевидной ясностью свидетельствует о верной реализации вентиля: высокому напряжению только двух входов соответствует высокое напряжение на выходе вентиля с учётом позитивного кодирования. При изменении состояния наблюдаются скачки напряжения, которые являются следствием переходных процессов. Нагрузка предаёт сигналу близкий к пилообразному вид вследствие повышения сопротивления на выходе элемента ; задержка сигнала в таком случае выше задержки схемы без нагрузки в ~19 раз ( 380ps / 20ps ).

## Два последовательно соединённых вентиля AND

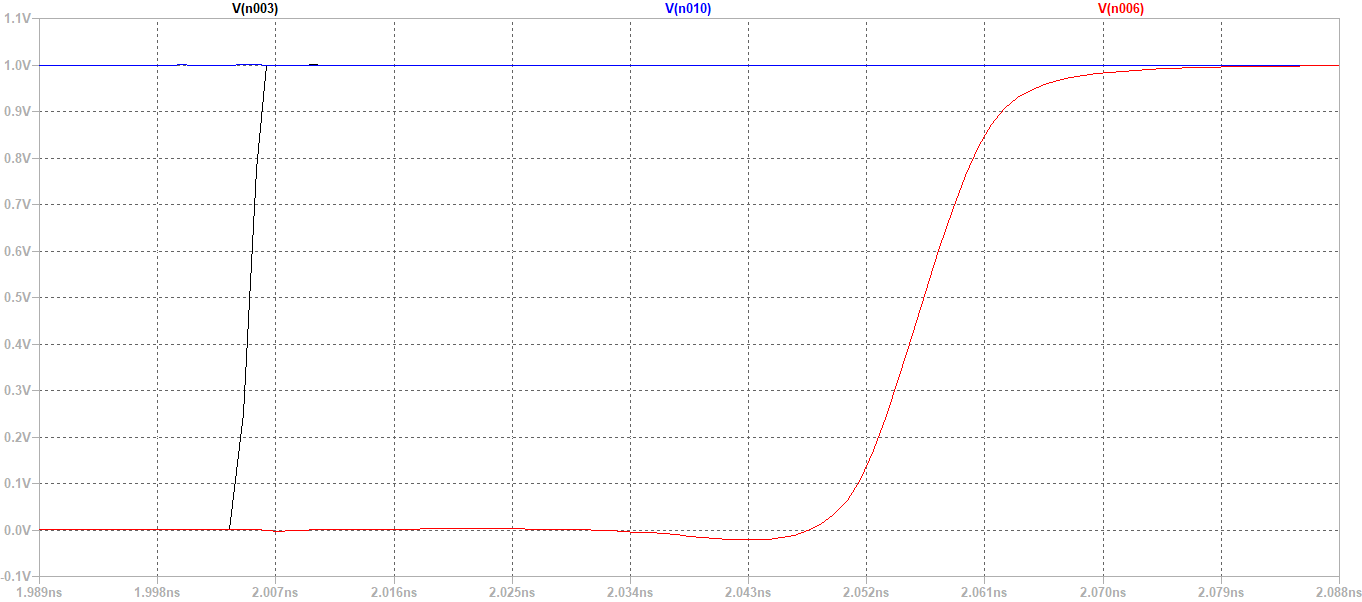


Моделирование работы схемы:

V(n006) – выходной сигнал схемы.



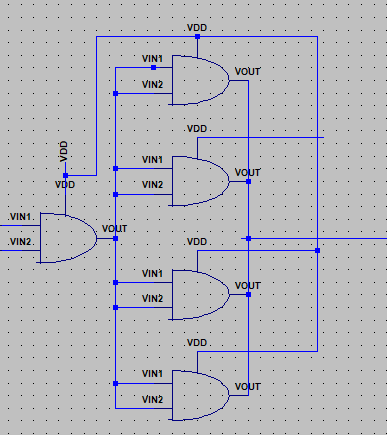
Определение задержки сигнала:



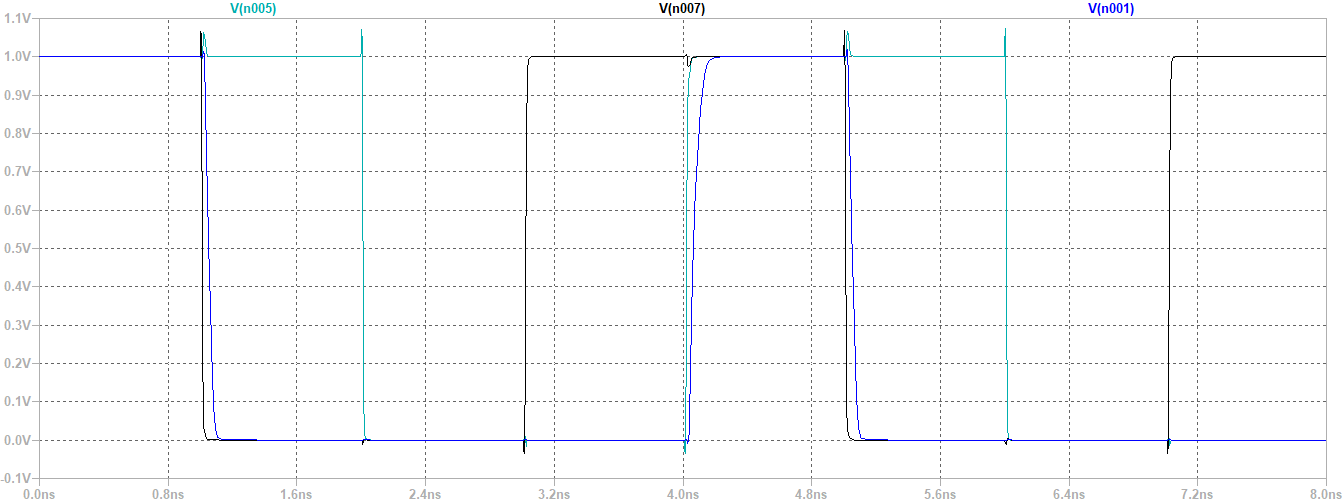
Из графика задержка сигнала составляет ~53ps

Задержка в сравнении с одним элементом больше примерно в 3 раза.

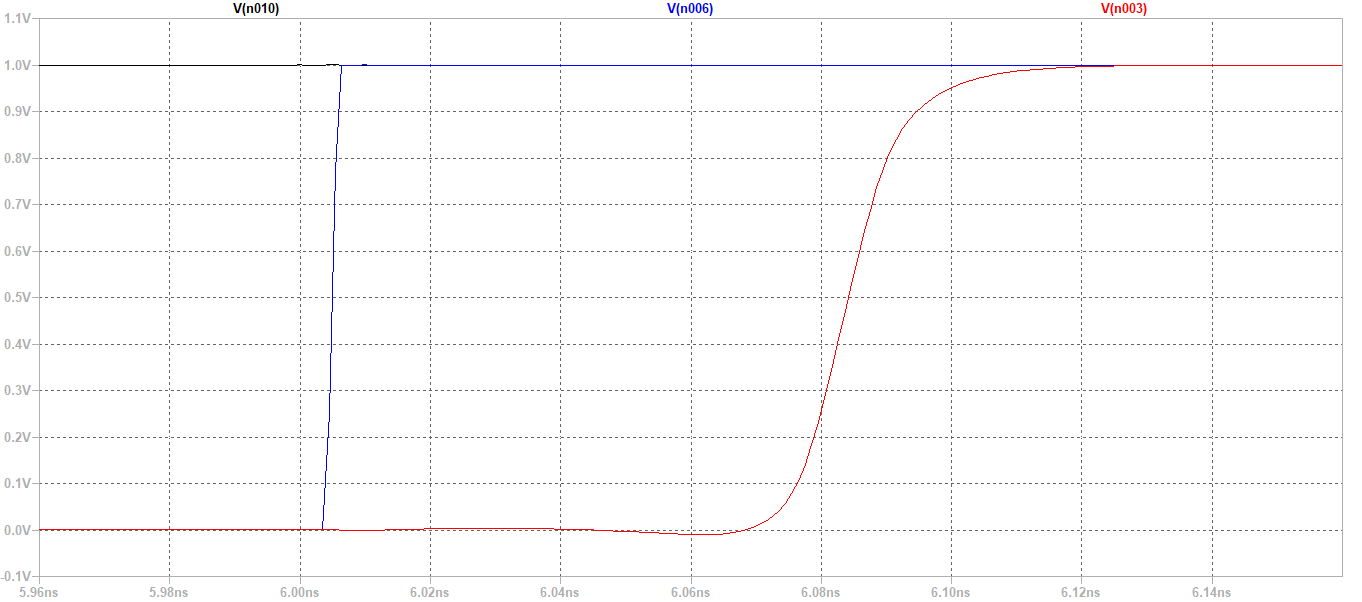
## Четыре параллельно соединённых вентилей AND



Моделирование работы схемы:



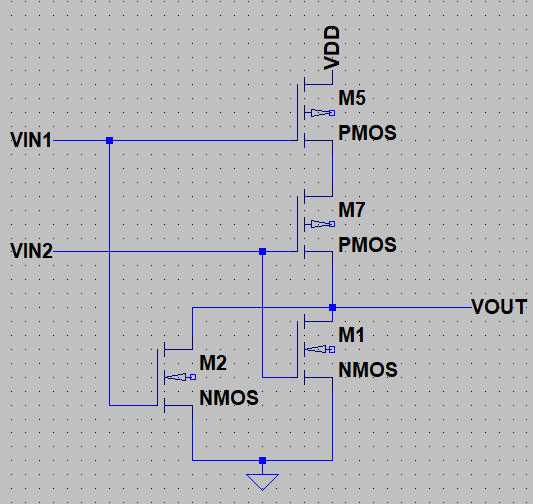
Определение задержки:



Задержка составляет примерно 80ps.

## Реализация логической функции в базисе ИЛИ-НЕ

Вентиль ИЛИ-НЕ:

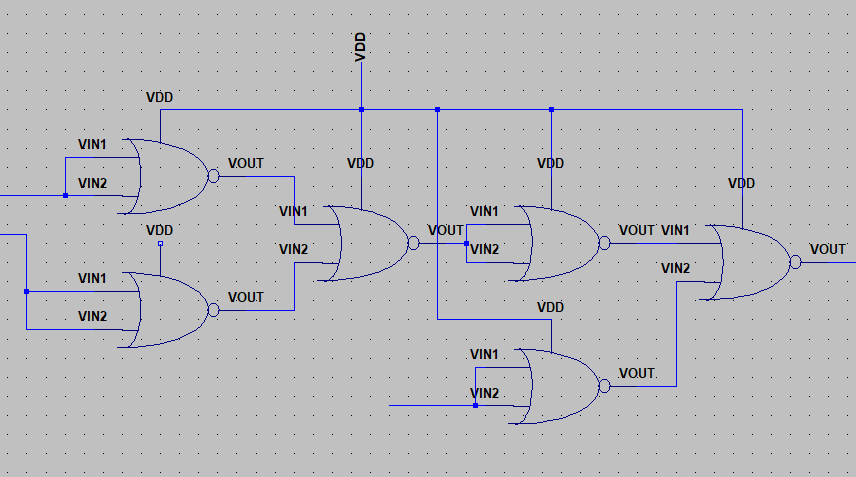


Логическая функция: Y =

|  |  |  |  |
| --- | --- | --- | --- |
| F1 | F2 | F3 | F |
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 0 |
| 1 | 1 | 0 | 0 |
| 1 | 1 | 1 | 1 |

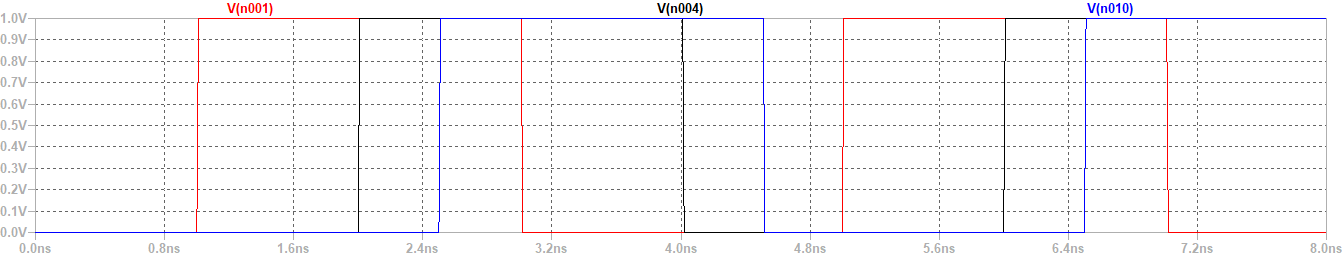
В базисе ИЛИ-НЕ приводится в виду: Y = ; где отрицание выражается через применение стрелки Пирса на сам аргумент:

Таким образом, схема с двувходными вентилями имеет вид:

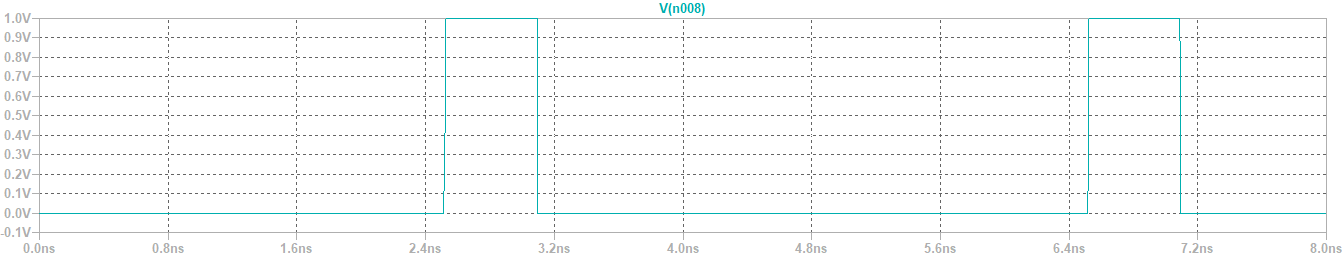


Моделирование работы схемы:

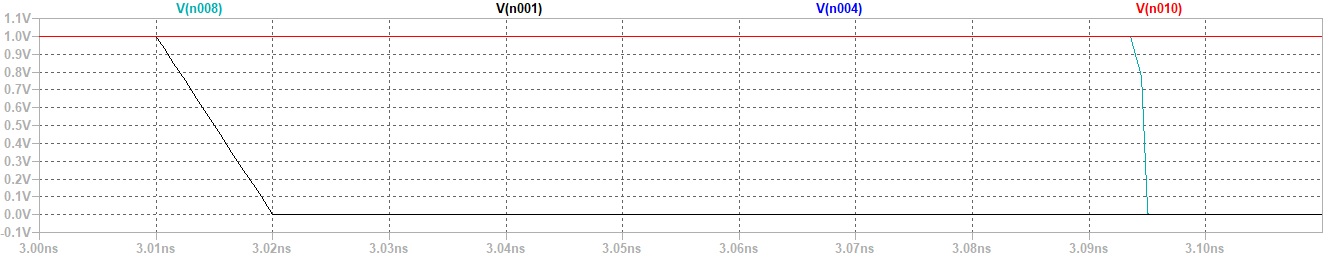
Входы:



Выход:



Задержка схемы:



Задержка схемы составляет ~80ps.

Из вышеприведённых данных следует, что задержка схемы, состоящей из элементов NOR, меньше задержки схемы из элементов AND ( NAND + NOT ).

Путём исследования схемы на разных показателях частоты была выявлена максимальная частота работы составляет примерно 1.9ГГц.

## Вывод:

Задержка распространения сигнала, которая характеризует быстродействие схемы и представляет собой время задержки выходного сигнала относительного сигнала на входе, присутствует в интегральных схемах всегда. Основными факторами, определяющими задержку распространения сигнала через схему, являются емкости переходов транзисторов и диодов, паразитные емкости между компонентами интегральной схемы и подложкой, а также инерционность процесса переключения диодов и транзисторов, обусловленная процессами накопления и рассасывания заряда в их структурах.

При прохождении сигнала последовательно через несколько логических элементов, времена задержки складываются. Чем больше каскадов сигнал проходит, тем соответственно задержка выше.

При исследовании влияния размера вентиля на его параметры было определено, что задержка распространения сигнала через вентиль размера 1X, управляющего вентилем 4X, больше, чем задержка при прохождении вентилей одинаковых размеров. Это обуславливается мощностью выходного сигнала вентиля, т.к. емкость (и соответственно величина заряда, необходимого для переключения состояния схемы) вентиля размера 4X будет больше, чем у вентиля 1X.

Величина коэффициента разветвления оказывает прямую зависимость на задержку распространения сигнала, что также обуславливается необходимым количеством заряда, необходимого для переключения состояния схемы.

Также в процессе выполнения работы была построена схема логического вентиля AND. В процессе ее исследования был также подтвержден тот факт, что большее количество пройденных сигналом каскадов увеличивает задержку распространения сигнала. И несмотря на то, что это время не велико для одного элемента, для схемы, в которой может быть огромное количество различных элементов, задержка распространения уже может быть существенной.