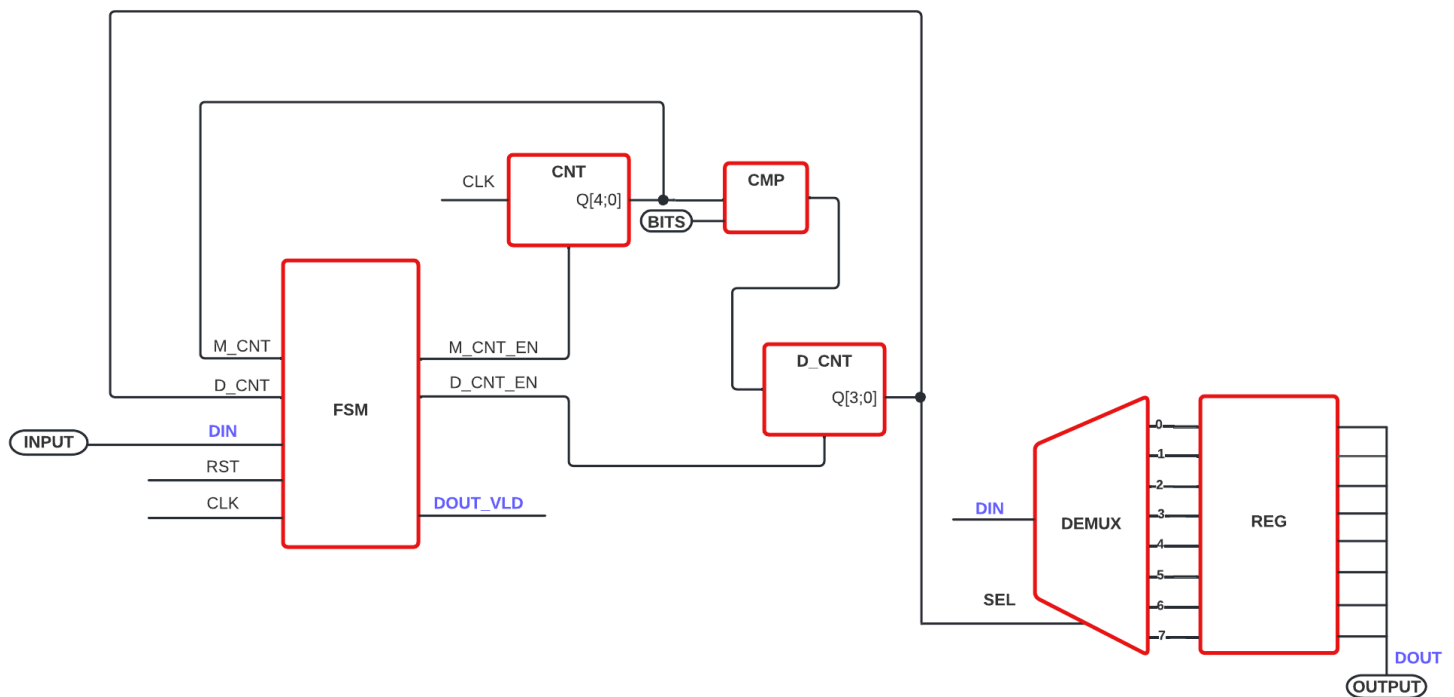


Architektura navrženého obvodu (na úrovni RTL) .

Schéma obvodu



Popis funkce:

RTL schéma mé implementace se skládá z FSM(Finite State Machine),dvou čítačů(CNT,D_CNT), demultiplexora,registru a jiných malých částí.

Konečný automat(FSM) - přijímá **DIN** signál a na jeho základě vysílá odvetný signál také reguluje čítače a vlastní výstupek.

CNT - první čítač po obdržení signálu **M_CNT_EN** počítá cyklus **CLK**.Výstup je 5 bitový signál, který se porovnává s **22**, aby mohl poslat dál do **D_CNT**.

D_CNT - přijímá signál **D_CNT_EN** pro aktivaci.Pak zpracovává signál, který byl přijat z jiného čítače.Výstup 4 bitový signál který určuje počet přijatých bitů.

Zpracované signály skončí demultiplexorem a přes **DOUT** výstup vyjdou.

Návrh automatu (Finite State Machine)

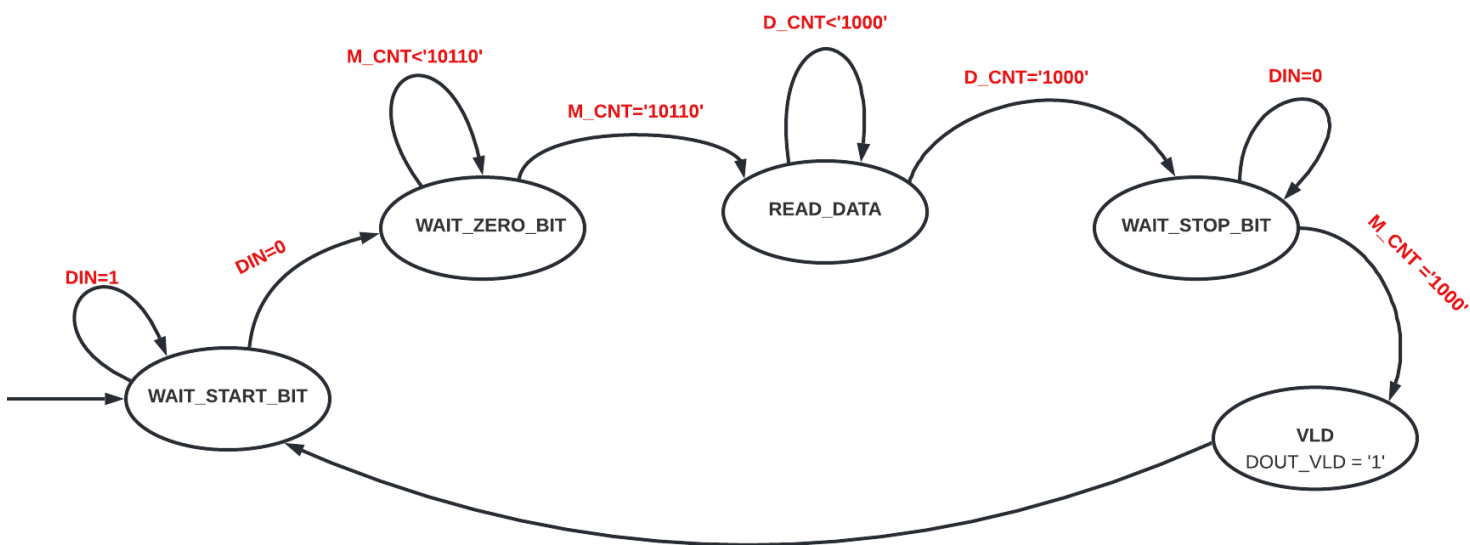
Schéma automatu

Legenda:

Stavy automatu: *WAIT_START_BIT*, *WAIT_ZERO_BIT*, *READ_DATA*, *WAIT_STOP_BIT*, *VLD*.

Vstupní signály: *DIN*.

Moorove výstupy: *M_CNT*, *D_CNT*, *DOUT_VLD*.



Popis funkce:

Cyklus automatu obsahuje 4 stupně. Začíná v *WAIT_START_BIT* čeká na počáteční bit, zejména na **DIN** v log. stavu **0**.

V takovém případě se přepne na stav *WAIT_ZERO_BIT* druhý stav automatu. A bude očekávat kdy **M_CNT** bude se rovnat 22.

Třetí stav automatu je *READ_DATA*. V něm přijímá vstupy. Přečte až do konce slova, dokud nebude **D_CNT** roven 8 a pak se přesune do dalšího stavu.

Stav *WAIT_STOP_BIT*. Pro přechod na první stav je potřeba **M_CNT = '1000'**. Pokud tak bude přijde na sledující stav *VLD* a nastavit **DOUT_VLD** na **1** co znamená validita vstupních údajů. A přijde zase na *WAIT_START_BIT*.

Snímek obrazovky ze simulací

