



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.01 Информатика и вычислительная техника

О Т Ч Е Т

по лабораторной работе № 4

Название: Синхронные двухступенчатые триггеры

Дисциплина: Схемотехника

Студент

ИУ6-52Б

(Группа)

(Подпись, дата)

С.В. Астахов

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

Т.А. Ким

(И.О. Фамилия)

Москва, 2021

Цель работы: изучение принципов построения и схем, статических и динамических режимов работы синхронных двухступенчатых триггеров.

Вариант 14

14	$(\bar{J} \vee Q)(K \vee \bar{Q})$	D-триггер
----	------------------------------------	-----------

Ход работы.

1. Исследование синхронного D-триггера с двухступенчатым запоминанием информации с инвертором синхросигнала в статическом режиме. Для этого необходимо:

- собрать схему D-триггера, у которого 1-я ступень - D-триггер со статическим управлением записью, 2-я ступень – RS- или D-триггер со статическим управлением записью согласно варианту задания. В качестве RS- или D-триггеров использовать макросхемы;
- к выходам Q' и Q первой и второй ступеней триггера подключить световые индикаторы;
- задавая с помощью переключателей тестовые сигналы 0 и 1 на входах D и C (как в работе №1), снять таблицу переходов триггера. Начальное состояние триггера устанавливается с помощью переключателей сигналов 0 и 1 на асинхронных входах Sa и Ra триггера. По таблице переходов проанализировать правильность работы триггера.

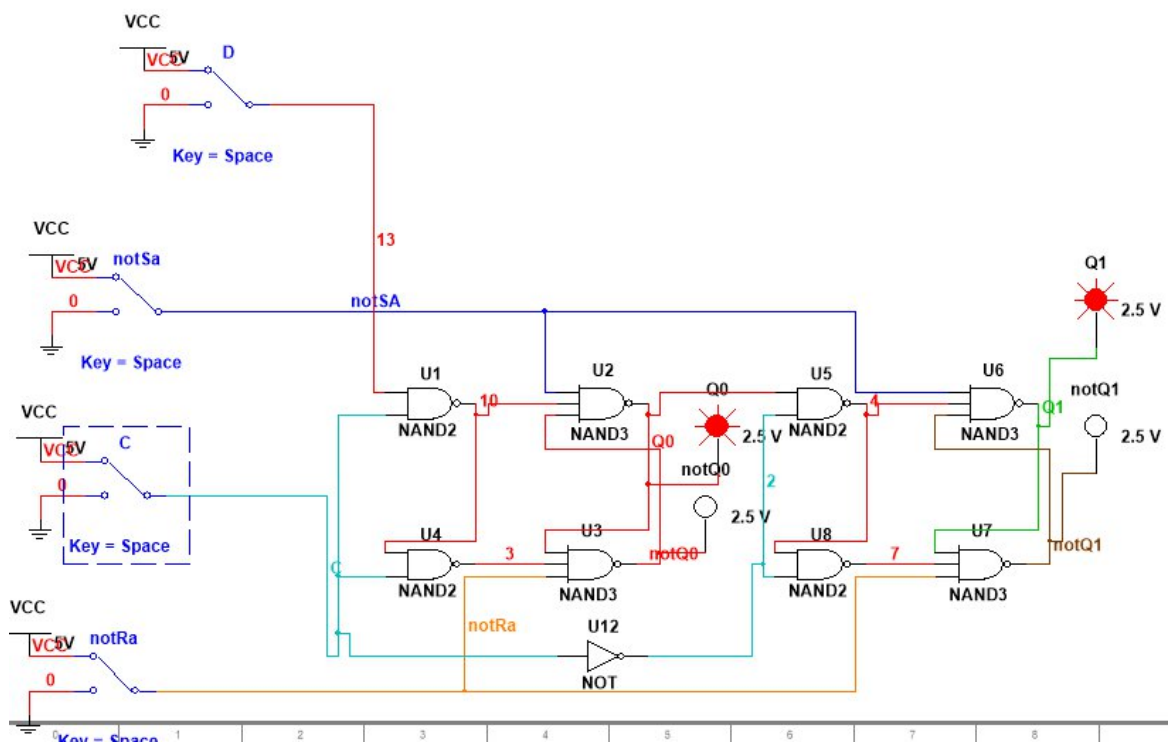


Рисунок 1 - D-триггер с двухступенчатым запоминанием информации

Таблица 1 - таблица переходов триггера

D	C	Q ₀	notQ ₀	Q ₁	notQ ₁
1	0	0	1	0	1
1	1	1	0	0	1
1	0	1	0	1	0
0	0	1	0	1	0
0	1	0	1	1	0
0	0	0	1	0	1

Исходя из данных таблицы 1 можно заключить, что триггер работает корректно.

2. Исследование синхронного JK-триггера с двухступенчатым запоминанием информации с инвертором синхросигнала в статическом режиме. Для этого необходимо:

- собрать схему JK-триггера, включив на D-входе D-триггера (см. п.1 задания) логическую схему, формирующую функцию выхода JK-триггера согласно варианту (табл.3);

- задавая с помощью переключателей тестовые сигналы 0 и 1 на входах J, K и C (как в работе №1), снять таблицу переходов триггера. Начальное состояние триггера устанавливается с помощью переключателей сигналов 0 и 1 на асинхронных входах Sa и Ra триггера. По таблице переходов проанализировать правильность работы JK-триггера.

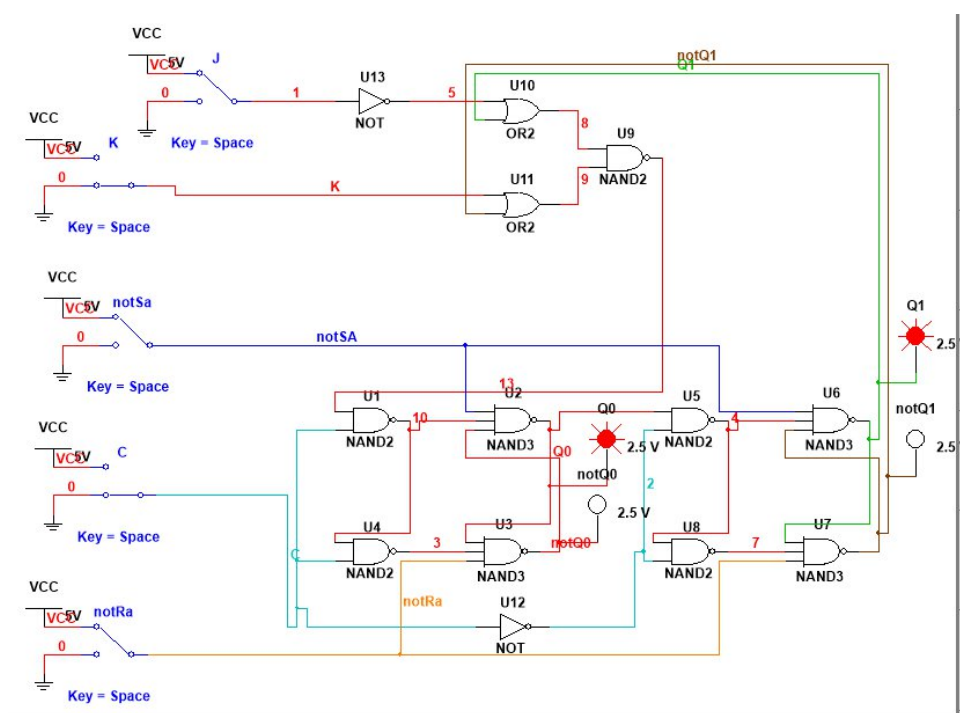


Рисунок 2 - синхронный JK-триггер

Таблица 2 - таблица переходов JK-триггера

J	K	C	Q ₀	notQ ₀	Q ₁	notQ ₁
1	1	0	0	1	0	1
1	1	1	1	0	0	1
1	1	0	1	0	1	0
1	1	0	1	0	1	0
1	1	1	0	1	1	0
1	1	0	0	1	0	1
0	1	0	x	x	x	x
0	1	1	0	1	x	x
0	1	0	0	1	0	1
1	0	0	x	x	x	x
1	0	1	1	0	x	x
1	0	0	1	0	1	0
0	0	0	Q _{0t}	notQ _{0t}	Q ₁	notQ _{1t}
0	0	1	Q _{0t}	notQ _{0t}	Q ₁	notQ _{1t}
0	0	0	Q _{0t}	notQ _{0t}	Q ₁	notQ _{1t}

Исходя из таблицы можно заключить, что JK-триггер работает как счетный при двух логических 1 на входах и аналогично RS-триггеру во всех остальных случаях, то есть JK-триггер работает нормально.

3. Исследование синхронного JK-триггера с двухступенчатым запоминанием информации с инвертором синхросигнала в динамическом режиме. Для этого необходимо:

- на входы J и K триггера подать сигналы с первого и второго разрядов двоичного счетчика (ИС 4520 КМОП-логики) соответственно;
- выход генератора (частота 1 МГц) соединить с входом счетчика и через инвертор с входом C триггера;
- снять временную диаграмму сигналов генератора, входных и выходных сигналов синхронного JK-триггера;
- проанализировать работу триггера по временной диаграмме и дать пояснения режимов работы JK-триггера.

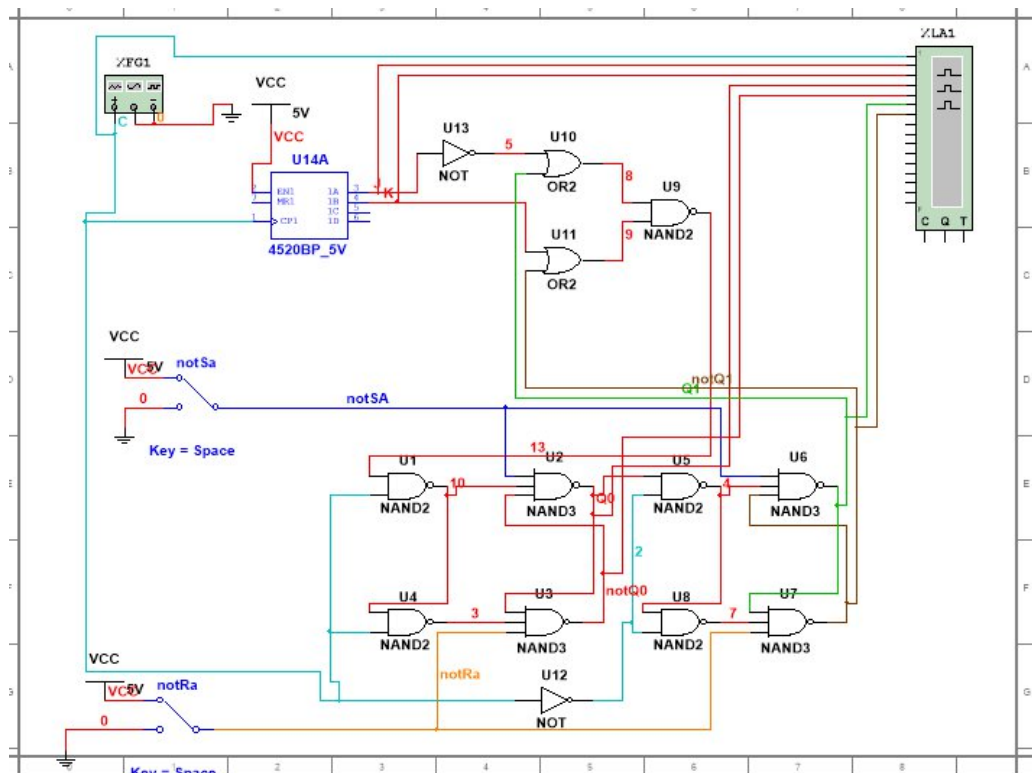


Рисунок 3 - Исследование синхронного JK-триггера динамическом режиме

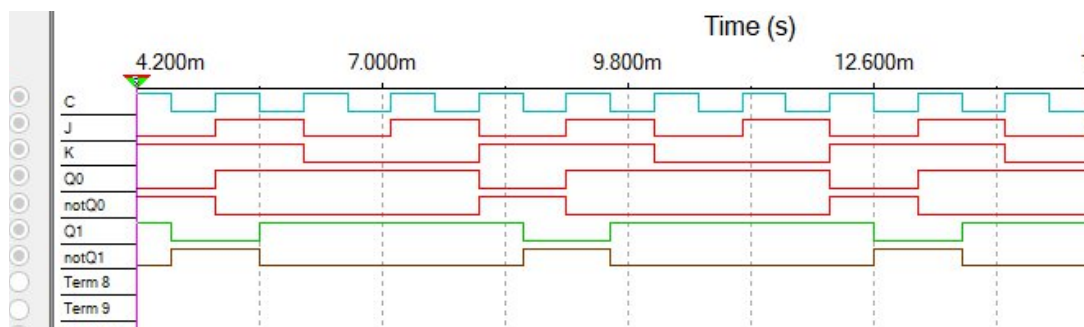


Рисунок 4 - временная диаграмма сигналов

Временная диаграмма подтверждает вывод из пункта 2: JK-триггер работает как счетный при двух логических 1 на входах и аналогично RS-триггеру во всех остальных случаях.

$$D = \text{not}((\text{not-J} \vee Q) \wedge (K \vee \text{not-Q}))$$

$$\text{при } J=1, K=0: D = \text{not}((0 \vee Q) \wedge (0 \vee \text{not-Q})) = \text{not}(Q \wedge \text{not-Q}) = \text{not } 0 = 1$$

$$\text{при } J=0, K=1: D = \text{not}((1 \vee Q) \wedge (1 \vee \text{not-Q})) = \text{not}(1 \wedge 1) = \text{not } 1 = 0$$

$$\text{при } J=1, K=1: D = \text{not}((0 \vee Q) \wedge (1 \vee \text{not-Q})) = \text{not}(Q \wedge 1) = \text{not-Q}$$

4. Исследовать в динамическом режиме работу синхронного JK-триггера, включенного по схеме асинхронного Т-триггера, подавая на вход С сигналы генератора, на вход Т – сигналы второго разряда счетчика.

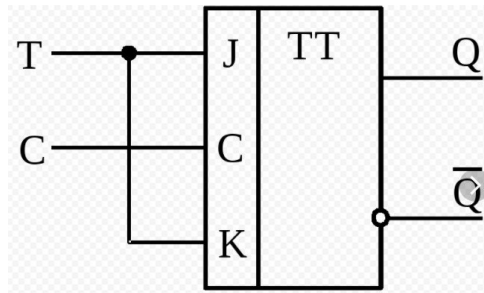


Рисунок 5 - Т-триггер на основе JK-триггера

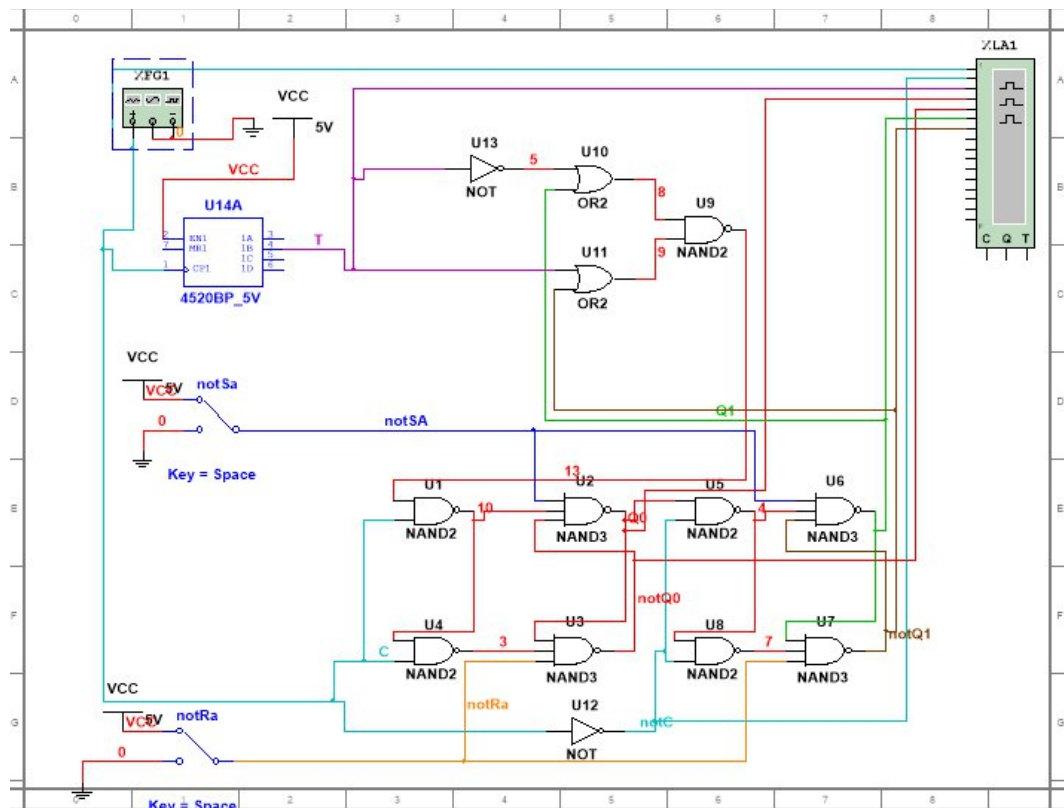


Рисунок 6 - Т-триггер на основе JK-триггера

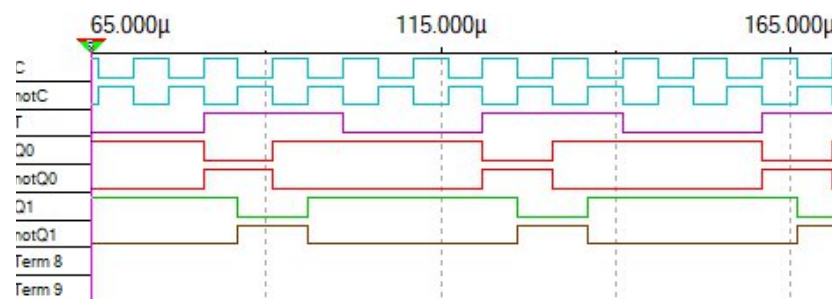


Рисунок 7 - временная диаграмма сигналов

Таким образом при подаче сигнала $T=1$ триггер работает в счетном режиме, аналогично работе при $J=1$, $K=1$ выше.

Вывод: в ходе данной лабораторной работы были изучены принципы построения и работы двухступенчатого D-триггера JK-триггера, T-триггера на основе JK-триггера.