

## Работа №8. Исследование мультиплексоров

Цель работы: изучение принципов построения, практического применения и экспериментального исследования мультиплексоров

Продолжительность работы – 4 часа.

Самостоятельная работа студента включает изучение принципов построения мультиплексоров и подготовку индивидуального задания. Перед началом работы преподаватель проводит собеседование, дает пояснения по выполнению работы с целью теоретической и практической подготовленности студента к лабораторной работе. Студент должен подготовить отчет по каждому пункту раздела «Задание и порядок выполнения работы» и знать методику выполнения каждого пункта задания. После выполнения работы студент обязан представить преподавателю на проверку оформленный индивидуальный отчет. Студент должен уметь отвечать на вопросы к лабораторной работе и знать методику выполнения каждого пункта задания.

### Теоретические сведения

Мультиплексор – это функциональный узел, имеющий  $n$  адресных входов и  $N=2^n$  информационных входов и выполняющий коммутацию на выход того информационного сигнала, адрес (т.е. номер) которого установлен на адресных входах. Иначе мультиплексор – это адресный коммутатор. Мультиплексор обозначается MUX  $N - 1$  или MS  $N - 1$ , т.е. коммутатор, имеющий  $N$  информационных входов и один выход. Мультиплексор переключает сигнал с одной из  $N$  входных линий на один выход.

Мультиплексор реализует логическую функцию

$$Y = EN \cdot \bigvee_{j=0}^{2^n-1} D_j \cdot m_j(A_{n-1}, A_{n-2}, \dots, A_i, \dots, A_1, A_0), \quad (1)$$

где  $A_i$  – адресные входы и сигналы,  $i=0, 1, \dots, n-1$ ;  $D_j$  – информационные входы и сигналы,  $j=0, 1, \dots, 2^n-1$ ;  $m_j$  – конституента единицы (конъюнкция всех переменных  $A_i$ ), номер которой равен числу, образованному двоичным кодом сигналов на адресных входах;  $EN$  – вход и сигнал разрешения (стробирования).

Такой мультиплексор называется мультиплексором с прямым выходом. Выход мультиплексора может быть инверсным. Тогда на этом выходе реализуется функция  $\bar{Y}$ . Некоторые мультиплексоры ИС имеют прямой и инверсный выходы.

Вход разрешения EN используется:

- собственно для разрешения работы мультиплексора,
- для стробирования,
- для наращивания числа информационных входов.

При EN=1 разрешается работа мультиплексора и выполнение им своей функции, при EN=0 работа мультиплексора запрещена и на его выходах устанавливаются неактивные уровни сигналов.

Для исключения на выходе ложных сигналов, вызванных гонками входных сигналов, вход EN используется как стробирующий: для выделения полезного сигнала на вход EN подается сигнал в интервале времени, свободном от действия ложных сигналов.

Мультиплексоры ИС средней степени интеграции строятся по линейной схеме в соответствии с функцией (1). Вариант реализации мультиплексора с четырех входных линий на одну выходную и УГО приведены на рис. 1, а, б соответственно.

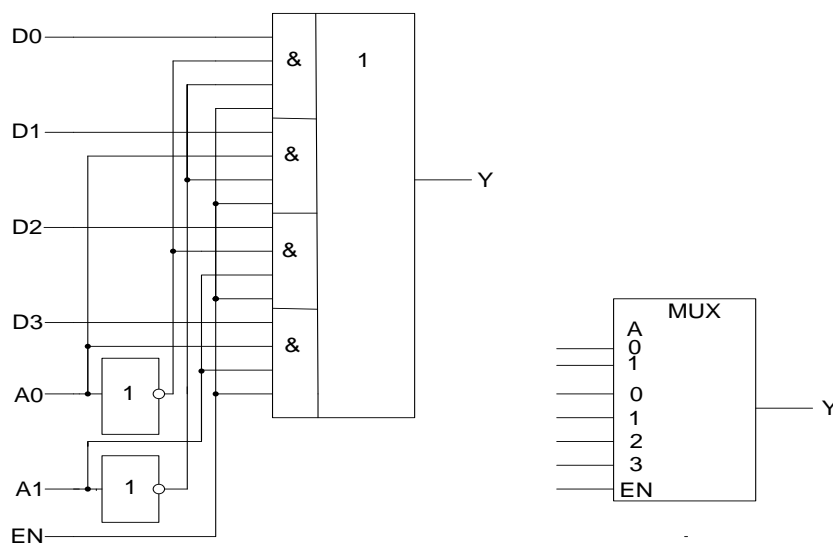


Рис. 1

Мультиплексор MUX 4 – 1 состоит из дешифратора DC 2 – 4, каждый конъюнктор которого имеет дополнительный вход для соответствующего информационного сигнала  $D_j$ . Выходы конъюнкторов объединены по операции ИЛИ дизъюнктором. Выход дизъюнктора является выходом мультиплексора.

Время задержки распространения по каждому тракту передачи сигналов определяется временем задержки цепи последовательно включенных логических элементов соответствующего тракта.

Мультиплексоры широко применяются для построения:

- коммутаторов-селекторов,
- постоянных запоминающих устройств емкостью  $2^n \times 1$  бит,
- комбинационных схем, реализующих функции алгебры логики,
- преобразователей кодов (например, параллельного кода в последовательный) и других узлов.

**Нарращивание мультиплексоров.** ИС Мультиплексоры, выпускаемые в виде самостоятельных ИС, имеют число информационных входов не более шестнадцати. Нарращивание числа коммутируемых каналов выполняется двумя способами:

- по пирамидальной схеме соединения мультиплексоров меньшей размерности,
- путем выбора мультиплексора группы информационных входов по адресу (т.е. номеру) мультиплексора с помощью дешифратора адреса мультиплексора группы, а затем выбором информационного сигнала мультиплексором группы по адресу информационного сигнала в группе.

Информационные входы разделяются на группы по  $N_1$  входов в каждой. Информационные входы каждой группы являются входами простого мультиплексора. Информационным входам и группам присваиваются адреса.

В первой ступени пирамидальной схемы число простых мультиплексоров равно  $(N : N_1)$ ,  $N$  и  $N_1$  – число входов сложного (наращиваемого) и простого мультиплексоров. Младшие  $n_1$  разрядов кода адреса подаются на адресные входы всех мультиплексоров первой ступени, следующие  $n_1$  разрядов кода адреса подаются на адресные входы всех мультиплексоров второй

ступени и т.д. Обычно количество ступеней две, реже – три и более. В первой ступени в каждом мультиплексоре выбираются информационные каналы согласно младшим  $n_1$  разрядам адреса и коммутируются на информационные входы мультиплексоров второй ступени и т.д. На рис. 2 показан мультиплексор MUX 16 – 1, построенный по пирамидальной схеме наращивания числа входов на основе мультиплексоров MUX 4 – 1.

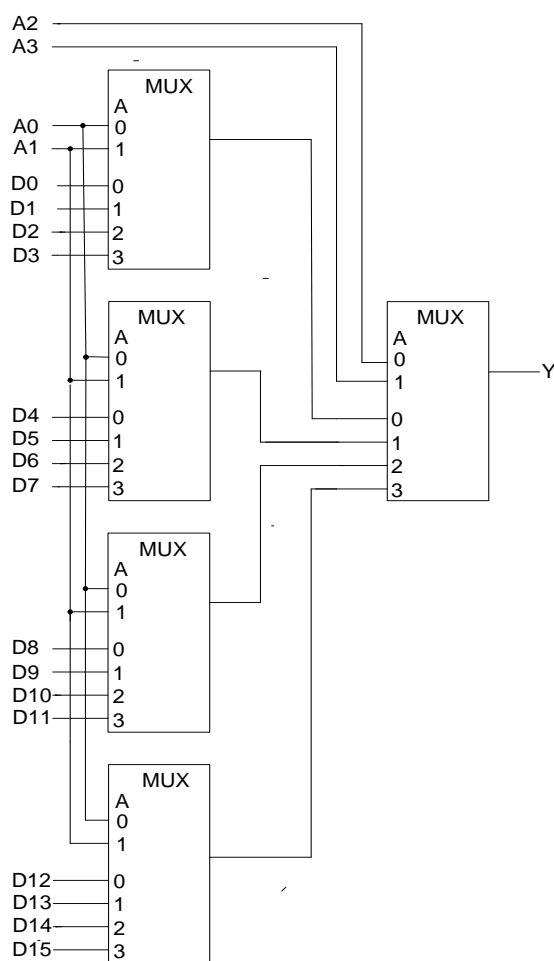


Рис.2

Согласно второму варианту наращивания дешифратор по адресу группы выбирает мультиплексор группы, для чего используется вход разрешения EN простого мультиплексора, а последний выбирает информационный канал из группы. Выходы простых мультиплексоров объединяются по операции ИЛИ. Поэтому выбранный информационный канал выбранной группы подключается к выходу мультиплексора MUX 16 – 1 (Рис. 3).

Наращивание мультиплексора можно проиллюстрировать аналитически. Для построения мультиплексора MUX 16 – 1 требуется четыре мультиплексора MUX 4 – 1, реализующие функции:

$$\begin{aligned} Y_0 &= EN_0 (D_0 \cdot \bar{A}_1 \bar{A}_0 \vee D_1 \cdot \bar{A}_1 A_0 \vee D_2 \cdot A_1 \bar{A}_0 \vee D_3 \cdot A_1 A_0), \\ Y_1 &= EN_1 (D_4 \cdot \bar{A}_1 \bar{A}_0 \vee D_5 \cdot \bar{A}_1 A_0 \vee D_6 \cdot A_1 \bar{A}_0 \vee D_7 \cdot A_1 A_0), \\ Y_2 &= EN_2 (D_8 \cdot \bar{A}_1 \bar{A}_0 \vee D_9 \cdot \bar{A}_1 A_0 \vee D_{10} \cdot A_1 \bar{A}_0 \vee D_{11} \cdot A_1 A_0), \\ Y_3 &= EN_3 (D_{12} \cdot \bar{A}_1 \bar{A}_0 \vee D_{13} \cdot \bar{A}_1 A_0 \vee D_{14} \cdot A_1 \bar{A}_0 \vee D_{15} \cdot A_1 A_0). \end{aligned}$$

Сделав подстановки  $EN_0 = \bar{A}_3 \bar{A}_2$ ,  $EN_1 = \bar{A}_3 A_2$ ,  $EN_2 = A_3 \bar{A}_2$ ,  $EN_3 = A_3 A_2$  и объединяя по операции ИЛИ функции  $Y_0, Y_1, Y_2, Y_3$ , получим

$$\begin{aligned} Y &= Y_0 \vee Y_1 \vee Y_2 \vee Y_3 = \\ &= D_0 \cdot \bar{A}_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 \vee D_1 \cdot \bar{A}_3 \bar{A}_2 \bar{A}_1 A_0 \vee D_2 \cdot \bar{A}_3 \bar{A}_2 A_1 \bar{A}_0 \vee D_3 \cdot \bar{A}_3 \bar{A}_2 A_1 A_0 \vee \\ &\vee D_4 \cdot \bar{A}_3 A_2 \bar{A}_1 \bar{A}_0 \vee D_5 \cdot \bar{A}_3 A_2 \bar{A}_1 A_0 \vee D_6 \cdot \bar{A}_3 A_2 A_1 \bar{A}_0 \vee D_7 \cdot \bar{A}_3 A_2 A_1 A_0 \vee \\ &\vee D_8 \cdot A_3 \bar{A}_2 \bar{A}_1 \bar{A}_0 \vee D_9 \cdot A_3 \bar{A}_2 \bar{A}_1 A_0 \vee D_{10} \cdot A_3 \bar{A}_2 A_1 \bar{A}_0 \vee D_{11} \cdot A_3 \bar{A}_2 A_1 A_0 \vee \\ &\vee D_{12} \cdot A_3 A_2 \bar{A}_1 \bar{A}_0 \vee D_{13} \cdot A_3 A_2 \bar{A}_1 A_0 \vee D_{14} \cdot A_3 A_2 A_1 \bar{A}_0 \vee D_{15} \cdot \\ &A_3 A_2 A_1 A_0 = \\ &= \bigvee_{j=0}^{15} D_j \cdot m_j(A_3, A_2, A_1, A_0). \end{aligned}$$

Функции  $\bar{A}_3 \bar{A}_2$ ,  $\bar{A}_3 A_2$ ,  $A_3 \bar{A}_2$ ,  $A_3 A_2$  реализуются дешифратором DC 2-4 адресных переменных  $A_3, A_2$  (рис.3).

**Реализация функций алгебры логики (ФАЛ) на мультиплексорах.** На основе мультиплексора, имеющего  $n$  адресных входов, можно реализовать ФАЛ  $(n+1)$  переменных.

**Примечание.** Реализация ФАЛ  $n$  переменных на мультиплексоре с  $n$  адресными входами тривиальна: на адресные входы подаются переменные, на информационные входы – значения ФАЛ на соответствующих наборах переменных. На выходе мультиплексора образуются значения ФАЛ в соответствии с наборами переменных. В этом случае мультиплексор выполняет функцию ПЗУ.

Для реализации ФАЛ  $n+1$  переменных на адресные входы мультиплексора подаются  $n$  переменных, на информационные входы –  $(n+1)$ -я переменная или ее инверсия, константы 0 или 1 в соответствии со значениями ФАЛ.

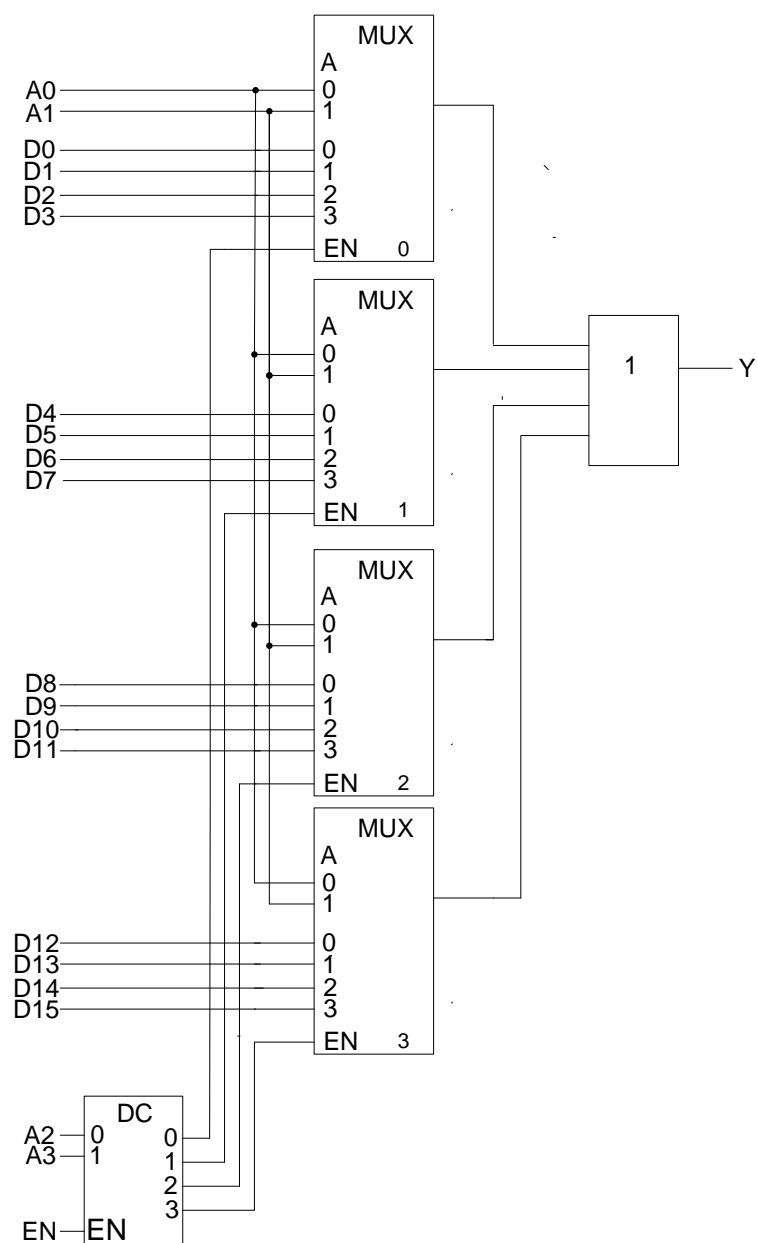


Рис.3

**Пример.** Реализовать ФАЛ  $f(x_4, x_3, x_2, x_1)$  четырех переменных  $x_4, x_3, x_2, x_1$ , заданную таблицей истинности (табл.1), на мультиплексоре MUX 8 – 1.

**Решение.** На адресные входы задаем переменные  $x_4, x_3, x_2$ :  $A_2 = x_4$ ,  $A_1 = x_3$ ,  $A_0 = x_2$ , на информационные входы -  $x_1, \overline{x_1}, 0$  или  $1$  в соответствии с табл.1.

Таблица 1

| № набора | $X_4$ | $X_3$ | $X_2$ | $X_1$ | $f$ | Примечание             |
|----------|-------|-------|-------|-------|-----|------------------------|
| 0        | 0     | 0     | 0     | 0     | 1   | $D_0 = 1$              |
| 1        | 0     | 0     | 0     | 1     | 1   |                        |
| 2        | 0     | 0     | 1     | 0     | 1   | $D_1 = \overline{X_1}$ |
| 3        | 0     | 0     | 1     | 1     | 0   |                        |
| 4        | 0     | 1     | 0     | 0     | 0   | $D_2 = X_1$            |
| 5        | 0     | 1     | 0     | 1     | 1   |                        |
| 6        | 0     | 1     | 1     | 0     | 0   | $D_3 = 0$              |
| 7        | 0     | 1     | 1     | 1     | 0   |                        |
| 8        | 1     | 0     | 0     | 0     | 0   | $D_4 = 0$              |
| 9        | 1     | 0     | 0     | 1     | 0   |                        |
| 10       | 1     | 0     | 1     | 0     | 1   | $D_5 = \overline{X_1}$ |
| 11       | 1     | 0     | 1     | 1     | 0   |                        |
| 12       | 1     | 1     | 0     | 0     | 1   | $D_6 = 1$              |
| 13       | 1     | 1     | 0     | 1     | 1   |                        |
| 14       | 1     | 1     | 1     | 0     | 1   | $D_7 = 1$              |
| 15       | 1     | 1     | 1     | 1     | 1   |                        |

Рассматривая попарно строки таблицы, в которых переменные  $x_4, x_3, x_2$  неизменны, определяем значения переменной  $x_1$ , констант 0 и 1, которые нужно задать для каждой пары строк сигналами на информационных входах мультиплексора, чтобы на его выходе получить сигналы, соответствующие значениям ФАЛ:  $D_0=1, D_1=\overline{x_1}, D_2=x_1, D_3=0, D_4=0, D_5=\overline{x_1}, D_6=1, D_7=1$  (рис. 4).

### Аналоговые мультиплексоры

Мультиплексоры КМОП-логики, в которых для коммутации каналов используются двунаправленные ключи (рис. 5), могут переключать как цифровые, так и аналоговые напряжения. Цифровой сигнал – это частный случай аналогового сигнала. Такие мультиплексоры называют аналоговыми.

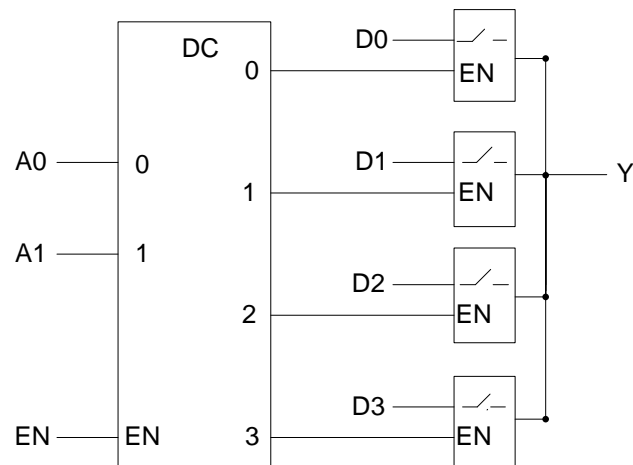


Рис. 5

Аналоговые мультиплексоры можно использовать как демультимплексоры. В этом случае информационным входом является объединенный вывод двунаправленных ключей, а выходами — их отдельные выводы. Аналоговыми мультиплексорами являются мультиплексоры ИС К561КП1, К561КП2, ADG408, ADG508 и др

### Задание и порядок выполнения работы

1. Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатора MUX 8 – 1 цифровых сигналов:

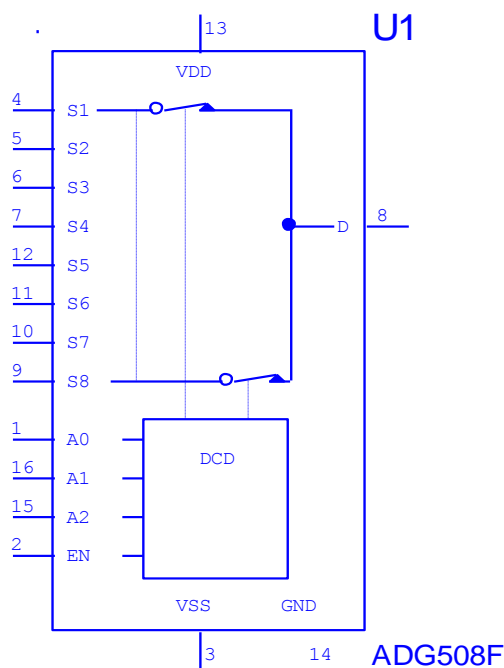


Рис. 6



а) на информационные входы  $D_0 \dots D_7$  мультиплексора подать комбинацию сигналов, заданную преподавателем из табл. 2. Логические уровни 0 и 1 задавать источниками напряжения  $U=5$  В и 0 В (общая);

б) на адресные входы  $A_2, A_1, A_0$  подать сигналы  $Q_3, Q_2, Q_1$  соответственно с выходов 4-разрядного двоичного счетчика (младший разряд –  $Q_0$ ). На вход счетчика подать импульсы генератора с частотой 500 кГц.

в) снять временную диаграмму сигналов при  $EN=1$  и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.

2. Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

а) на информационные входы  $D_0 \dots D_7$  мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Multisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;

б) на адресные входы  $A_2, A_1, A_0$  подать сигналы  $Q_3, Q_2, Q_1$  соответственно с выходов 4-разрядного двоичного счетчика (младший разряд –  $Q_0$ ). На вход счетчика подать импульсы генератора с частотой 500 кГц;

в) снять временную диаграмму сигналов при  $EN=1$  и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.

3. Исследование ИС ADG408 или ADG508 (рис.6) как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАЛ четырех переменных. ФАЛ задается преподавателем из табл. 2.

Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАЛ и провести ее анализ.

4. Нарращивание мультиплексора.

Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора DC 2-4 (рис.2, второй вариант наращивания, см. выше). Исследовать мультиплексора MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы  $D_0 \dots D_{15}$  – из табл. 2. Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1. мультиплексора MUX 16 – 1.

5. Составить отчет.

### **Требования к отчету**

Отчет должен содержать электрические функциональные схемы исследуемых мультиплексоров, временные диаграммы процессов в схемах, результаты исследований и их анализ.

### **Контрольные вопросы**

1. Что такое мультиплексор?
2. Какую логическую функцию выполняет мультиплексор?
3. Каково назначение и использование входа разрешения?
4. Какие функции может выполнять мультиплексор?
5. Какие способы наращивания мультиплексоров?
6. Поясните методику синтеза формирователя ФАЛ на мультиплексоре?
7. Почему возникают ложные сигналы на выходе мультиплексора? Как их устранить?