



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.01 Информатика и вычислительная техника

О Т Ч Е Т

по лабораторной работе № 1

Название: Исследование дешифраторов

Дисциплина: Схемотехника

Студент

ИУ6-52Б

(Группа)

(Подпись, дата)

С.В. Астахов

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

Т.А. Ким

(И.О. Фамилия)

Москва, 2021

Цель работы: изучение принципов построения и методов синтеза дешифраторов; макетирование и экспериментальное исследование дешифраторов.

Ход работы.

1. Исследование линейного двухвходового дешифратора с инверсными выходами:

а) Собрать линейный стробируемый дешифратор на элементах 3И-НЕ; наборы входных адресных сигналов A0, A1, задать с выходов Q0, Q1, четырехразрядного счетчика; подключить световые индикаторы к выходам счетчика и дешифратора;

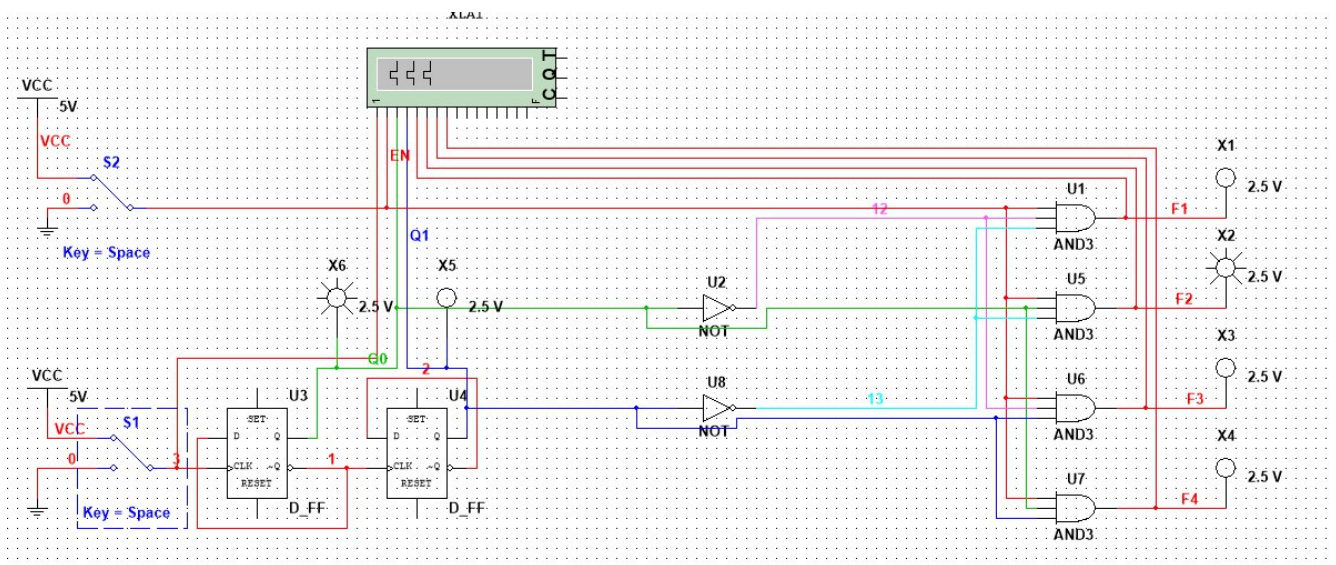


Рисунок 1 - схема линейного стробируемого дешифратора 2-4

б) Подать на вход счетчика сигнал с выхода ключа (Switch) лог. 0 и 1 как генератора одиночных импульсов; изменяя состояние счетчика с помощью ключа, составить таблицу истинности нестробируемого дешифратора (т.е. при EN=1);

Изменяя состояние счетчика с помощью ключа и опираясь на показания световых индикаторов составим таблицу истинности нестробируемого дешифратора (Таблица 1).

Таблица 1 - таблица истинности нестробируемого дешифратора.

Q_0	Q_1	F_0	F_1	F_2	F_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

в) Подать на вход счетчика прямоугольный сигнал генератора и снять временные диаграммы сигналов дешифратора; временные диаграммы здесь и в дальнейшем наблюдать на логическом анализаторе;

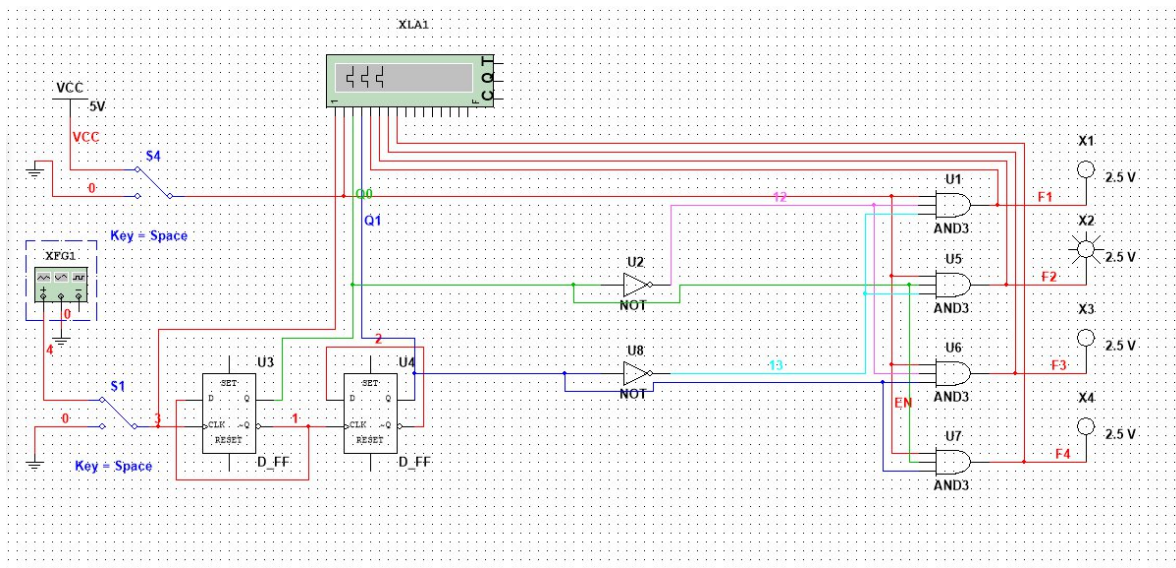


Рисунок 2 - схема линейного стробируемого дешифратора с функциональным генератором

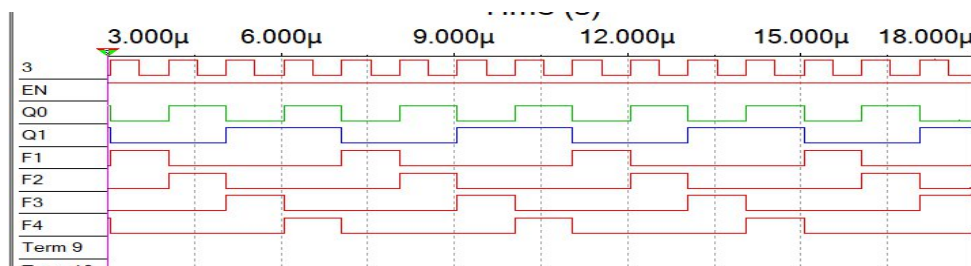


Рисунок 3 - временная диаграмма сигналов дешифратора

г) Определить амплитуду помех, вызванных гонками, на выходах дешифратора;

В данном случае помехи слишком малы, чтобы их изучить.

д) Снять временные диаграммы сигналов стробируемого дешифратора; в качестве стробирующего сигнала использовать инверсный прямоугольный сигнал генератора, задержанный линией задержки логических элементов (повторителей и инверторов);

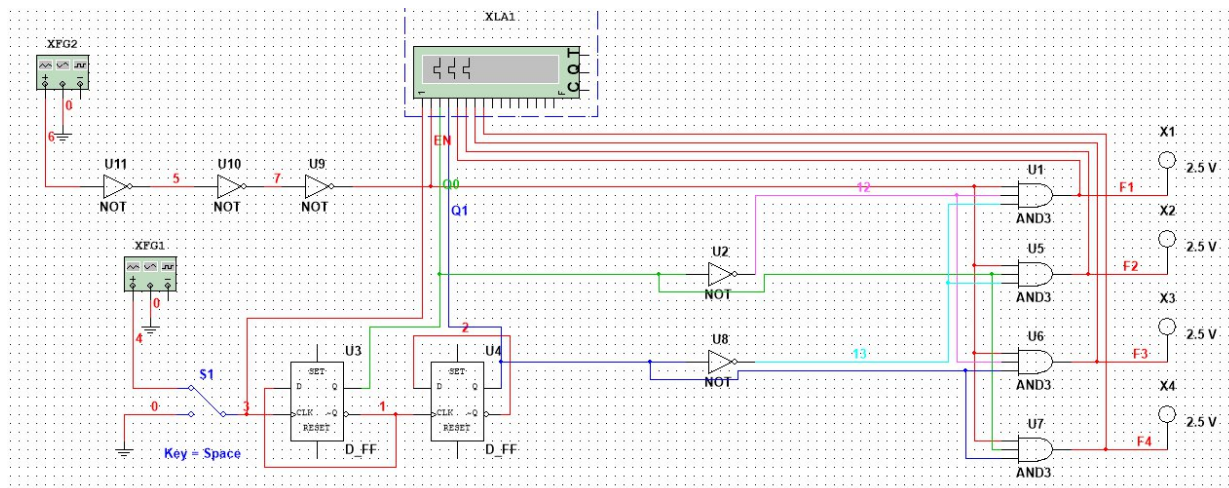


Рисунок 4 - схема линейного стробируемого дешифратора с задержкой стробирующего сигнала

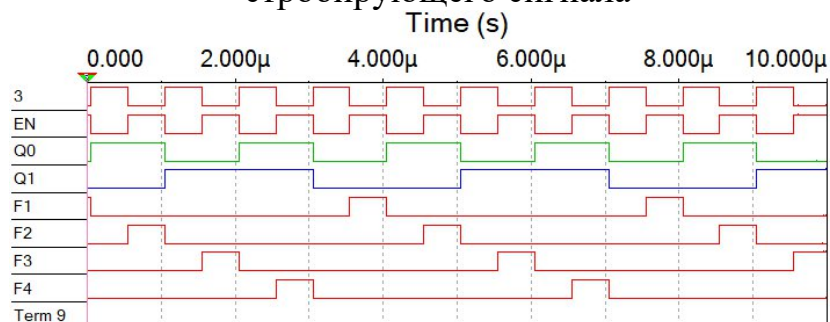


Рисунок 5 - временная диаграмма сигналов стробируемого дешифратора с задержкой стробирующего сигнала

е) Определить время задержки, необходимое для исключения помех на выходах дешифратора, вызванных гонками.

В данном случае помехи изначально были пренебрежимо малы.

2) Исследование дешифраторов ИС К155ИД4 (74LS155)

а) Снять временные диаграммы сигналов двухвходового дешифратора, подавая на его адресные входы 1 и 2 сигналы Q0 и Q1 выходов счетчика, а на стробирующие входы 3 и 4 – прямоугольные импульсы генератора, задержанные линией задержки;

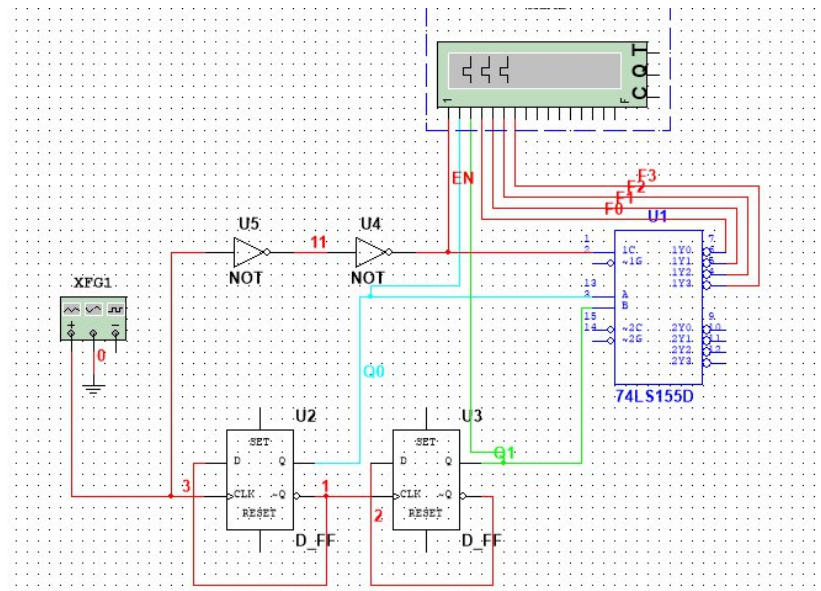


Рисунок 6 - дешифратор K155ИД4 (74LS155) с задержкой стробирующего сигнала

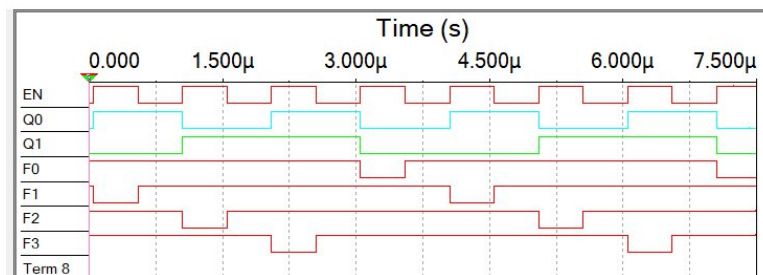


Рисунок 7 - временная диаграмма сигналов двухвходового дешифратора

б) Определить время задержки стробирующего сигнала, необходимое для исключения помех на выходах дешифратора;

В данном случае, заданная в изначальной схеме задержка уже исключает помехи.

в) Собрать схему трехвходового дешифратора на основе дешифратора K155ИД4(74LS155), задавая входные сигналы A0, A1, A2 с выходов Q0, Q1, Q2 счетчика; снять временные диаграммы сигналов дешифратора и составить по ней таблицу истинности.

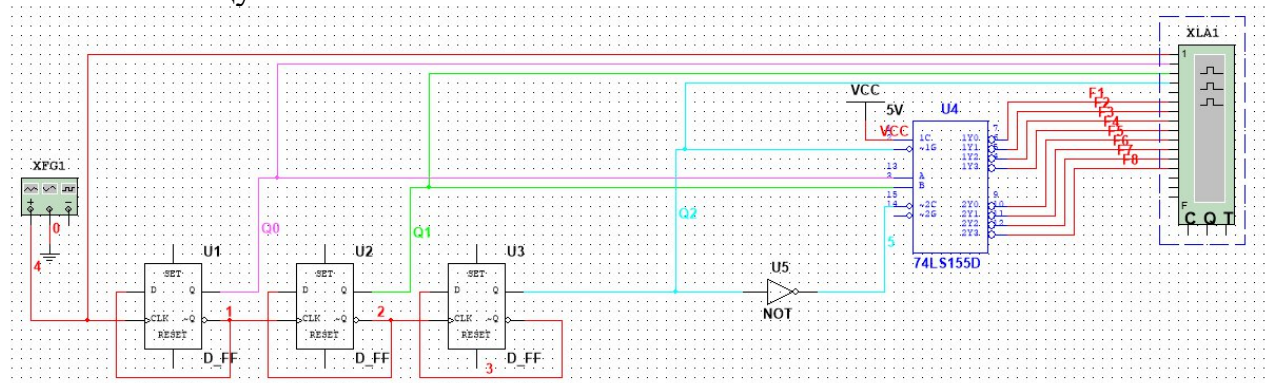


Рисунок 8 - схема трехвходового дешифратора на основе дешифратора K155ИД4(74LS155)

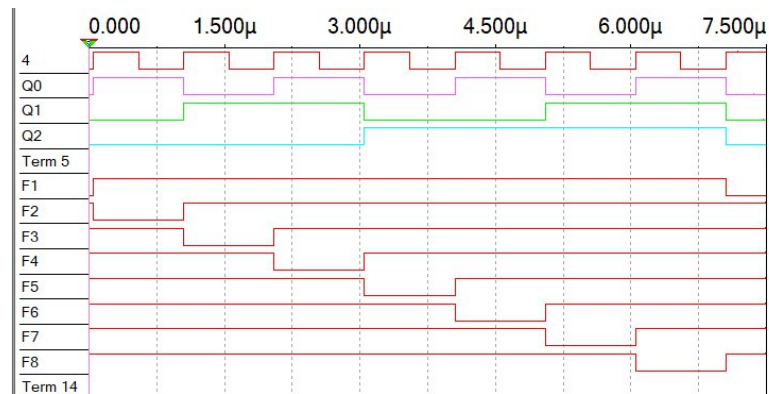


Рисунок 9 - временная диаграмма сигналов трехвходового дешифратора

Составим на основе данной диаграммы таблицу истинности для трехвходового дешифратора (Таблица 2).

Таблица 2 - таблица истинности трехвходового дешифратора

Q ₀	Q ₁	Q ₂	F ₀	F ₁	F ₂	F ₃	F ₄	F ₅	F ₆	F ₇
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

3) Исследование дешифраторов ИС КР531ИД14 (74LS139) аналогично п.2. ИС 74LS139 содержит два дешифратора DC 2-4 (U1A и U1B, см. рис. ниже) с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции $1 \cdot 2$, ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.

Составим схему трехвходового дешифратора на основе дешифраторов ИС КР531ИД14 (74LS139).

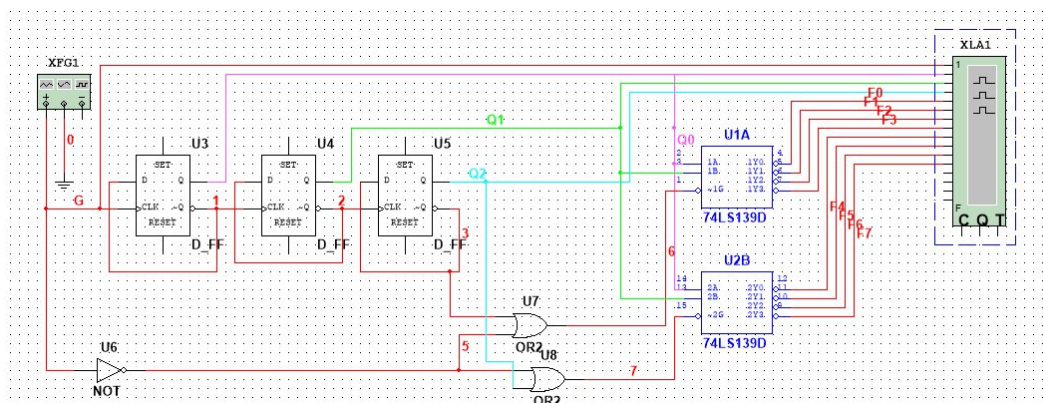


Рисунок 10 - трехвходовый дешифратор на основе дешифратора ИС KP531ИД14 (74LS139)

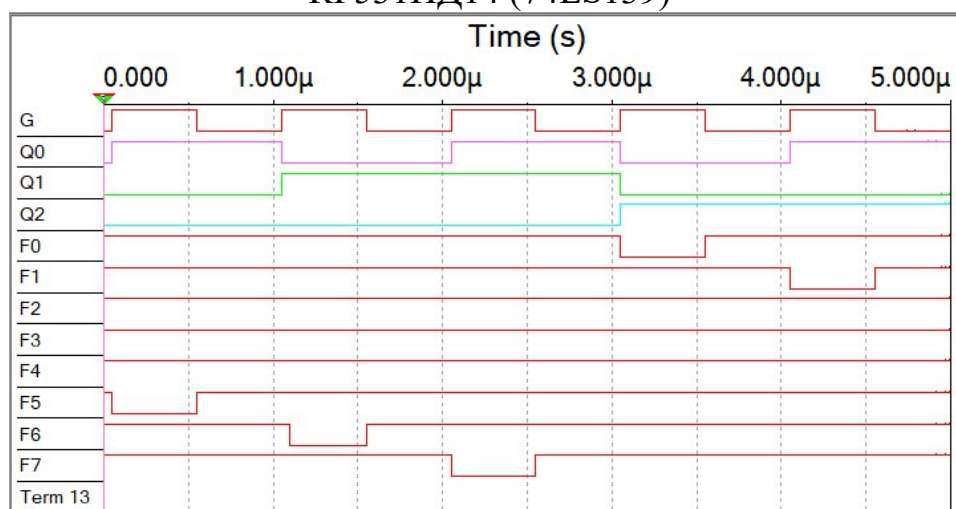


Рисунок 11 - временная диаграмма выходных сигналов для трехвходового дешифратора

На основе временной диаграммы составим таблицу истинности для данного дешифратора (Таблица 3).

Таблица 3 - таблица истинности трехвходового дешифратора

Q ₀	Q ₁	Q ₂	F ₀	F ₁	F ₂	F ₃	F ₄	F ₅	F ₆	F ₇
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

4) Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138)

а) Снять временные диаграммы сигналов нестробируемого дешифратора DC 3-8 ИС533ИД7, подавая на его адресные входы 1, 2, 4 сигналы Q₀, Q₁, Q₂

с выходов счетчика, а на входы разрешения E1, E2, E3 – сигналы лог. 1, 0, 0 соответственно;

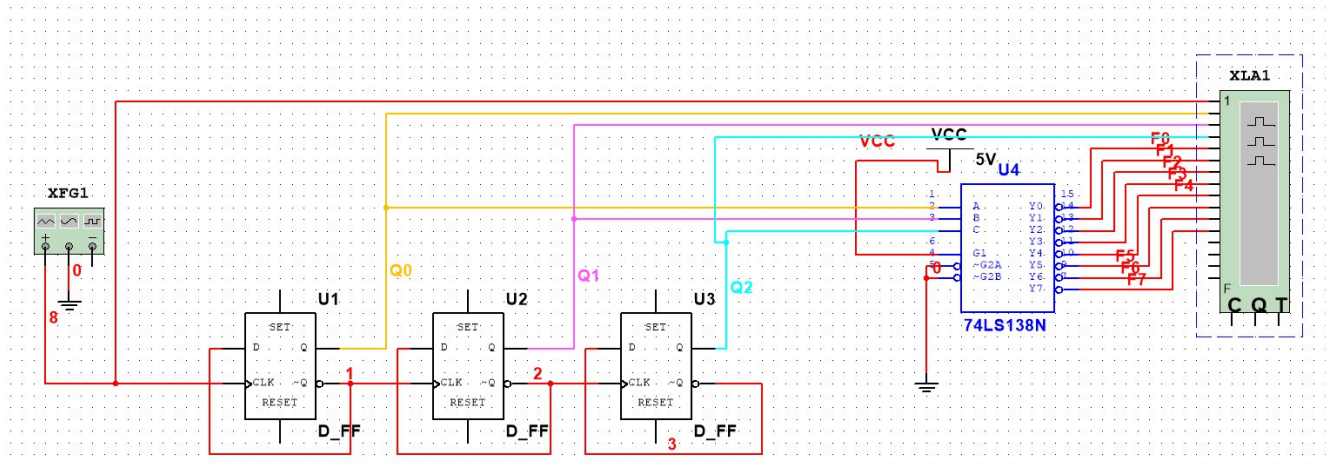


Рисунок 12 - схема с дешифратором 533ИД7 (74LS138)

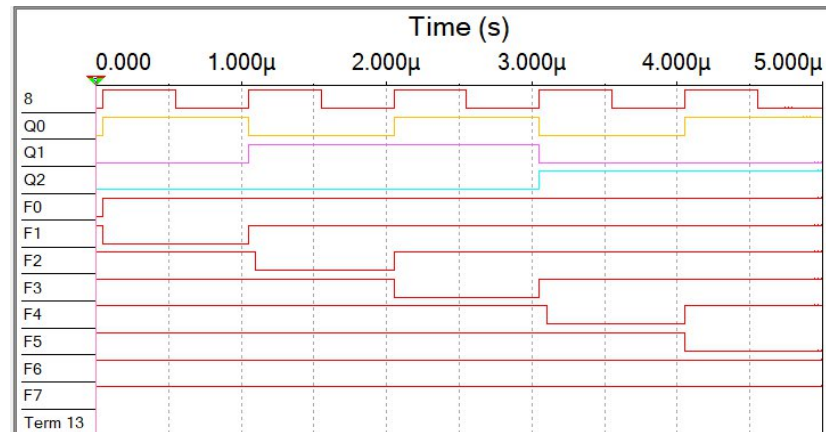


Рисунок 13 - временные диаграммы выходных сигналов 533ИД7 (74LS138)

б) Собрать схему дешифратора DC 5-32 согласно методике наращивания числа входов и снять временные диаграммы сигналов, подавая на его адресные входы сигналы Q0, Q1, Q2, Q3, Q4 с выходов 5-разрядного счетчика, а на входы разрешения – импульсы генератора, задержанные линией задержки макета.

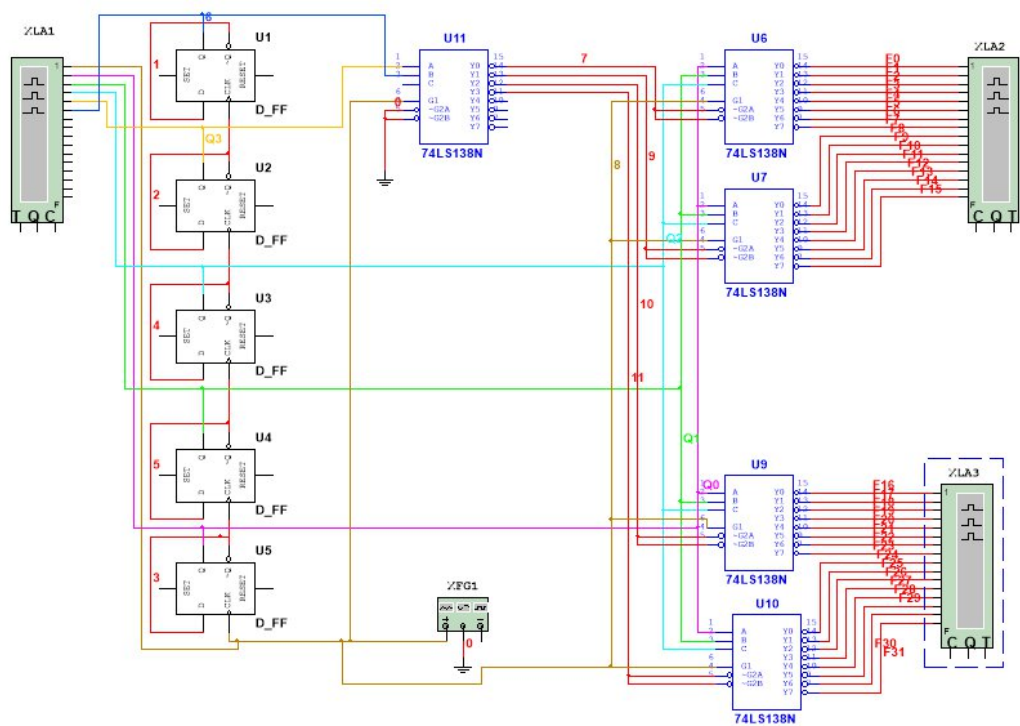


Рисунок 14 - схема дешифратора 5-32

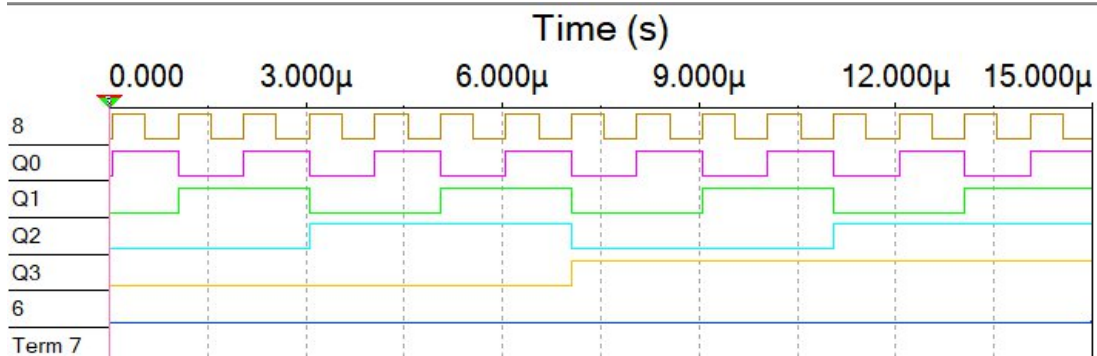


Рисунок 15 - временная диаграмма входных сигналов

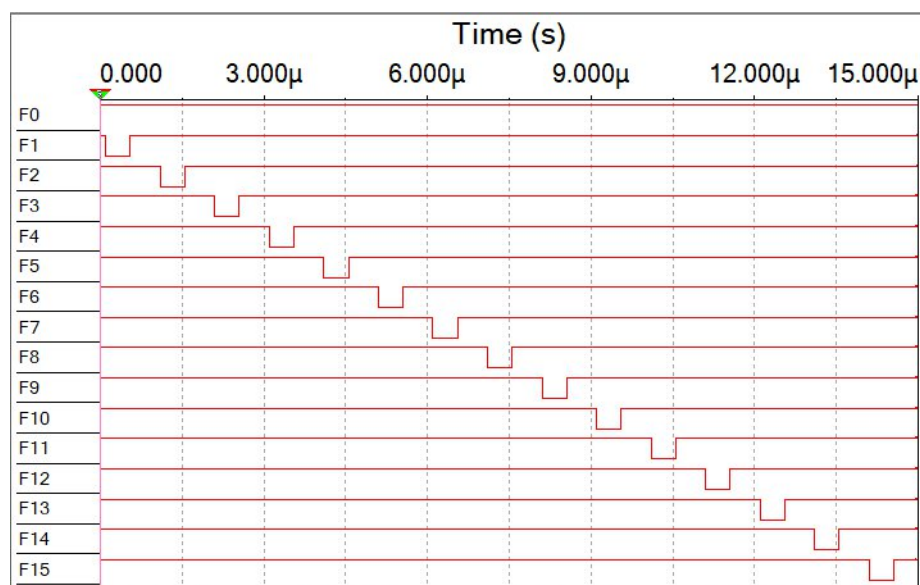


Рисунок 16 - временная диаграмма выходных сигналов 0-15

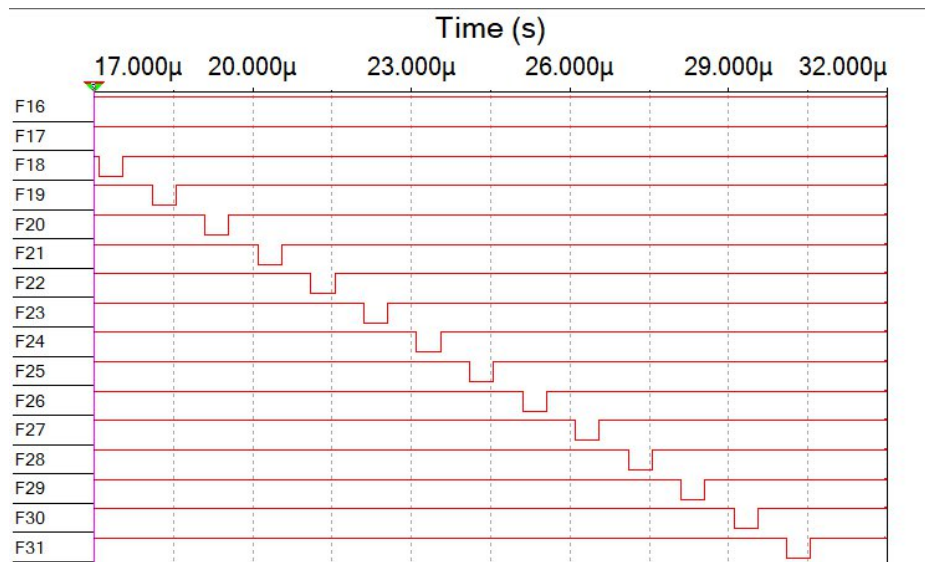


Рисунок 17 - временная диаграмма выходных сигналов 16-31

Вывод: в ходе лабораторной работы были изучены принципы работы, построения и методы синтеза дешифраторов.

