

ЛАБОРАТОРНАЯ РАБОТА №2 ИССЛЕДОВАНИЕ МУЛЬТИПЛЕКСОРОВ

ВАРИАНТЫ (ПЕРВАЯ ПОДГРУППА)

№ варианта	Входы D_0, \dots, D_7								Логическая функция 3
1	2								3
1	0	0	1	1	0	0	1	1	0, 2, 6, 7, 8, 9, 12, 14, 15
2	0	1	1	1	0	1	1	1	0, 4, 5, 6, 7, 8, 9, 10, 11, 14
3	1	0	1	1	0	1	0	1	2, 3, 4, 5, 6, 8, 10, 12, 13
4	1	1	0	1	1	0	0	1	3, 6, 7, 8, 11, 12, 13, 15
5	1	1	1	0	0	1	1	1	3, 4, 5, 7, 9, 10, 11, 12, 13
6	0	1	0	1	1	1	0	1	1, 2, 3, 6, 8, 9, 10, 12, 13
7	1	0	1	0	0	1	0	1	1, 2, 3, 5, 9, 10, 12, 13, 14
8	1	0	1	0	1	0	0	1	0, 1, 2, 4, 9, 11, 12, 13, 15
9	1	1	0	0	1	1	1	0	0, 3, 7, 8, 9, 11, 12, 14, 15
10	1	0	0	0	1	1	1	0	1, 3, 5, 6, 7, 8, 10, 11, 14
11	1	0	0	1	1	1	0	0	0, 4, 6, 7, 9, 10, 12, 13, 14
12	0	0	1	1	1	0	1	0	3, 4, 5, 7, 8, 9, 13, 14, 15
13	1	1	0	1	1	0	1	1	1, 2, 3, 5, 8, 9, 11, 12, 15
14	1	0	1	0	0	1	0	1	0, 1, 2, 5, 6, 7, 9, 11, 12
15	1	0	0	1	1	0	0	1	0, 3, 4, 5, 6, 8, 9, 11, 13
16	0	0	1	1	1	0	0	0	0, 3, 4, 7, 8, 12, 14
17	0	1	1	0	0	1	1	1	1, 2, 4, 5, 8, 11, 12, 15
18	1	0	0	1	0	0	1	0	0, 3, 6, 7, 9, 10, 13, 14
19	1	1	0	0	0	1	1	0	0, 1, 3, 4, 7, 9, 10, 11, 13
20	0	1	1	0	0	1	1	1	0, 3, 6, 7, 10, 11, 12, 13, 15
21	1	1	0	0	1	1	1	0	1, 2, 6, 7, 11, 12, 13, 14
22	1	1	1	1	0	1	0	0	0, 4, 5, 7, 8, 9, 10, 14
23	0	0	0	0	1	1	0	1	0, 1, 2, 5, 8, 10, 12, 13, 14
24	0	0	0	1	1	0	0	1	1, 2, 3, 5, 7, 8, 10, 12, 15
25	0	0	0	1	0	1	0	1	0, 5, 6, 7, 8, 12, 14, 15
26	1	0	1	1	1	0	1	0	2, 3, 4, 5, 8, 10, 12, 14
27	1	1	9	1	1	1	9	9	1, 3, 4, 7, 8, 11, 12, 15
28	1	1	0	0	0	0	1	0	0, 1, 5, 7, 9, 13, 14, 15
29	1	0	1	1	1	0	1	0	0, 3, 4, 8, 11, 12, 14, 15
30	1	1	1	1	0	0	1	0	1, 4, 8, 9, 10, 11, 12, 15
31	1	0	0	1	1	0	1	0	0, 1, 2, 4, 5, 6, 9, 10, 13

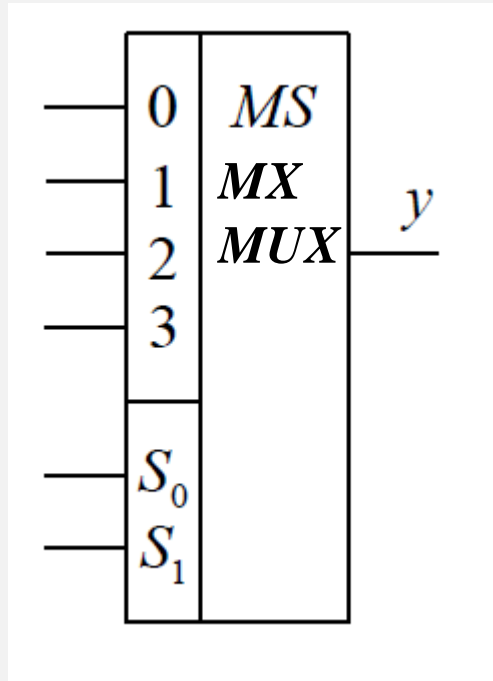
Первая подгруппа (3Н)	
Фамилия Имя	Варианты (для ЛР)
Ашуров Давид	1
Бобренко Иван	2
Вариханов Денис	3
Иовлев Артур	4
Кадыров Тимерлан	5
Кутелев Никита	6
Луньков Клим	7
Марчук Иван	8
Медведев Александр	9
Намнанов Арслан	10
Насибуллин Данил	11
Самарская Валерия	12
Хабаров Марк	13

ВАРИАНТЫ (ВТОРАЯ ПОДГРУППА)

№ варианта	Входы D_0, \dots, D_7								Логическая функция
1	2								3
1	0	0	1	1	0	0	1	1	0, 2, 6, 7, 8, 9, 12, 14, 15
2	0	1	1	1	0	1	1	1	0, 4, 5, 6, 7, 8, 9, 10, 11, 14
3	1	0	1	1	0	1	0	1	2, 3, 4, 5, 6, 8, 10, 12, 13
4	1	1	0	1	1	0	0	1	3, 6, 7, 8, 11, 12, 13, 15
5	1	1	1	0	0	1	1	1	3, 6, 5, 7, 9, 10, 11, 12, 13
6	0	1	0	1	1	1	0	1	1, 2, 3, 6, 8, 9, 10, 12, 13
7	1	0	1	0	0	1	0	1	1, 2, 3, 5, 9, 10, 12, 13, 14
8	1	0	1	0	1	0	0	1	0, 1, 2, 4, 9, 11, 12, 13, 15
9	1	1	0	0	1	1	1	0	0, 3, 7, 8, 9, 11, 12, 14, 15
10	1	0	0	0	1	1	1	0	1, 3, 5, 6, 7, 8, 10, 11, 14
11	1	0	0	1	1	1	0	0	0, 4, 6, 7, 9, 10, 12, 13, 14
12	0	0	1	1	1	0	1	0	3, 4, 5, 7, 8, 9, 13, 14, 15
13	1	1	0	1	1	0	1	1	1, 2, 3, 5, 8, 9, 11, 12, 15
14	1	0	1	0	0	1	0	1	0, 1, 2, 5, 6, 7, 9, 11, 12
15	1	0	0	1	1	0	0	1	0, 3, 4, 5, 6, 8, 9, 11, 13
16	0	0	1	1	1	0	0	0	0, 3, 4, 7, 8, 12, 14
17	0	1	1	0	0	1	1	1	1, 2, 4, 5, 8, 11, 12, 15
18	1	0	0	1	0	0	1	0	0, 3, 6, 7, 9, 10, 13, 14
19	1	1	0	0	0	1	1	0	0, 1, 3, 4, 7, 9, 10, 11, 13
20	0	1	1	0	0	1	1	1	0, 3, 6, 7, 10, 11, 12, 13, 15
21	1	1	0	0	1	1	1	0	1, 2, 6, 7, 11, 12, 13, 14
22	1	1	1	1	0	1	0	0	0, 4, 5, 7, 8, 9, 10, 14
23	0	0	0	0	1	1	0	1	0, 1, 2, 5, 8, 10, 12, 13, 14
24	0	0	0	1	1	0	0	1	1, 2, 3, 5, 7, 8, 10, 12, 15
25	0	0	0	1	0	1	0	1	0, 5, 6, 7, 8, 12, 14, 15
26	1	0	1	1	1	0	1	0	2, 3, 4, 5, 8, 10, 12, 14
27	1	1	9	1	1	1	9	9	1, 3, 4, 7, 8, 11, 12, 15
28	1	1	0	0	0	0	1	0	0, 1, 5, 7, 9, 13, 14, 15
29	1	0	1	1	1	0	1	0	0, 3, 4, 8, 11, 12, 14, 15
30	1	1	1	1	0	0	1	0	1, 4, 8, 9, 10, 11, 12, 15
31	1	0	0	1	1	0	1	0	0, 1, 2, 4, 5, 6, 9, 10, 13

Вторая подгруппа (3Н)	
Фамилия Имя	Варианты (для ЛР)
Астахов Сергей	14
Баканов Роман	15
Гендина Нина	16
Каткова Дарья	17
Колесников Никита	18
Корабельникова Виолетта	19
Лабзунова Дарья	20
Лапшин Никита	21
Люляев Иван	22
Мартынова Анна	23
Пудовкин Дмитрий	24
Шишкин Сергей	25

МУЛЬТИПЛЕКСОР (MULTIPLEXER)



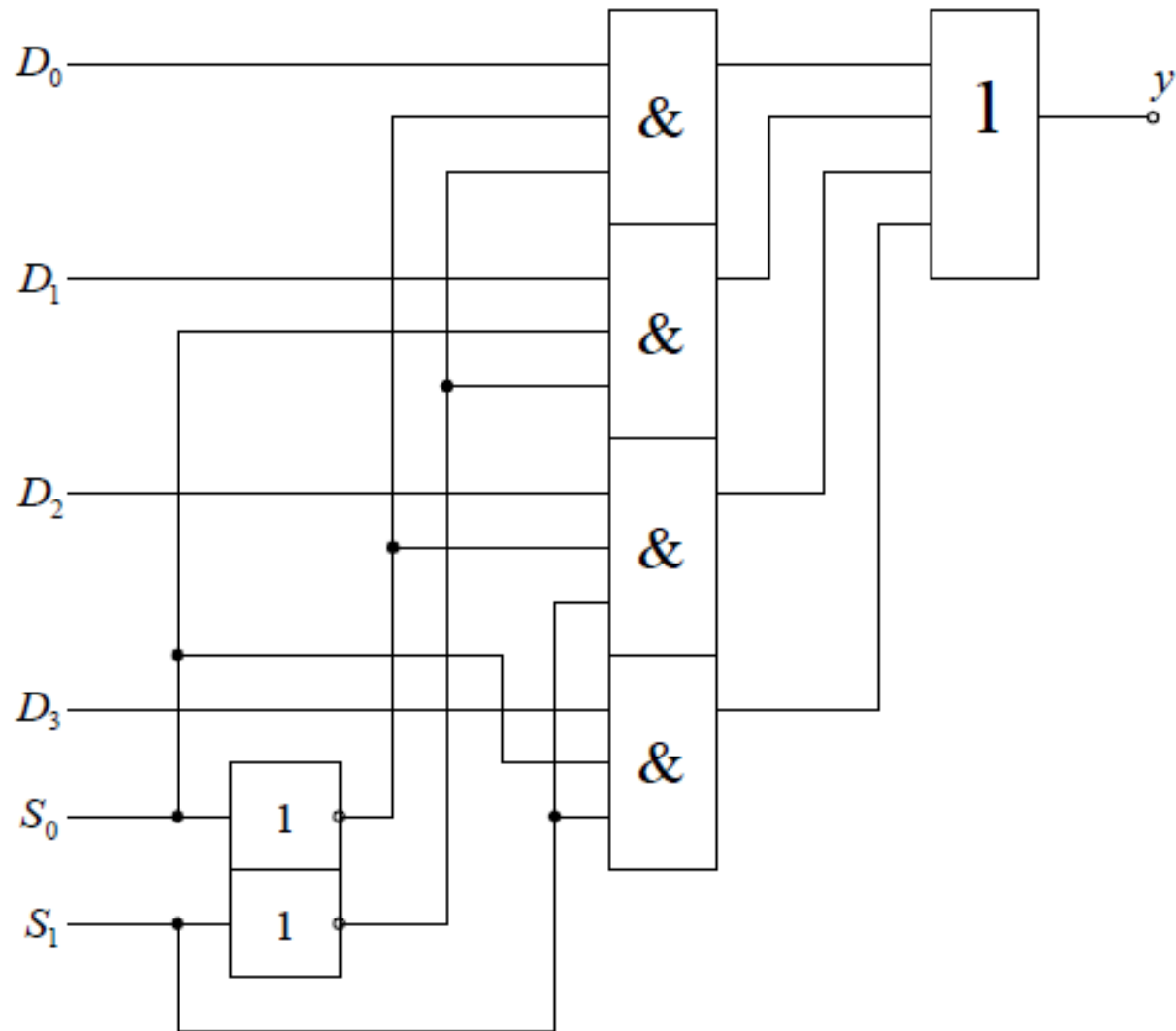
УГО мультиплексора

S_1	S_0	Инф. входы				y
0	0	D_0	D_1	D_2	D_3	D_0
0	1	D_0	D_1	D_2	D_3	D_1
1	0	D_0	D_1	D_2	D_3	D_2
1	1	D_0	D_1	D_2	D_3	D_3

Таблица функционирования мультиплексора 4-1

$$y = \bar{S}_0 \bar{S}_1 D_0 + S_0 \bar{S}_1 D_1 + \bar{S}_0 S_1 D_2 + S_0 S_1 D_3$$

ПРИНЦИПИАЛЬНАЯ СХЕМА МУЛЬТИПЛЕКСОРА

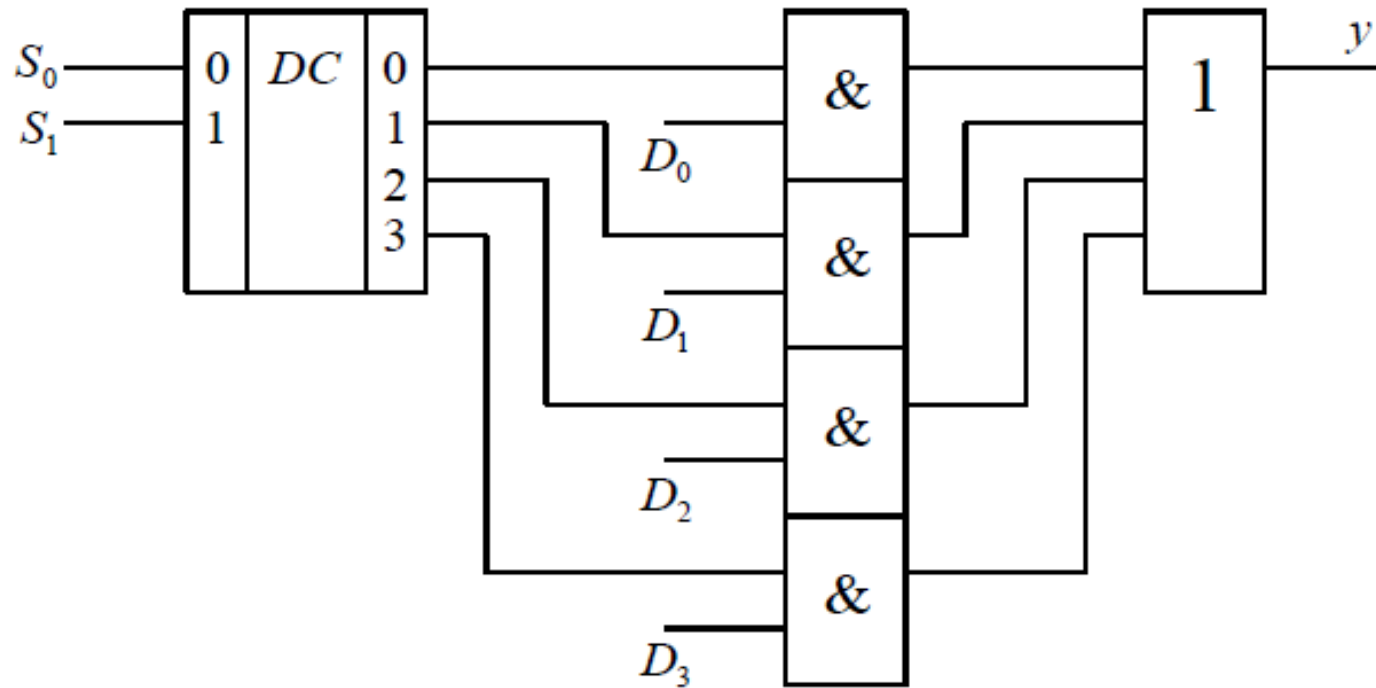


$$y = y_0 D_0 + y_1 D_1 + y_2 D_2 + y_3 D_3$$

Где $y_0..y_3$ – соответствующая комбинация $S_0 S_1$

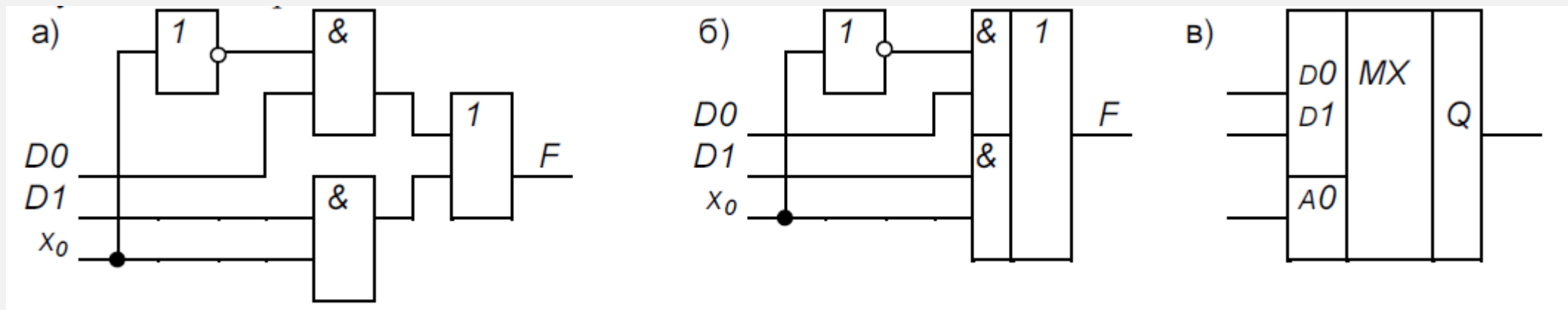
ПРИНЦИПИАЛЬНАЯ СХЕМА МУЛЬТИПЛЕКСОРА

Рис. 4.4.5. Реализация мультиплексора с использованием



вспомогательного дешифратора

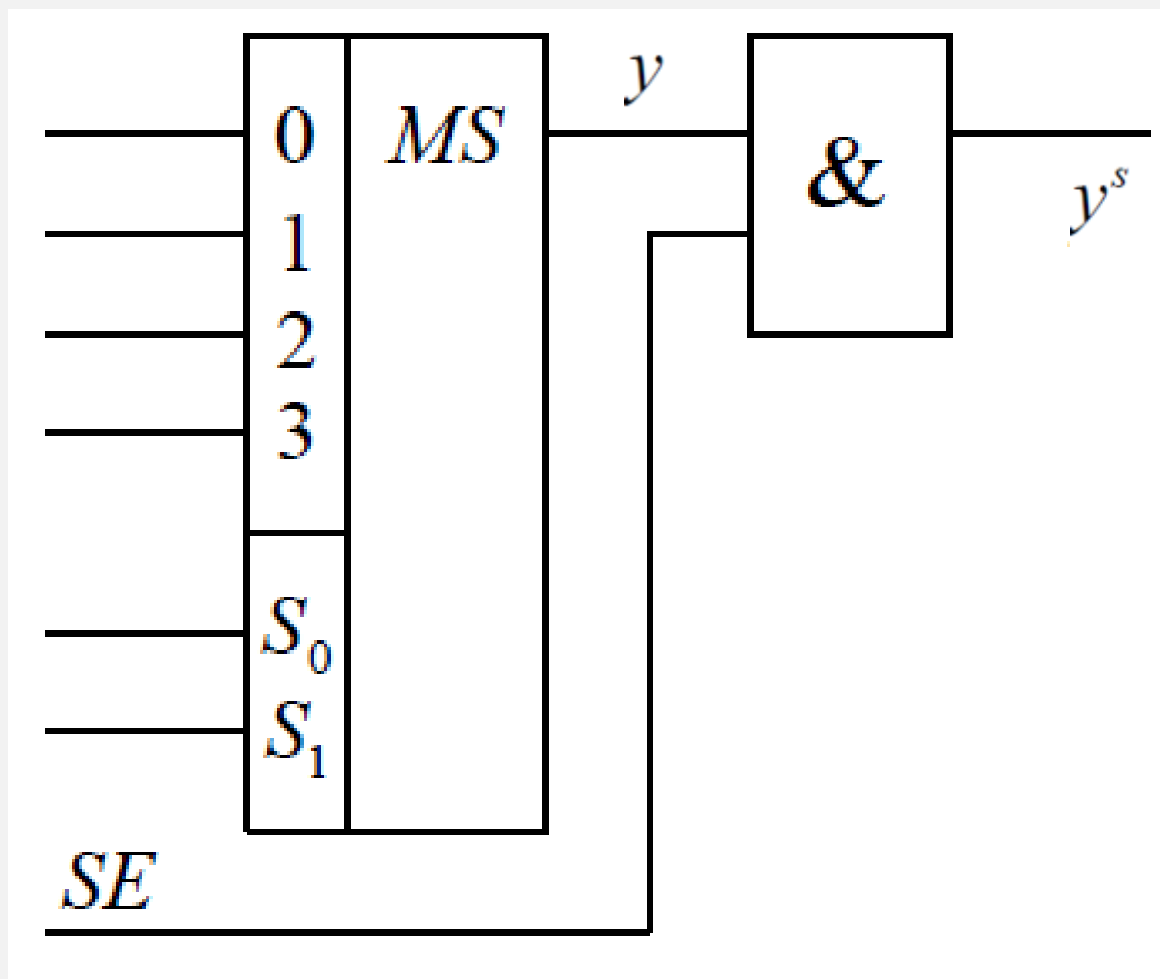
МУЛЬТИПЛЕКСОРЫ



$$f_{2 \rightarrow 1} = x_0 D_0 + x_0 D_1$$

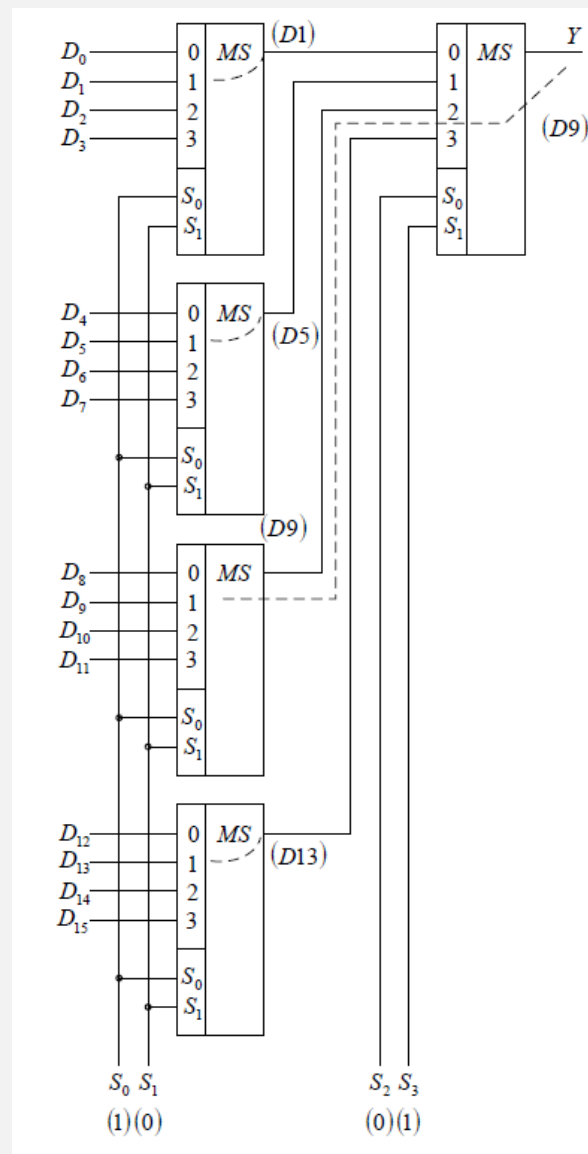
Различные логические схемы (а,б) и обозначение (в) мультиплексора 2-1

МУЛЬТИПЛЕКСОРЫ СО СТРОБИРОВАНИЕМ



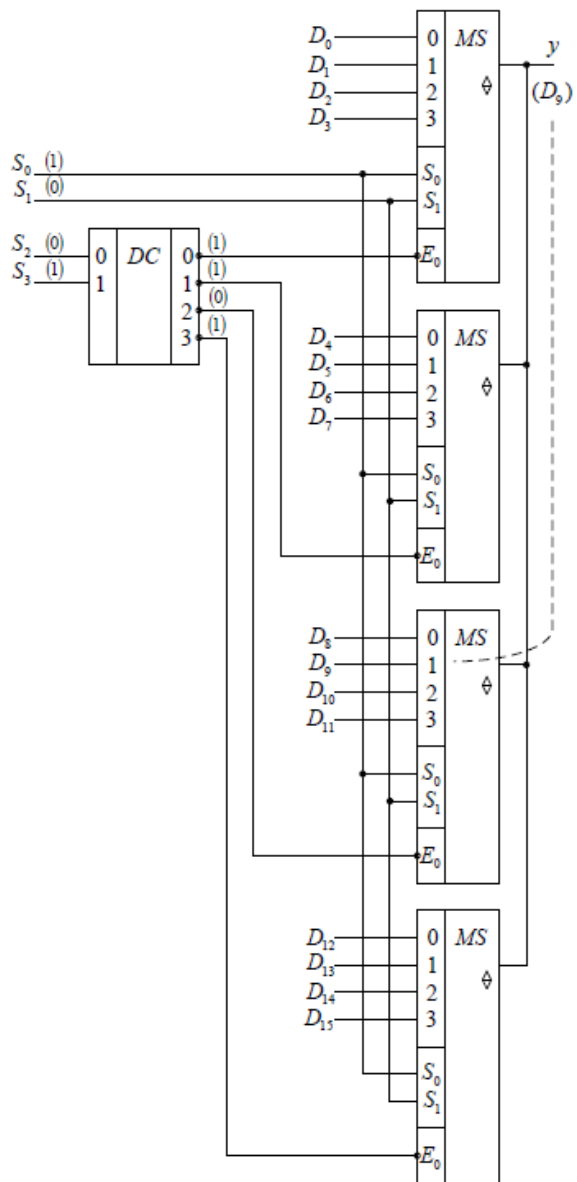
$$y^s = SE \ y$$

НАРАЩИВАНИЕ МУЛЬТИПЛЕКСОРОВ



общая
задержка составит 2т.

НАРАЩИВАНИЕ МУЛЬТИПЛЕКСОРОВ



Такой способ управления не приводит к конфликтам на выходах мультиплексоров, так как в любой момент времени активизирован выход лишь одного из них. Задержка информационного сигнала здесь определяется временем его прохождения лишь через одну ступень устройства.

ЗАДАНИЕ 1

1. Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатора MUX 8 – 1 цифровых сигналов:

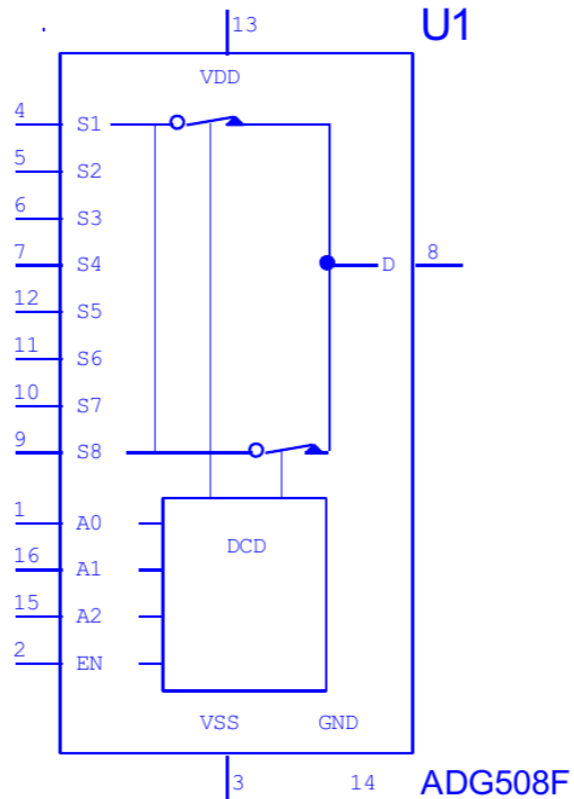


Рис. 6

Логическая комбинации в столбце 2
таблицы 2

а) на информационные входы $D_0 \dots D_7$ мультиплексора подать комбинацию сигналов, заданную преподавателем из табл. 2. Логические уровни 0 и 1 задавать источниками напряжения $U=5$ В и 0 В (общая);

б) на адресные входы A2, A1, A0 подать сигналы Q_3, Q_2, Q_1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q_0). На вход счетчика подать импульсы генератора с частотой 500 кГц.

в) снять временную диаграмму сигналов при $EN=1$ и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе.

ЗАДАНИЕ 1

Нам потребуется:

- 1) Реализовать 4-х разрядный счетчик на D-триггерах,
- 2) Использовать функциональный генератор для подачи прямоугольных импульсов,
- 3) Использовать логический анализатор для снятия временных диаграмм

Мультиплексор ADG508F

Component:

ADG508F

ADG508FBN

ADG508FBNZ

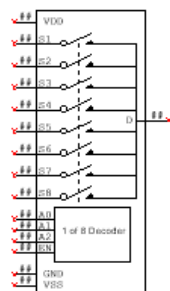
ADG508FBRN

ADG508FBRUZ

ADG508FBRW

ADG508FTQ

Symbol (ANSI Y32.2)



OK

Close

Search...

Detail report

View model

Help

Function:

± 15 V, Fault Protected, 8-Channel High Performance Analog Multiplexer

D-триггер (D_FF)

Component:

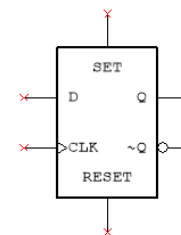
D_FF

D_FF

D_FF_NEGSR

D_FF_POSSR

Symbol (ANSI Y32.2)



ЗАДАНИЕ 1

4-разрядный счетчик

Component:

4520BP_5V

4520BP_10V

4520BP_15V

4520BP_5V[CMOS_5V_IC]

4520BP_5V[CMOS_5V]

Symbol (ANSI Y32.2)

```
graph LR; EN1[EN1] --> Counter; MR1[MR1] --> Counter; CP1[CP1] --> Counter; Counter --> 1A[1A]; Counter --> 1B[1B]; Counter --> 1C[1C]; Counter --> 1D[1D];
```

ЗАДАНИЕ 1

Ключ SPDT

Component:

SPDT



SPDT

SPDT_CLOSED

SPDT_OPEN

Symbol (ANSI Y32.2)



Земля

Component:

gr



GROUND

GROUND_REF1

GROUND_REF2

GROUND_REF3

GROUND_REF4

GROUND_REF5

Symbol (ANSI Y32.2)



Источник питания VCC

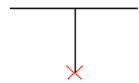
Component:

VCC



VCC

Symbol (ANSI Y32.2)



Digital Power (VCC)



Label Display Value Fault Pins Variant

Voltage:

5

V

ЗАДАНИЕ 1

Настройки генератора и анализатора

Function generator-XFG1

Waveforms

Signal options

Frequency:	500	kHz
Duty cycle:	50	%
Amplitude:	2.5	Vp
Offset:	2.5	V

Set rise/Fall time

+ Common -

Clock Setup

Clock source

☐ External ☒ Internal

Clock rate

100	MHz
-----	-----

Clock qualifier:

x

Sampling setting

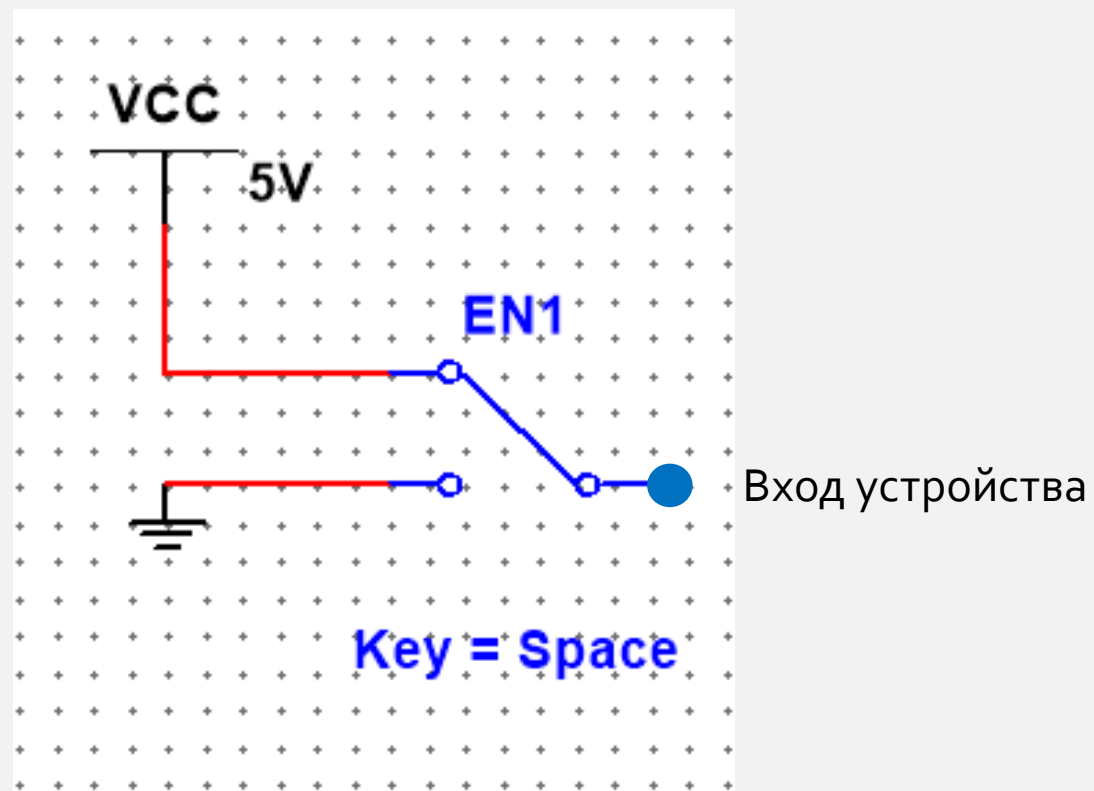
Pre-trigger samples:	100	
Post-trigger samples:	10000	
Threshold volt. (V):	2.5	V

OK

Cancel

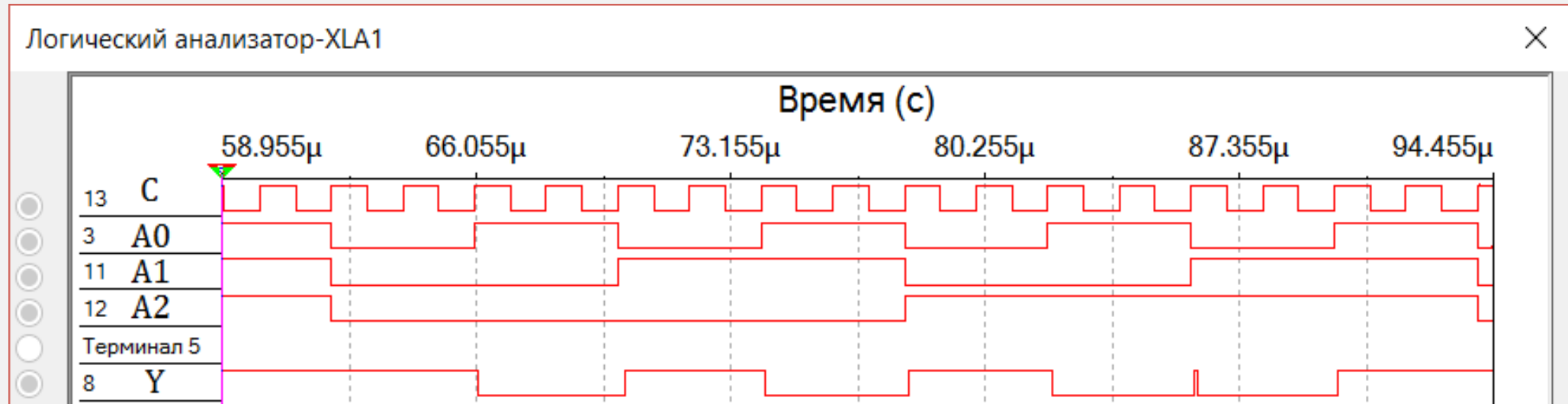
ЗАДАНИЕ 1

Как подключается ключ?



ЗАДАНИЕ 1

Что должны получить?

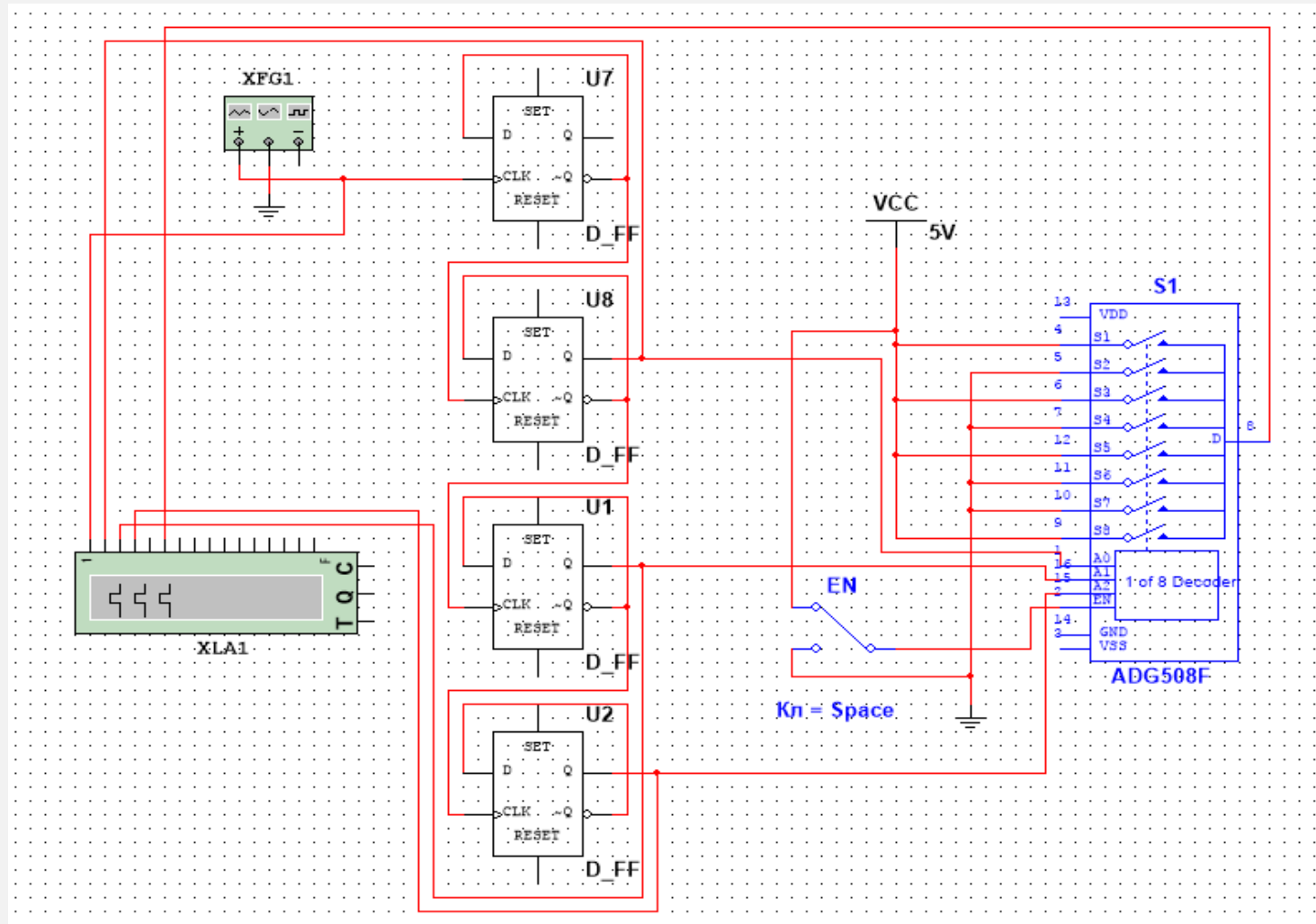


Код для информационных входов:

1; 0; 1; 0; 1; 0; 0; 1

ЗАДАНИЕ 1

Итоговая схема



ЗАДАНИЕ 2

2. Исследование ИС ADG408 или ADG508 (рис.6) в качестве коммутатора MUX 8 – 1 аналоговых сигналов:

а) на информационные входы $D_0 \dots D_7$ мультиплексора подать дискретные уровни напряжений с источников напряжения UCC (приложение Multisim): 0 В; 0.7 В; 1.4 В; 2.1 В; 2.8 В; 3.5 В; 4.2 В; 5.0 В;

б) на адресные входы A2, A1, A0 подать сигналы Q_3, Q_2, Q_1 соответственно с выходов 4-разрядного двоичного счетчика (младший разряд – Q_0). На вход счетчика подать импульсы генератора с частотой 500 кГц;

в) снять временную диаграмму сигналов при $EN=1$ и провести ее анализ. Наблюдение сигналов выполнить на логическом анализаторе, выходного сигнала мультиплексора – на логическом анализаторе и осциллографе. Совместить развертки сигналов, регистрируемых логическим анализатором и осциллографом.

ЗАДАНИЕ 2

Нам потребуется:

- 1) Реализовать 4-х разрядный счетчик на D-триггерах,
- 2) Использовать функциональный генератор для подачи прямоугольных импульсов,
- 3) Использовать логический анализатор для снятия временных диаграмм,
- 4) Цифровой осциллограф

Мультиплексор ADG508F

Component:

ADG508F

ADG508FBN

ADG508FBNZ

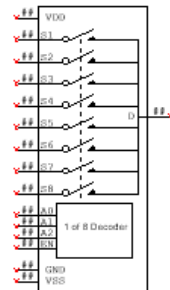
ADG508FBRN

ADG508FBRUZ

ADG508FBRW

ADG508FTQ

Symbol (ANSI Y32.2)



OK

Close

Search...

Detail report

View model

Help

Function:

± 15 V, Fault Protected, 8-Channel High Performance Analog Multiplexer

D-триггер (D_FF)

Component:

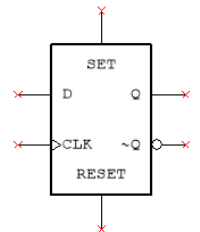
D_FF

D_FF

D_FF_NEGSR

D_FF_POSSR

Symbol (ANSI Y32.2)



ЗАДАНИЕ 2

Ключ SPDT

Component:

SPDT



SPDT

SPDT_CLOSED

SPDT_OPEN

Symbol (ANSI Y32.2)



Земля

Component:

gr



GROUND

GROUND_REF1

GROUND_REF2

GROUND_REF3

GROUND_REF4

GROUND_REF5

Symbol (ANSI Y32.2)



Источник питания VCC (задаем разные значения)

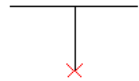
Component:

VCC



VCC

Symbol (ANSI Y32.2)



Digital Power (VCC)



Label Display Value Fault Pins Variant

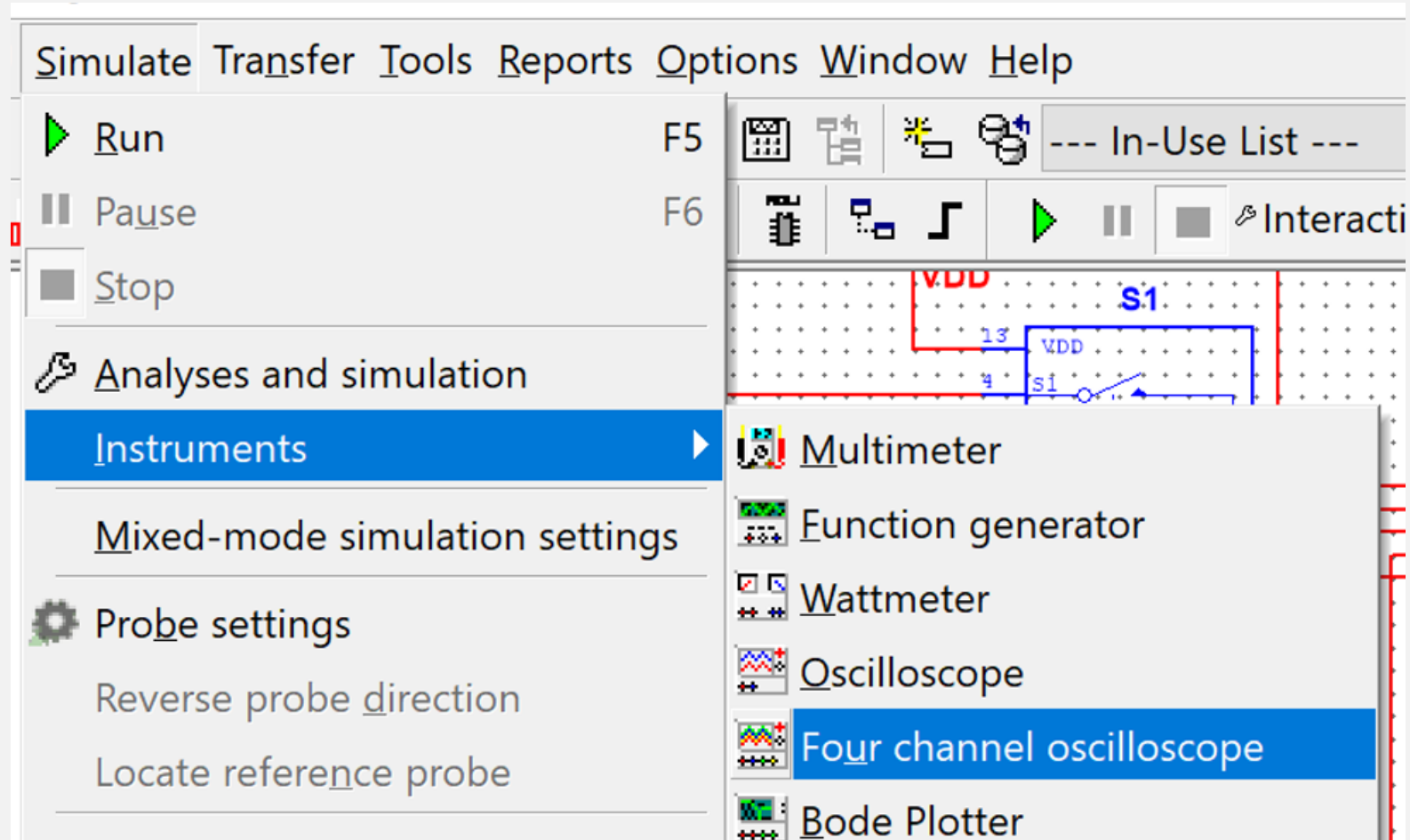
Voltage:

5

V

ЗАДАНИЕ 2

Осциллограф



ЗАДАНИЕ 2

Настройки генератора, анализатора и осциллографа

Function generator-XFG1

Waveforms

Signal options

Frequency:	500	kHz
Duty cycle:	50	%
Amplitude:	2.5	Vp
Offset:	2.5	V

Set rise/Fall time

+ Common -

Clock Setup

Clock source

☐ External ☒ Internal

Clock rate

100	MHz
-----	-----

Clock qualifier:

x

Sampling setting

Pre-trigger samples:	100	
Post-trigger samples:	10000	
Threshold volt. (V):	2.5	V

OK Cancel

Timebase

Scale: 5 us/Div

X pos.(Div): 0

Y/T A/B > A+B >

Channel_A

Scale: 2 V/Div

Y pos.(Div): 0

AC 0 DC -

Trigger

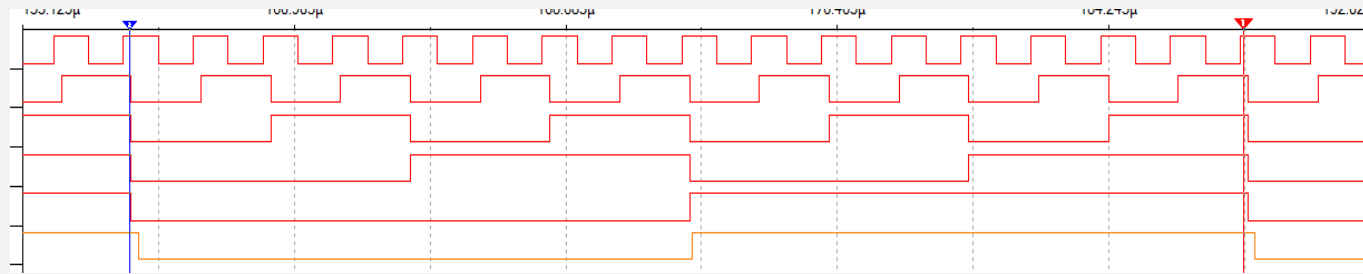
Edge: ☒ F ☐ T Ext ☐

Level: 0 V

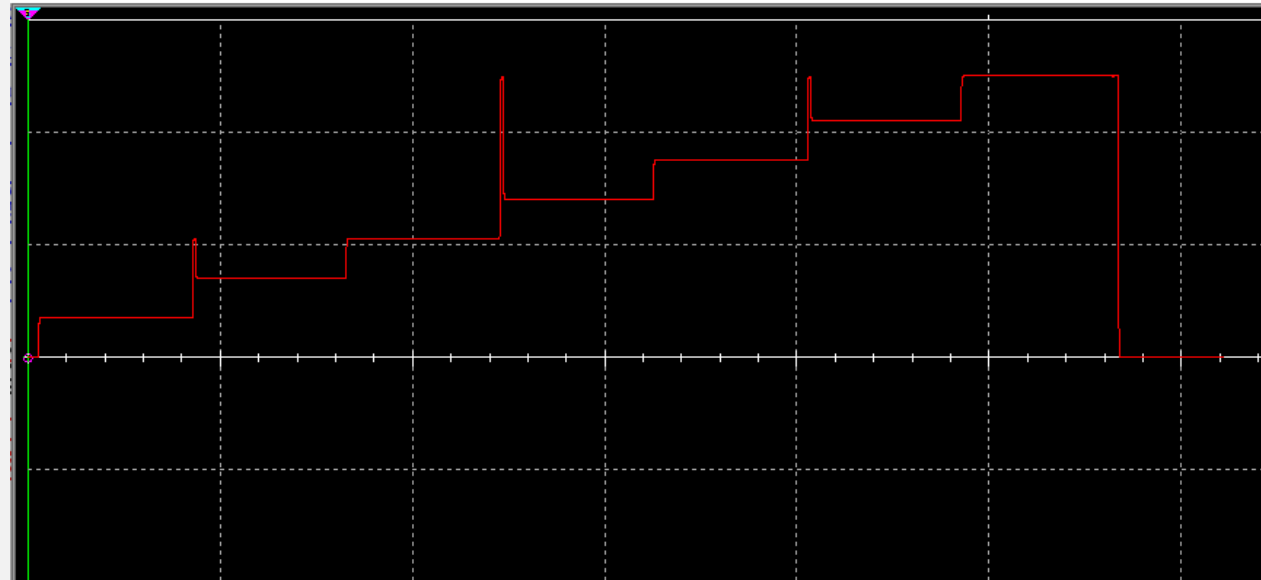
Single Normal Auto None A > Ext

ЗАДАНИЕ 2

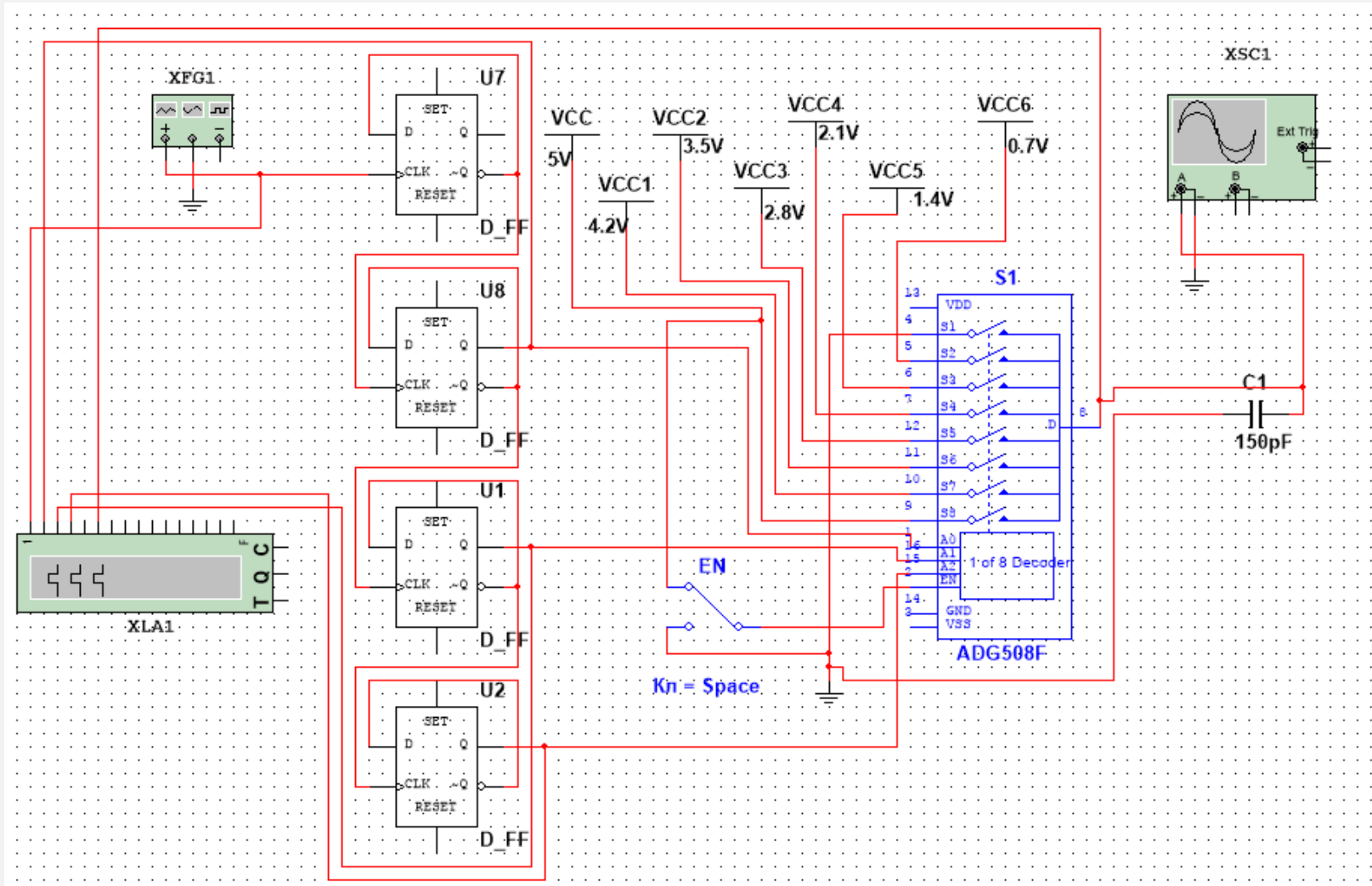
Что получилось на осциллограмме?



Four channel oscilloscope-XSC1




ЗАДАНИЕ 2



ЗАДАНИЕ 3

Логическая комбинации в столбце 3
таблицы 2

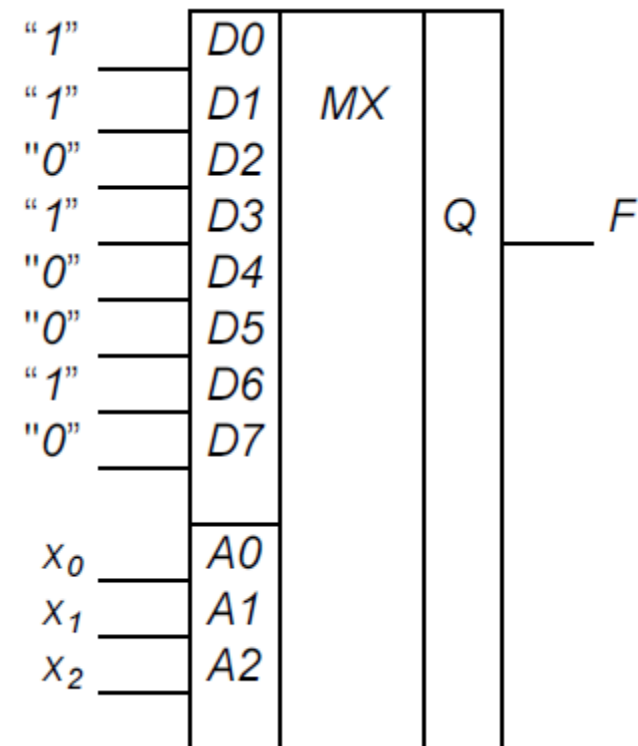


3. Исследование ИС ADG408 или ADG508 (рис.6) как коммутатора MUX 8 – 1 цифровых сигналов в качестве формирователя ФАП четырех переменных. ФАП задается преподавателем из табл. 2.

Проверить работу формирователя в статическом и динамическом режимах. Снять временную диаграмму сигналов формирователя ФАП и провести ее анализ.

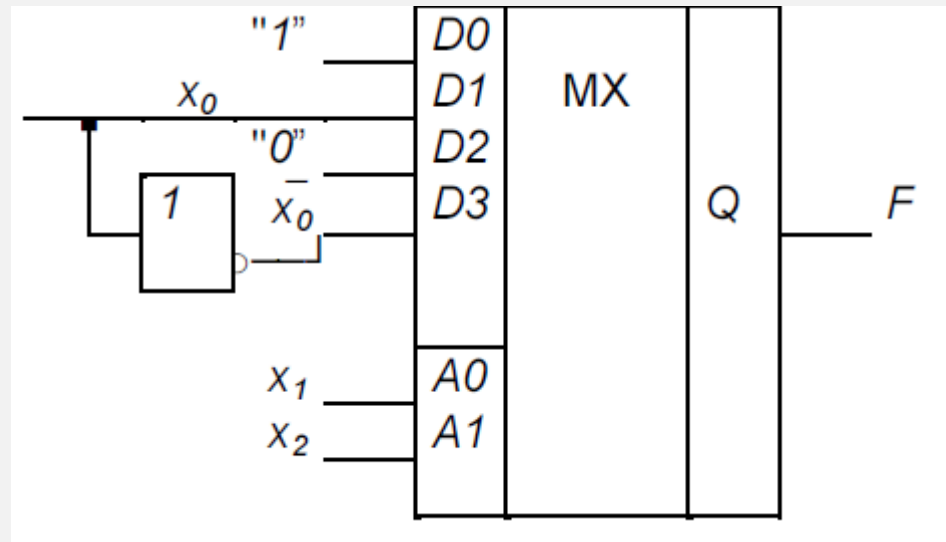
ЗАДАНИЕ 3

N	X_2	X_1	X_0	F
0	0	0	0	1
1	0	0	1	1
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	0



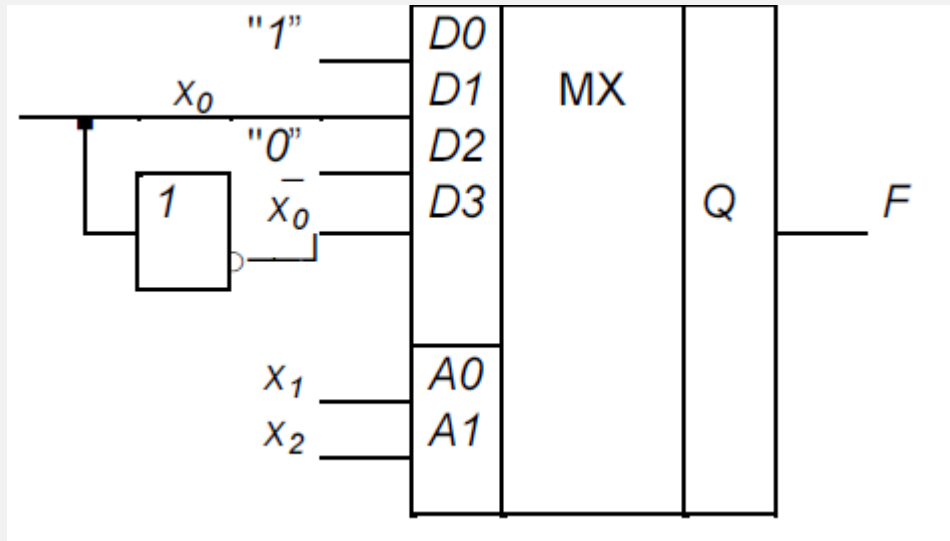
Мультиплексор 8-1 в роли комбинационной
3-х входовой схемы, заданной таблицей

ЗАДАНИЕ 3



Мультиплексор 4-1 в роли
комбинационной трехвходовой схемы

ЗАДАНИЕ 3



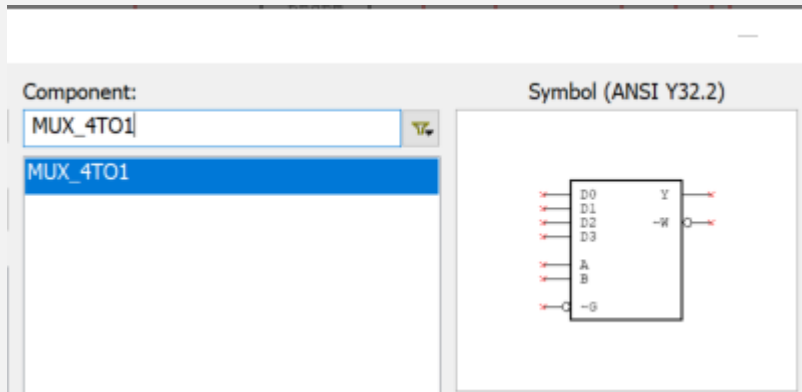
N	x_2	x_1	x_0	F	Примечание
0	0	0	0	1	$F = 1$
1	0	0	1	1	$F = 1$
2	0	1	0	0	$F = x_0$
3	0	1	1	1	$F = 1$
4	1	0	0	0	$F = 0$
5	1	0	1	0	$F = 0$
6	1	1	0	1	$F = \bar{x}_0$
7	1	1	1	0	$F = 0$

ЗАДАНИЕ 4

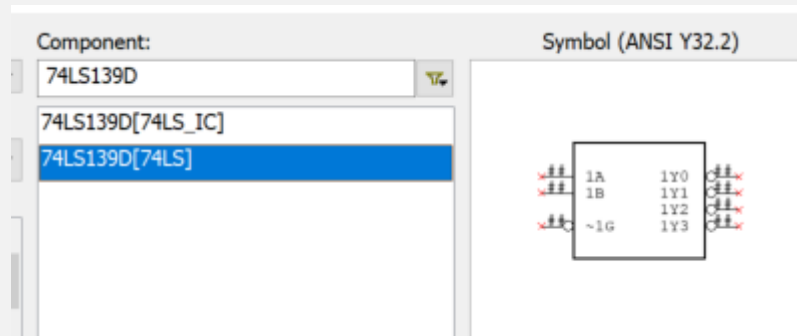
Построить схему мультиплексора MUX 16 – 1 на основе простого мультиплексора MUX 4 – 1 и дешифратора ДС 2-4 (рис.2, второй вариант наращивания, см. выше). Исследовать мультиплексора MUX 16 – 1 в динамическом режиме. На адресные входы подать сигналы с 4-разрядного двоичного счетчика, на информационные входы $D_0 \dots D_{15}$ – из табл. 2. Провести анализ временной диаграммы сигналов мультиплексора MUX 16 – 1. мультиплексора MUX 16 – 1.

ЗАДАНИЕ 4

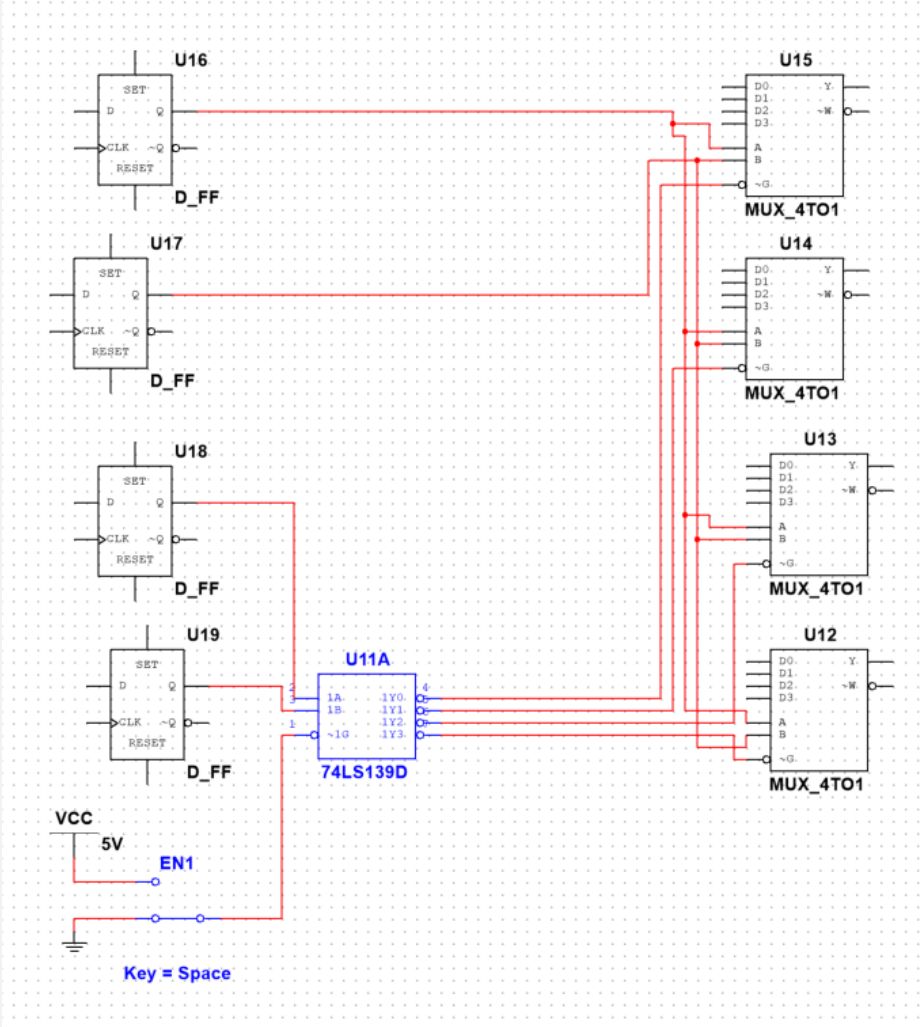
Мультиплексор 4-1 (MUX_4TO1)



Дешифратор 2-4 (74LS139D)



ЗАДАНИЕ 4



Выход !W MUX не использовать

ТРЕБОВАНИЯ К ОТЧЕТУ

- 1) Схема, временная диаграмма
- 2) Схема, временная диаграмма, диаграмма с осциллографа до фильтра, с фильтром
- 3) Таблица истинности ФАЛ, схема статического режима (таблица переходов для нее), схема динамического режима, временная диаграмма
- 4) Схема , временная диаграмма