



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.01 Информатика и вычислительная техника

О Т Ч Е Т

по лабораторной работе № 1

Название: Проектирование систем на кристалле на основе
ПЛИС

Дисциплина: Основы проектирования устройств ЭВМ

Студент

ИУ6-62Б

(Группа)

(Подпись, дата)

С.В. Астахов

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

(И.О. Фамилия)

Москва, 2022

Введение

Цель работы: изучение основ построения микропроцессорных систем на ПЛИС. В ходе работы студенты ознакомятся с принципами построения систем на кристалле (СНК) на основе ПЛИС, получат навыки проектирования СНК в САПР Altera Quartus II, выполнят проектирование и верификацию системы с использованием отладочного комплекта Altera DE1Board.

Ход работы

Был создан пустой проект в среде Quartus. Затем создан модуль системы на кристалле, функциональная схема которого представлена на рисунке 1. Представление модуля в Qsys показано на рисунке 2.

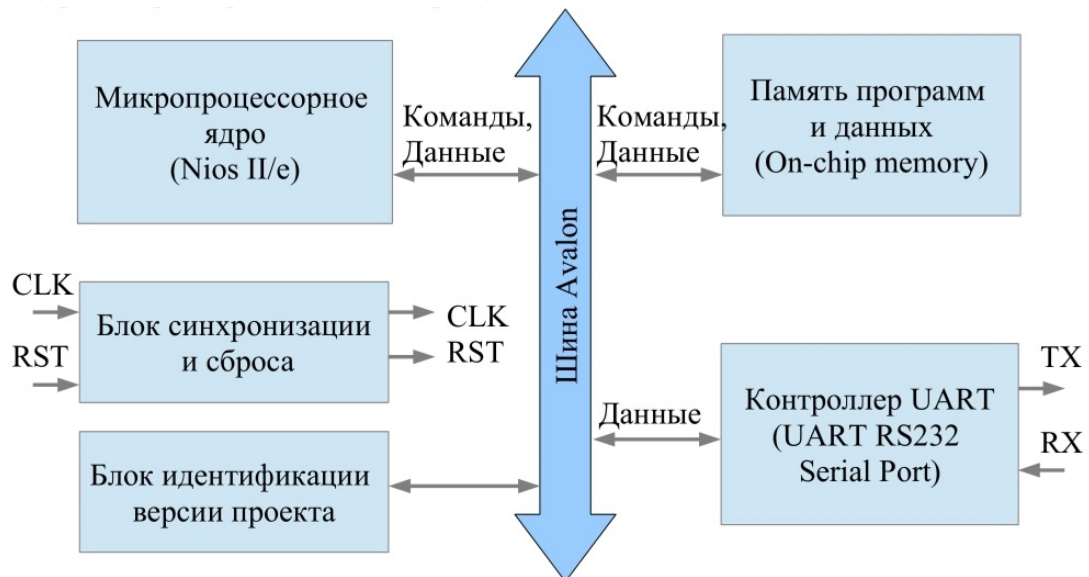


Рисунок 1 – функциональная схема системы на кристалле

Use	Connections	Name	Description	Export	Clock	Base	End	IRQ	Opcode Name
<input checked="" type="checkbox"/>		clk_0	Clock Source	clk	clk_0				
		clk_in	Clock Input	reset					
		clk_in_reset	Reset Input						
		clk	Clock Output						
		clk_reset	Reset Output						
<input checked="" type="checkbox"/>		nios2_qsys_0	Nios II Processor						
		clk	Clock Input	Double-click to export	clk_0				
		reset_n	Reset Input	Double-click to export	[clk]				
		data_master	Avalon Memory Mapped Master	Double-click to export	[clk]			IRQ 0	IRQ 31
		instruction_master	Avalon Memory Mapped Master	Double-click to export	[clk]				
		jtag_debug_module_re...	Reset Output	Double-click to export	[clk]				
		jtag_debug_module	Avalon Memory Mapped Slave	Double-click to export	[clk]				
		custom_instruction_m...	Custom Instruction Master	Double-click to export	[clk]				
<input checked="" type="checkbox"/>		onchip_memory2_0	On-Chip Memory (RAM or ROM)						
		clk1	Clock Input	Double-click to export	clk_0				
		s1	Avalon Memory Mapped Slave	Double-click to export	[clk1]	0x4000	0x6003		
		reset1	Reset Input	Double-click to export	[clk1]				
<input checked="" type="checkbox"/>		sysid_qsys_0	System ID Peripheral						
		clk	Clock Input	Double-click to export	clk_0				
		reset	Reset Input	Double-click to export	[clk]				
		control_slave	Avalon Memory Mapped Slave	Double-click to export	[clk]	0x9048	0x904f		
<input checked="" type="checkbox"/>		uart_0	UART (RS-232 Serial Port)						
		clk	Clock Input	Double-click to export	clk_0				
		reset	Reset Input	Double-click to export	[clk]				
		s1	Avalon Memory Mapped Slave	Double-click to export	[clk]	0x9020	0x903f		
		external_connection	Conduit	uart0					

Рисунок 2 – модуль системы на кристалле

Добавим созданный модуль в проект Quartus и выберем его в качестве модуля верхнего уровня. Далее сопоставим контакты микросхемы и порты проекта (рисунки 3 и 4).

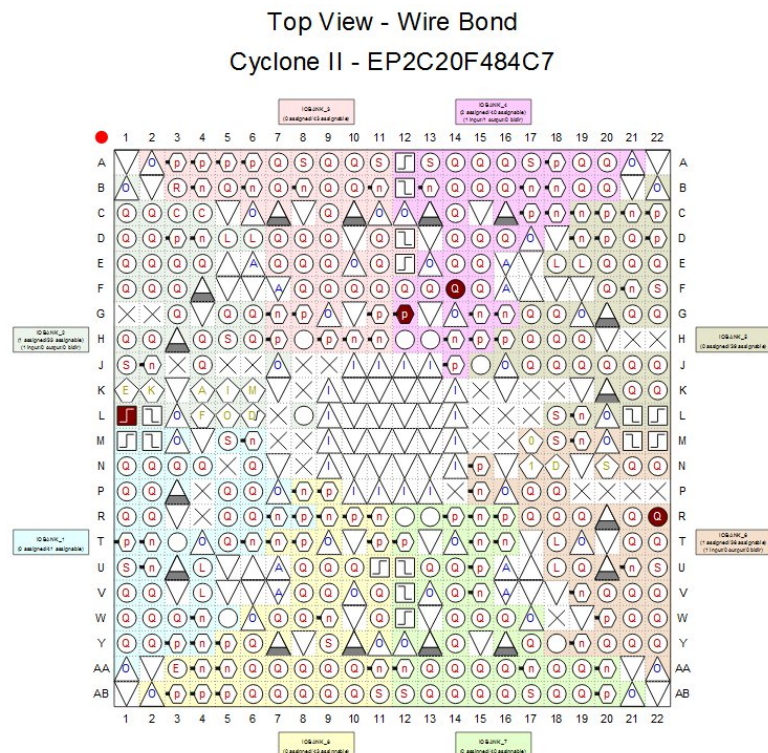


Рисунок 3 – назначение контактов микросхемы

Node Name	Direction	Location	I/O Bank	VREF Group	Filter Location	I/O Standard	Reserved	Current Strength	Differential Pair
clk_clk	Input	PIN_L1	2	B2_N1	PIN_M1	3.3-V LV...default		24mA (default)	
reset_reset_n	Input	PIN_R22	6	B6_N0	PIN_M2	3.3-V LV...default		24mA (default)	
uart0_rxd	Input	PIN_F14	4	B4_N1	PIN_B14	3.3-V LV...default		24mA (default)	
uart0_bxd	Output	PIN_G12	4	B4_N1	PIN_A14	3.3-V LV...default		24mA (default)	
<new node>									

Рисунок 4 – назначение контактов микросхемы

Далее в Nios II модифицируем код из методического пособия так, чтобы в консоль выводился System ID:

```
#include "system.h"
#include "altera_avalon_sysid_qsys.h"
#include "altera_avalon_sysid_qsys_regs.h"
#include "sys/alt_stdio.h"

int main()
{
    char ch, sim;
    int i, ch1, buffer;
    ch1 =
    IORD_ALTERA_AVALON_SYSID_QSYS_ID(SYSID_QSYS_0_BASE);
```

```

/* Event loop never exits. */
while (1){
    buffer = ch1;
    i = 0;
    while(i < 8){
        sim = buffer % 16;
        if(sim < 10){
            alt_putchar(sim + '0');
        } else {
            alt_putchar(sim + 'A');
        }
        buffer = buffer/16;
        ++i;
    }
}
}

```

```
return 0;
```

После этого была произведена прошивка ПЛИС (рисунок 5).

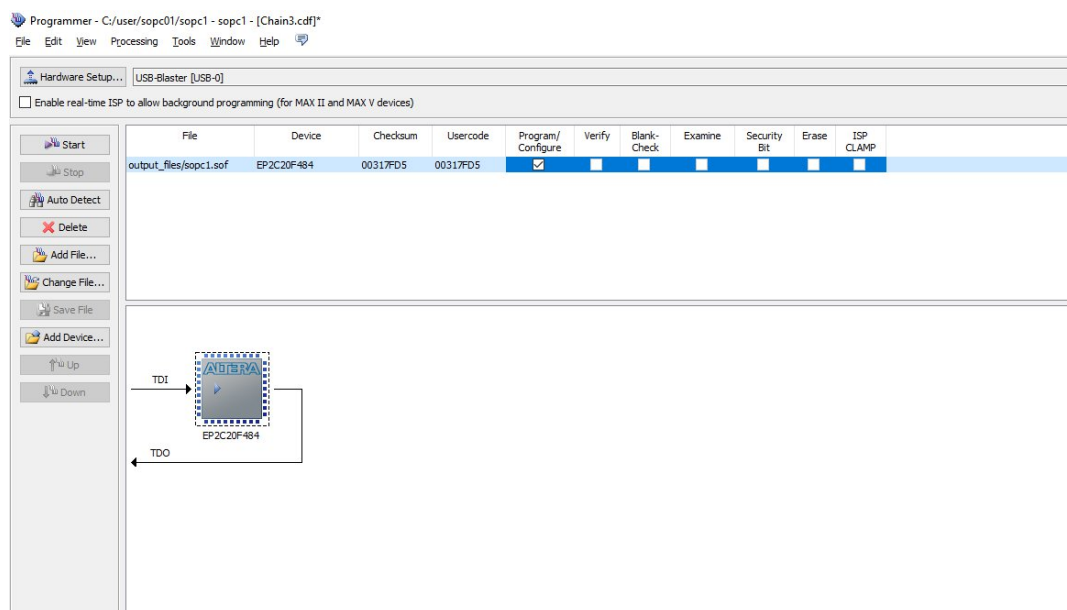


Рисунок 7 – прошивка ПЛИС

Результат работы программы представлен на рисунке 8. В консоль циклически выводится SystemID (6201) во обратном порядке.

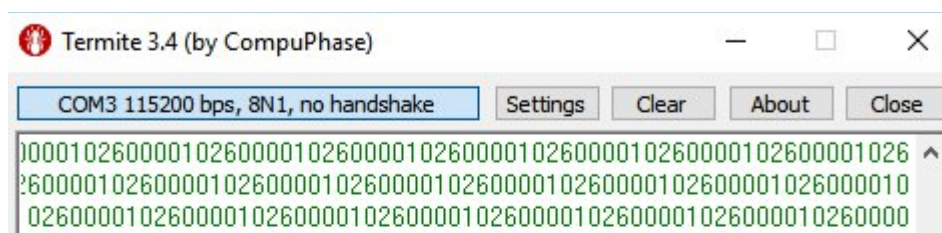


Рисунок 8 – результат работы программы

Вывод: в ходе данной лабораторной работы были изучены основы построения микропроцессорных систем на ПЛИС, произведено ознакомление с принципами построения систем на кристалле (СНК) на основе ПЛИС, получены навыки проектирования СНК в САПР Altera Quartus II.