



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ

КАФЕДРА КОМПЬЮТЕРНЫЕ СИСТЕМЫ И СЕТИ (ИУ6)

НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.01 Информатика и вычислительная техника

О Т Ч Е Т

по лабораторной работе № 3

Название: Проектирование устройств управления на основе ПЛИС

Дисциплина: Основы проектирования устройств ЭВМ

Студент

ИУ6-62Б

(Группа)

(Подпись, дата)

С.В. Астахов

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

(И.О. Фамилия)

Вариант 20

Введение

Цель работы: закрепление на практике теоретических знаний о способах реализации устройств управления, исследование способов организации узлов ЭВМ, освоение принципов проектирования цифровых устройств на основе ПЛИС.

Условие:

Индивидуальные условия приведены в таблицах 1-3.

Таблица 1 - варианты диаграмм и активных сигналов

Вариант	Диаграмма переходов	Активные сигналы М в состоянии					
		S1	S2	S3	S4	S5	S6
20	4	2	0	1, 7	5, 6	3	4

Таблица 2 - условия переходов и наименование отладочной плат

Вар.	Плата	Условия переходов														
		Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9	Y10	Y11	Y12	Y13	Y14	Y15
20	Nexus2	@	EF	CD	AC	ABC	D	AF	@	@	@	@	AB	@	ABC	EF+A

Таблица 3 - активные сигналы для переходов

Вар.	Условия переходов														
	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9	Y10	Y11	Y12	Y13	Y14	Y15
20	-	-	4,3,2	0	5,7	-	5	-	-	-	-	-	-	-	-

Этап 1

Задание:

В лабораторной работе необходимо разработать и реализовать на ПЛИС XC3S200 или XC3E-500 управляющий автомат схемного типа, обрабатывающий входное командное слово $C=\{A,B,C,D,E,F\}$, выдающий сигналы управления $M=\{M_0,...,M_{k-1}\}$ операционному блоку.

Ход работы:

На рисунке 1 показана схема отладки устройства управления с помощью отладочного набора XC3S200.

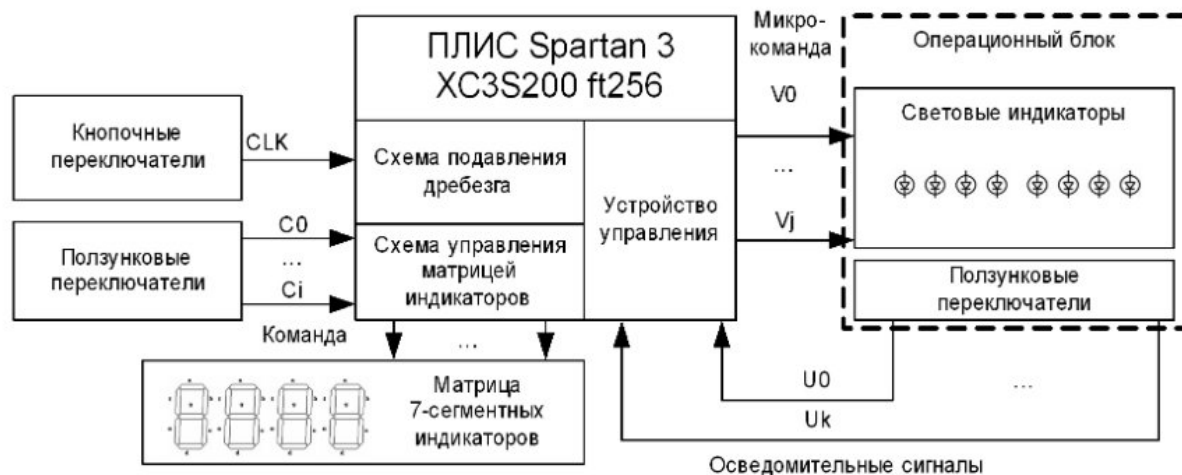


Рисунок 1 - схема отладки устройства управления

Схема переходов/состояний цифрового автомата, лежащего в основе устройства управления, схема отладки устройства управления приведена на рисунке 2.

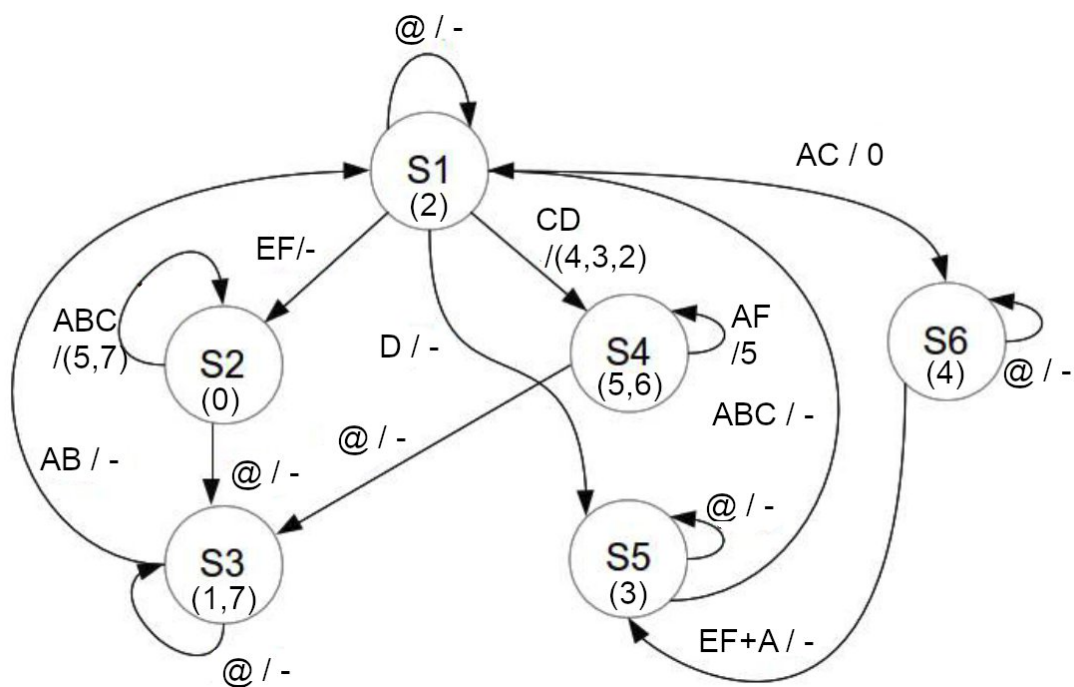


Рисунок 2 - схема переходов/состояний автомата

Результаты моделирования модуля, реализующего цифровой автомат, приведены на рисунках 3-4. Из них следует, что он работает корректно.

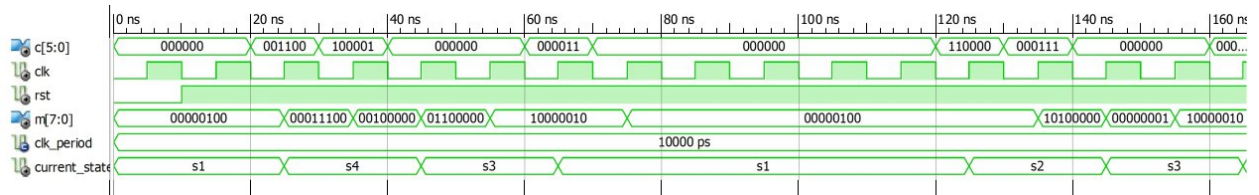


Рисунок 3 – временная диаграмма тестирования

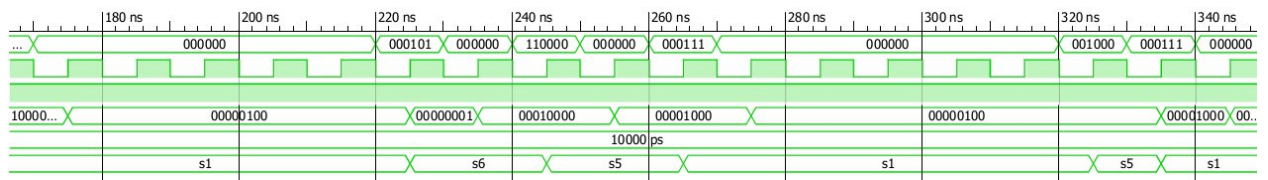


Рисунок 4 – временная диаграмма тестирования

Исходный код модуля верхнего уровня разрабатываемого устройства приведен в листинге 1.

Листинг 1 – описание устройства

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity main is
PORT ( CLK : IN std_logic;
      COUNT : IN std_logic;
      RESET : IN std_logic;
      SW : IN std_logic_vector (5 DOWNTO 0);
      LED : OUT std_logic_vector (7 DOWNTO 0));
end main;

architecture Behavioral of main is

COMPONENT control_unit
PORT (
  C : IN std_logic_vector (5 DOWNTO 0);
  CLK : IN std_logic;
  RST : IN std_logic;
  M : OUT std_logic_vector (7 DOWNTO 0) );
END COMPONENT;

COMPONENT stab
PORT (
  RST: IN STD_LOGIC; --Системный сигнал сброса
  CLK: IN STD_LOGIC; --Сигнал синхронизации
  COUNT: IN STD_LOGIC; --Сигнал кнопки с дребезгом
  CNT: OUT STD_LOGIC --Сигнал кнопки, очищенный от дребезга
```

```

        );
END COMPONENT;

SIGNAL CNT_int:std_logic;

begin

stab_inst : stab
  PORT MAP (CLK=>CLK,
            COUNT=>COUNT,
            RST=>RESET,
            CNT=>CNT_int);

control_unit_inst : control_unit
  PORT MAP (C=>SW,
            RST=>RESET,
            M=>LED,
            CLK=>CNT_int);

end Behavioral;

```

Вывод: в ходе выполнения лабораторной работы были закреплены на практике навыки разработки устройств управления на языке VHDL (в данном случае – устройства управления с жесткой логикой на основе цифровых автоматов).