|  |  |
| --- | --- |
|  | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ **Информатика и системы управления**

КАФЕДРА **Компьютерные системы и сети (ИУ6)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.01 Информатика и вычислительная техника**

**Отчет**

|  |  |
| --- | --- |
| **по лабораторной работе №** | 2 |

**Название:**

Проектирование цифровых устройств на основе ПЛИС

**Дисциплина:**  Основы проектирования устройств ЭВМ

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Студент | ИУ6-62Б |  |  | С.В. Астахов | |
|  | (Группа) |  | (Подпись, дата) | | (И.О. Фамилия) |
|  |  |  |  | |  |
| Преподаватель |  |  |  | |  |
|  |  |  | (Подпись, дата) | | (И.О. Фамилия) |

Москва, 2022

**Введение**

**Цель работы:** закрепление на практике теоретических сведений, полученных при изучении методики проектирования цифровых устройств на основе программируемых логических интегральных схем (ПЛИС), получение необходимых навыков работы с системой автоматизированного проектирования ISE WebPack устройств на основе ПЛИС фирмы Xilinx, изучение аппаратных и программных средств моделирования, макетирования и отладки устройств на основе ПЛИС.

**Ход работы**

Условие по варианту показаны в таблице 1:

Таблица 1 – условия по варианту

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Вариант | Набор | State0 | State1 | State2 | State3 |
| 1 | XC3S200 | 00 | 01 | 10 | 11 |

**Задание 1**

Выполнить кодирование состояний автомата в соответствии с индивидуальным вариантом.

Функциональная схема разрабатываемого устройства показана на рисунке 1.

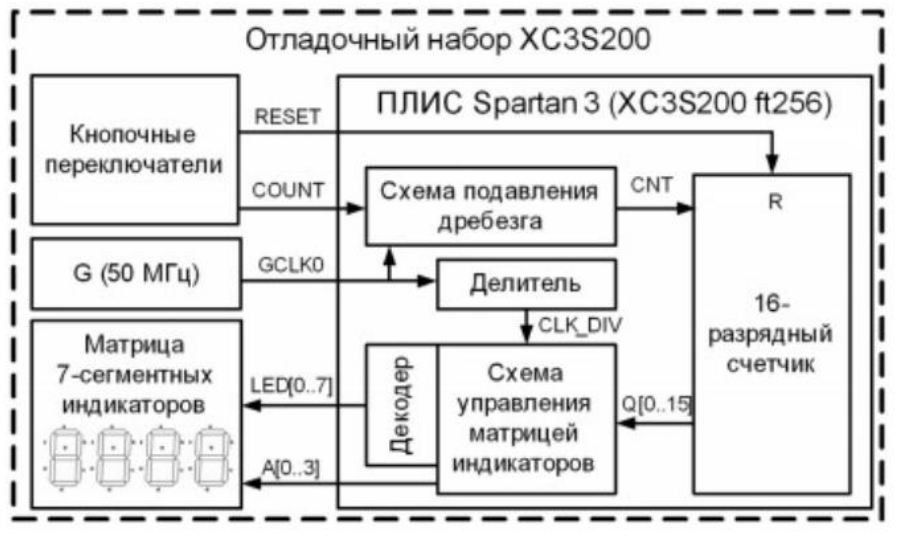
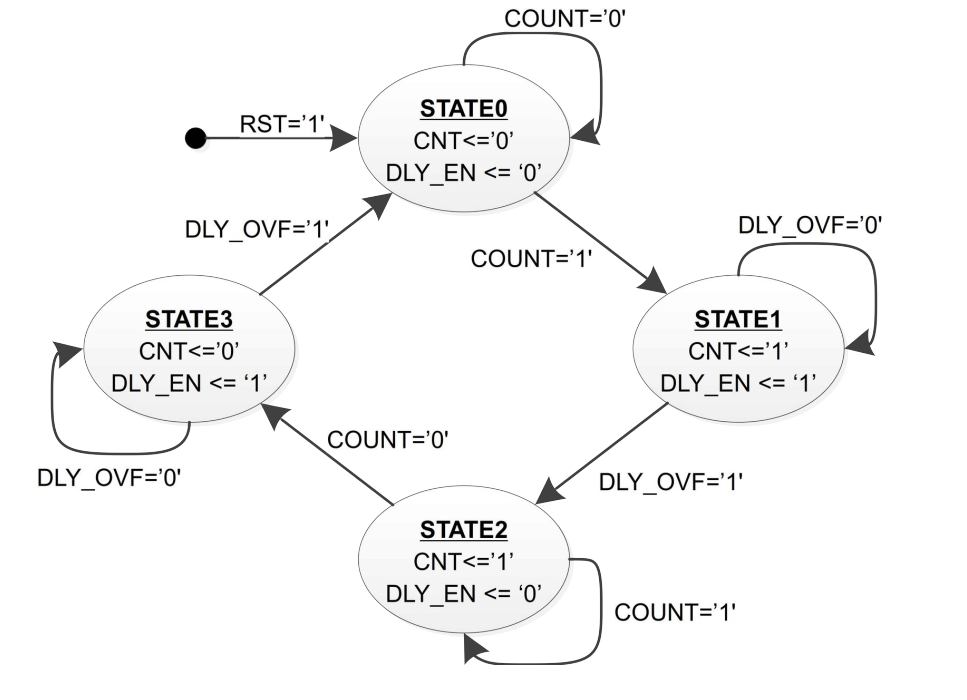


Рисунок 1 - функциональная схема разрабатываемого устройства

Диаграмма состояний автомата подавления дребезга представлена на рисунке 2.

Рисунок 2 - диаграмма состояний автомата подавления дребезга



Функциональная схема устройства показана на рисунке 3.



Рисунок 3 – функциональная схема устройства

В таблице 2 представлены состояния выходов в зависимости от состояния автомата.

Таблица 2 – таблица состояний выходов

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| Состояние | State0 | State1 | State2 | State3 |
| Двоичный код состояния S(1),S(0) | 00 | 01 | 10 | 11 |
| CNT | 0 | 1 | 1 | 0 |
| DLY\_EN | 0 | 1 | 0 | 1 |

Из таблицы можно получить функции, задающие CNT и DLY\_EN:

CNT = S(1) xor S(0)

DLY\_EN = S(0)

Затем составим таблицу состояний SN.

Таблица 3 – таблица состояний SN

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| COUNT | DLY\_OVF | S1(t) | S0(t) | S1(t+1) | S0(t+1) | SN(1) | SN(0) | Описание события |
| 0 | x | 0 | 0 | 0 | 0 | 0 | 0 | Ожидание нажатия кнопки |
| 1 | X | 0 | 0 | 0 | 1 | 0 | 1 | Нажатие кнопки |
| X | 0 | 0 | 1 | 0 | 1 | 0 | 1 | Ожидание окончания счета |
| X | 1 | 0 | 1 | 1 | 0 | 1 | 0 | Конец счета |
| 1 | X | 1 | 0 | 1 | 0 | 1 | 0 | Ожидание отпускания |
| 0 | X | 1 | 0 | 1 | 1 | 1 | 1 | Отпускание кнопки |
| X | 0 | 1 | 1 | 1 | 1 | 1 | 1 | Ожидание окончания счета |
| x | 1 | 1 | 1 | 0 | 0 | 0 | 0 | Конец счета |

Составим карты Карно для SN(1) и SN(0). Они представлены таблицами 3 и 4.

Таблица 3 – карта Карно для SN(1).

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | S1, S0 | | | |
| C,D | 00 | 01 | 11 | 10 |
| 00 | 0 | 0 | 1 | 1 |
| 01 | 0 | 1 | 0 | 1 |
| 11 | 0 | 1 | 0 | 1 |
| 10 | 0 | 0 | 1 | 1 |

SN(1) = (S1 \* not-S0) v (S1 \* S0 \* not-DLY\_OVF) v (not-S1 \* S0 \* DLY\_OVF)

Таблица 4 – карта Карно для SN(0).

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | S1, S0 | | | |
| C,D | 00 | 01 | 11 | 10 |
| 00 | 0 | 1 | 1 | 1 |
| 01 | 0 | 0 | 0 | 1 |
| 11 | 1 | 0 | 0 | 0 |
| 10 | 1 | 1 | 1 | 0 |

SN(0) = (S0 \* not-DLY\_OVF) v (S1 \* not-S0 \* not-COUNT) v (not-S1 \* not-S0 \* COUNT)

**Задание 2**

Разработать текстовое описание модуля в соответствии с полученными функциями DLY\_EN, CNT, SN(0), SN(1). Собрать на основе полученного описания проект в САПР Xilinx ISE.

Код программы по варианту:

-- Пример модуля подавления дребезга 10 мс.

LIBRARY ieee;

USE ieee.std\_logic\_1164.ALL;

USE IEEE.STD\_LOGIC\_ARITH.ALL;

USE IEEE.STD\_LOGIC\_UNSIGNED.ALL;

Entity lab2\_example IS

PORT (

RST: IN STD\_LOGIC; --Системный сигнал сброса

CLK: IN STD\_LOGIC; --Сигнал синхронизации

COUNT: IN STD\_LOGIC; --Сигнал кнопки с дребезгом

CNT: OUT STD\_LOGIC --Сигнал кнопки, очищенный от дребезга

);

END lab2\_example;

ARCHITECTURE behavioral OF lab2\_example IS

-- Кодируем состояния в соответствии с вариантом

CONSTANT STATE0: STD\_LOGIC\_VECTOR (1 downto 0) := "00";

CONSTANT STATE1: STD\_LOGIC\_VECTOR (1 downto 0) := "01";

CONSTANT STATE2: STD\_LOGIC\_VECTOR (1 downto 0) := "10";

CONSTANT STATE3: STD\_LOGIC\_VECTOR (1 downto 0) := "11";

-- Состояние автомата в момент времени t

SIGNAL S: STD\_LOGIC\_VECTOR (1 downto 0);

-- Состояние автомата в момент времени t+1

SIGNAL SN: STD\_LOGIC\_VECTOR (1 downto 0);

SIGNAL COUNTER: integer; -- Счетчик 2^20

SIGNAL DLY\_OVF: STD\_LOGIC; -- Сигнал "Завершение счета"

SIGNAL DLY\_EN: STD\_LOGIC; -- Сигнал разрешения работы счетчика

BEGIN

-- Память состояний

FSM\_STATE\_inst: PROCESS (CLK)

BEGIN

IF (CLK='1' and CLK'event) THEN

IF (RST='1') THEN

S <= STATE0;

ELSE

S <= SN;

END IF;

END IF;

END PROCESS;

-- Комбинационная схема для выработки сигналов CNT и DLY\_EN (по индивидуальному варианту)

CNT <= S(1) xor S(0);

DLY\_EN <= S(0);

--Комбинационные схемы для определения следующего состояния (по индивидуальному варианту)

SN(0) <= (not DLY\_OVF and S(0)) or (S(1) and not S(0) and not COUNT) or (not S(1) and not S(0) and COUNT);--пример 1

SN(1) <= (S(1) and not S(0)) or (S(1) and S(0) and not DLY\_OVF) or (not S(1) and S(0) and DLY\_OVF);

-- Описание счетчика

COUNTER\_inst: PROCESS (CLK)

BEGIN

IF (CLK='1' and CLK'event) THEN

IF (RST='1' or DLY\_EN = '0') THEN

COUNTER <= 0;

ELSE

COUNTER <= COUNTER + 1;

END IF;

END IF;

END PROCESS;

DLY\_OVF <= '1' WHEN COUNTER = 2\*\*7-1 ELSE '0'; --Длительность задержки

END Behavioral;

**Задание 3**

В интегрированном редакторе тестов САПР Xilinx ISE разработать тест для полученного устройства и выполнить моделирование его работы в симуляторе Modelsim.

На рисунке 4 показаны входные исходные для теста в графическом представлении.

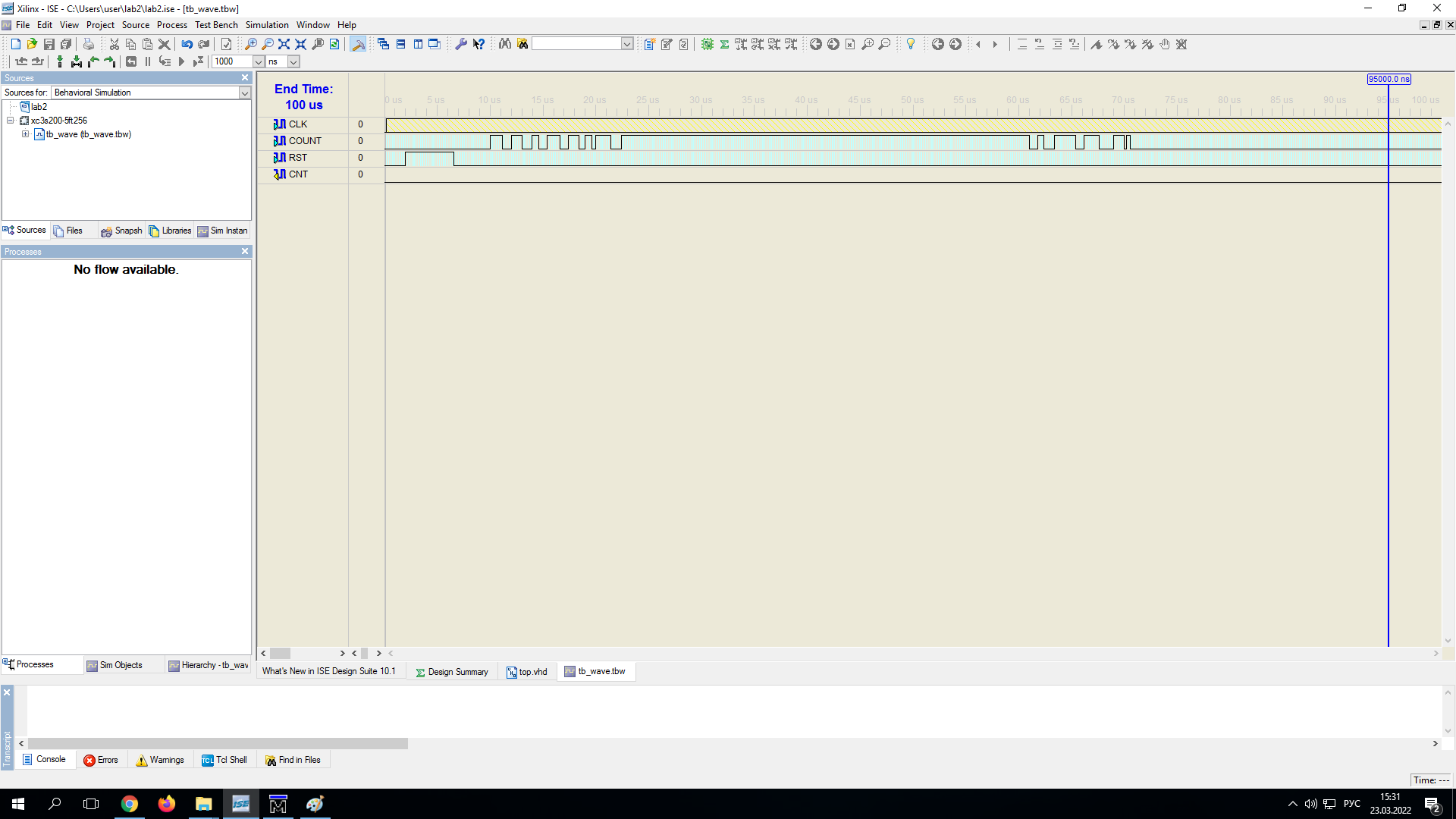


Рисунок 4 – исходные данные теста

Результаты теста показаны на рисунке 5.

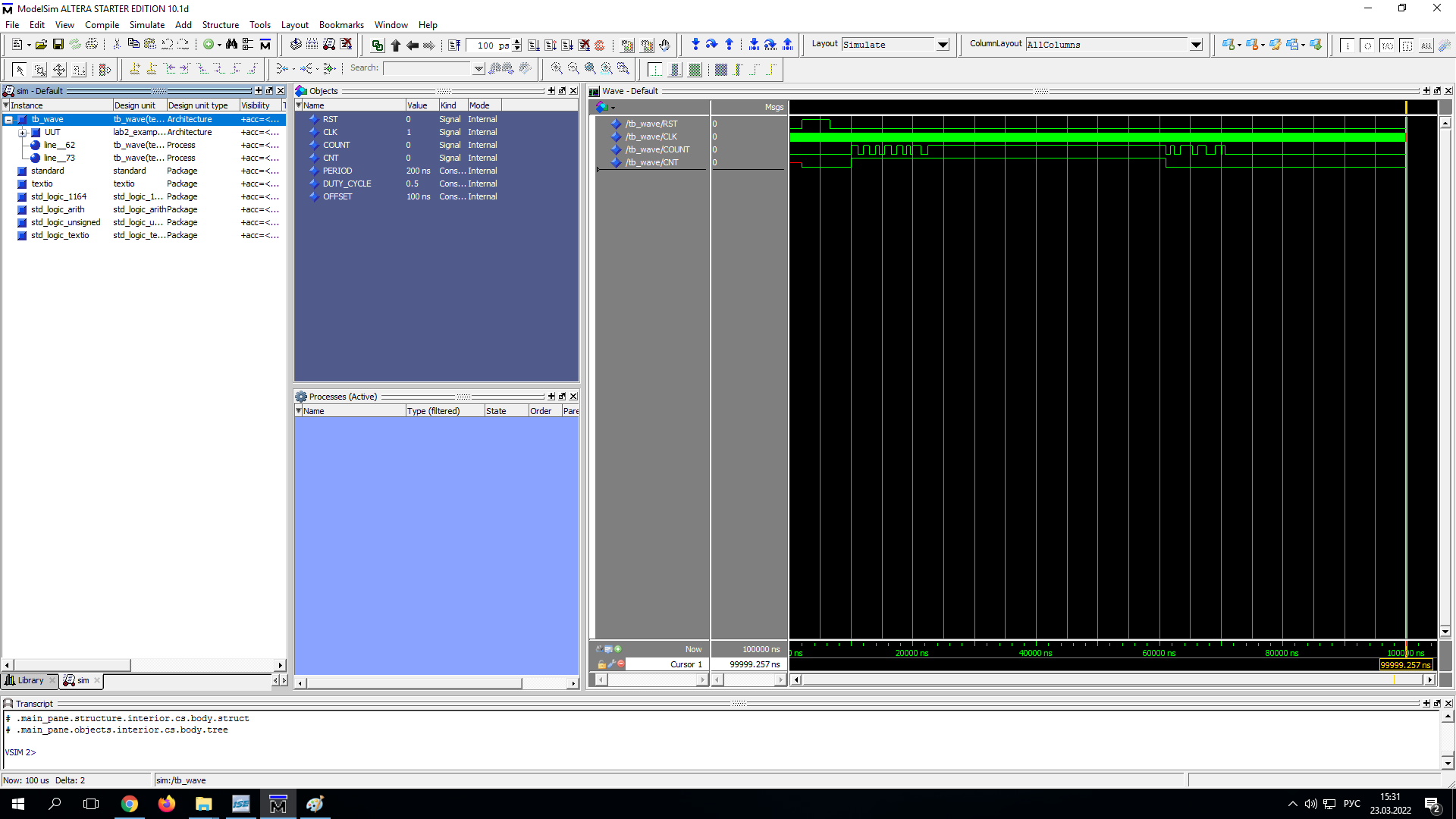


Рисунок 5 – результаты теста

Как видно из результатов теста – устройство работает корректно.

**Задание 4.**