|  |  |
| --- | --- |
|  | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ **Информатика и системы управления**

КАФЕДРА **Компьютерные системы и сети (ИУ6)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.01 Информатика и вычислительная техника**

**Отчет**

|  |  |
| --- | --- |
| **по лабораторной работе №** | 3 |

**Название:** Проектирование устройств управления на основе ПЛИС

**Дисциплина:**  Основы проектирования устройств ЭВМ

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| Студент | ИУ6-62Б |  |  | С.В. Астахов | |
|  | (Группа) |  | (Подпись, дата) | | (И.О. Фамилия) |
|  |  |  |  | |  |
| Преподаватель |  |  |  | |  |
|  |  |  | (Подпись, дата) | | (И.О. Фамилия) |

Москва, 2022

**Вариант 20**

**Введение**

**Цель работы:** закрепление на практике теоретических знаний о способах реализации устройств управления, исследование способов организации узлов ЭВМ, освоение принципов проектирования цифровых устройств на основе ПЛИС.

**Условие:**

Индивидуальные условия приведены в таблицах 1-3.

Таблица 1 - варианты диаграмм и активных сигналов

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Вариант | Диаграмма  переходов | Активные сигналы M в состоянии | | | | | |
| S1 | S2 | S3 | S4 | S5 | S6 |
| 20 | 4 | 2 | 0 | 1, 7 | 5, 6 | 3 | 4 |

Таблица 2 - условия переходов и наименование отладочной плат

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Вар. | Плата | Условия переходов | | | | | | | | | | | | | | |
| У1 | У2 | У3 | У4 | У5 | У6 | У7 | У8 | У9 | У10 | У11 | У12 | У13 | У14 | У15 |
| 20 | Nexus2 | @ | EF | CD | AC | ABC | D | AF | @ | @ | @ | @ | AB | @ | ABC | EF+A |

Таблица 3 - активные сигналы для переходов

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| Вар. | Условия переходов | | | | | | | | | | | | | | |
| У1 | У2 | У3 | У4 | У5 | У6 | У7 | У8 | У9 | У10 | У11 | У12 | У13 | У14 | У15 |
| 20 | - | - | 4,3,2 | 0 | 5,7 | - | 5 | - | - | - | - | - | - | - | - |

**Этап 1**

**Задание:**

В лабораторной работе необходимо разработать и реализовать на ПЛИС XC3S200 или XC3E-500 управляющий автомат схемного типа, обрабатывающий входное командное слово С={A,B,C,D,E,F}, выдающий сигналы управления M={M0,...,Mk-1} операционному блоку.

**Ход работы:**

На рисунке 1 показана схема отладки устройства управления с помощью отладочного набора XC3S200.

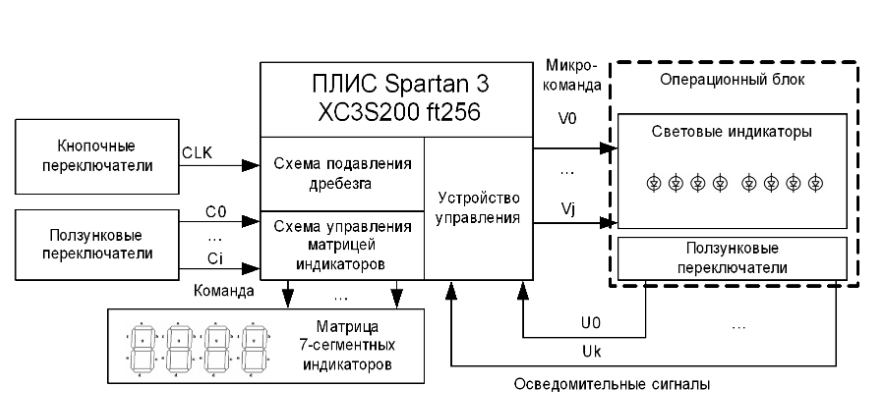


Рисунок 1 - схема отладки устройства управления

Схема переходов/состояний цифрового автомата, лежащего в основе устройства управления,хема отладки устройства управления приведена на рисунке 2.

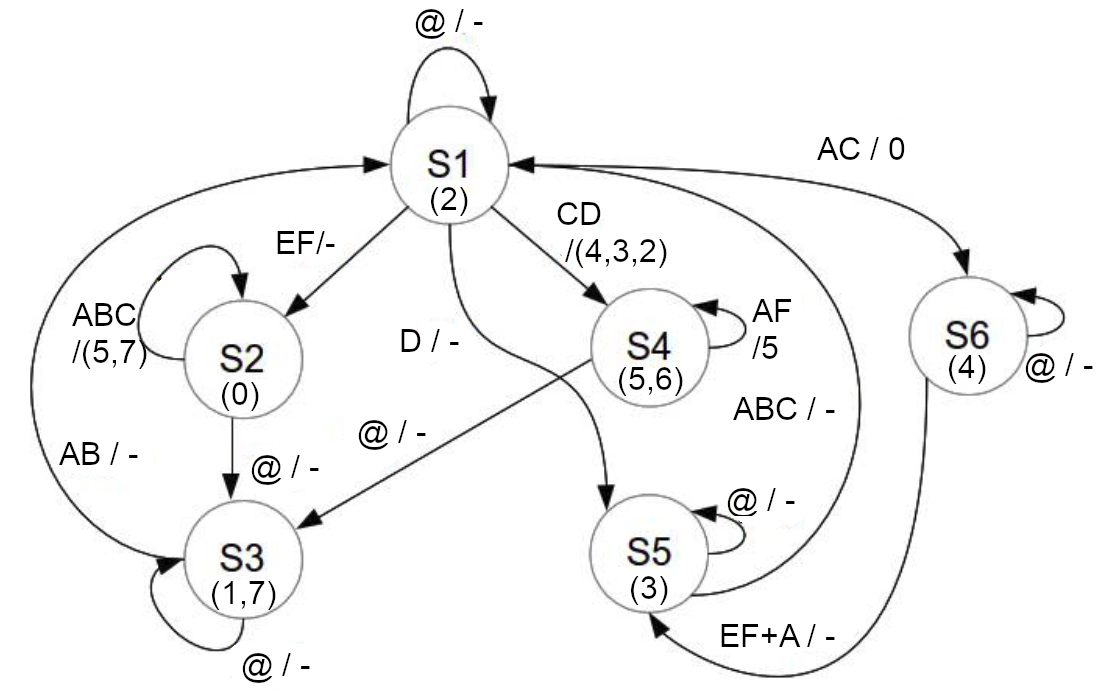


Рисунок 2 - схема переходов/состояний автомата

Результаты моделирования модуля, реализующего цифровой автомат, приведены на рисунках 3-4. Из них следует, что он работает корректно.

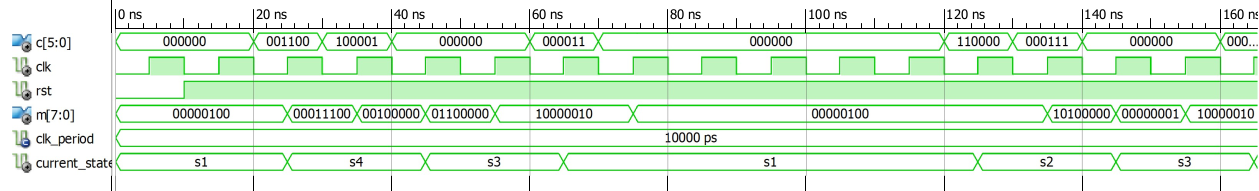


Рисунок 3 – временная диаграмма тестирования

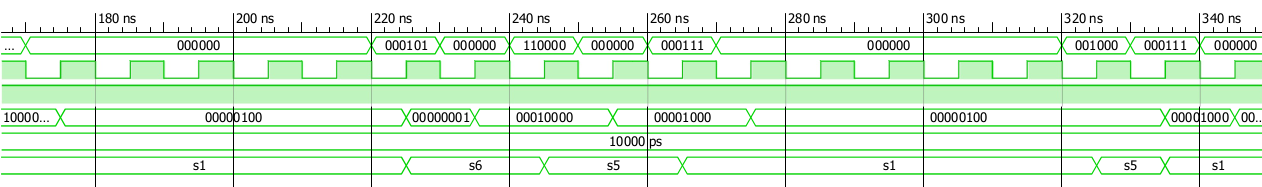


Рисунок 4 – временная диаграмма тестирования

Исходный код модуля верхнего уровня разрабатываемого устройства приведен в листинге 1.

Листинг 1 – описание устройства

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.STD\_LOGIC\_ARITH.ALL;

use IEEE.STD\_LOGIC\_UNSIGNED.ALL;

entity main is

PORT ( CLK : IN std\_logic;

COUNT : IN std\_logic;

RESET : IN std\_logic;

SW : IN std\_logic\_vector (5 DOWNTO 0);

LED : OUT std\_logic\_vector (7 DOWNTO 0));

end main;

architecture Behavioral of main is

COMPONENT control\_unit

PORT (

C : IN std\_logic\_vector (5 DOWNTO 0);

CLK : IN std\_logic;

RST : IN std\_logic;

M : OUT std\_logic\_vector (7 DOWNTO 0) );

END COMPONENT;

COMPONENT stab

PORT (

RST: IN STD\_LOGIC; --Системный сигнал сброса

CLK: IN STD\_LOGIC; --Сигнал синхронизации

COUNT: IN STD\_LOGIC; --Сигнал кнопки с дребезгом

CNT: OUT STD\_LOGIC --Сигнал кнопки, очищенный от дребезга

);

END COMPONENT;

SIGNAL CNT\_int:std\_logic;

begin

stab\_inst : stab

PORT MAP (CLK=>CLK,

COUNT=>COUNT,

RST=>RESET,

CNT=>CNT\_int);

control\_unit\_inst : control\_unit

PORT MAP (C=>SW,

RST=>RESET,

M=>LED,

CLK=>CNT\_int);

end Behavioral;

**Вывод:** в ходе выполнения лабораторной работы были закреплены на практике навыки разработки устройств управления на языке VHDL (в данном случае – устройства управления с жесткой логикой на основе цифровых автоматов).