|  |  |
| --- | --- |
|  | **Министерство науки и высшего образования Российской Федерации**  **Федеральное государственное бюджетное образовательное учреждение**  **высшего образования**  **«Московский государственный технический университет**  **имени Н.Э. Баумана**  **(национальный исследовательский университет)»**  **(МГТУ им. Н.Э. Баумана)** |

ФАКУЛЬТЕТ **Информатика и системы управления**

КАФЕДРА **Компьютерные системы и сети (ИУ6)**

НАПРАВЛЕНИЕ ПОДГОТОВКИ **09.03.01 ИНФОРМАТИКА И ВЫЧИСЛИТЕЛЬНАЯ ТЕХНИКА**

**РАСЧЕТНО-ПОЯСНИТЕЛЬНАЯ ЗАПИСКА**

***К КУРСОВОЙ РАБОТЕ***

***НА ТЕМУ:***

***«Вычислитель SHA-256»***

Студент \_\_ИУ6-62Б\_\_\_\_\_\_\_ **\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ \_\_\_С.В. Астахов\_\_\_\_\_\_**

(Группа) (Подпись, дата) (И.О. Фамилия)

Руководитель курсовой работы **\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ \_\_\_Т.А.\_Ким\_\_\_\_\_\_\_\_\_**

(Подпись, дата) (И.О. Фамилия)

*2022 г.*

и

ЗАДАНИЕ

**Реферат**

Записка 21 стр., 7 рис., 3 табл., 4 источника, 2 прил.

СХЕМОТЕХНИКА, ЭВМ, SHA-256, ХЕШ-ФУНКЦИЯ, ПЛИС, FPGA, ВЫЧИСЛИТЕЛЬ, VERILOG, XILINX.

Объектом разработки является устройство, производящее расчет внутреннего цикла алгоритма хеширования SHA-256.

Цель работы – эскизный проект цифрового устройства ограниченной сложности.

При проектировании решены следующие задачи: анализ объекта разработки на функциональном уровне, разработка функциональной схемы устройства, выбор ПЛИС для реализации устройства, описание устройства на языке Verilog, синтез RTL-схемы устройства, разработка принципиальной схемы обвязки ПЛИС, расчет электрических параметров.

Результатом разработки является проект на языке Verilog, предназначенный для загрузки в ПЛИС, и набор конструкторской документации.

**Содержание**

[Введение 6](#_Toc1)

[1. Анализ предметной области 7](#_Toc2)

[2. Разработка электрической функциональной схемы 8](#_Toc3)

**Определения, обозначения, сокращения**

ТЗ — техническое задание.

САПР — система автоматизированного проектирования.

ПЛИС — программируемая логическая интегральная схема.

ШД — шина данных.

ШУ — шина управления.

Мультиплексирование с разделением по времени — технология аналогового или цифрового мультиплексирования, в котором несколько сигналов или битовых потоков передаются одновременно как подканалы в одном коммуникационном канале.

Язык описания аппаратуры — специализированный компьютерный язык, используемый для описания структуры и поведения электронных схем, чаще всего цифровых логических схем.

# Введение

В данной работе производится разработка проекта устройства, производящего расчет внутреннего цикла алгоритма хеширования SHA-256.

Устройство должно рассчитывать заданную часть алгоритма SHA-256 в соответствии со стандартом [1].

Так как для одной итерации алгоритма необходим большой объем данных, необходимо использовать мультиплексирование с разделение по времени. Также, в силу сложности устройства, целесообразно разрабатывать его, применяя язык описания аппаратуры [2].

Хеш-функции, в том числе SHA-256, применяются главным образом для вычисления контрольных сумм, работы с электронной подписью и построения уникальных идентификаторов для наборов данных. Широкое применение хеш-функций в современных информационных системах обуславливает актуальность разработки [3].

# **1. Анализ предметной области**

Реализуемая данным устройством часть алгоритма SHA-256 может быть представлена в виде псевдокода, приведенного в листинге 1.

Листинг 1 – реализуемый алгоритм

k[0..63] :=

[0x428A2F98,

// еще 62 константы

0xC67178F2]

// Инициализация вспомогательных переменных:

a := h0

b := h1

c := h2

d := h3

e := h4

f := h5

g := h6

h := h7

// Основной цикл:

для i от 0 до 63

Σ0 := (a rotr 2) xor (a rotr 13) xor (a rotr 22)

Ma := (a and b) xor (a and c) xor (b and c)

t2 := Σ0 + Ma

Σ1 := (e rotr 6) xor (e rotr 11) xor (e rotr 25)

Ch := (e and f) xor ((not e) and g)

t1 := h + Σ1 + Ch + k[i] + w[i]

h := g

g := f

f := e

e := d + t1

d := c

c := b

b := a

a := t1 + t2

На основе представленного псевдокода можно заключить, что для аппаратной реализации алгоритма понадобятся:

- вычислительный блок;

- блоки памяти по 8 32-битных регистров для переменных и буферизации вывода;

- блок управления;

- блок постоянной памяти для хранения констант.

При этом, стоит отметить, что согласно ТЗ, ШД должна иметь разрядность 32, поэтому необходимо использовать мультиплексирование с разделением по времени, чтобы инициализировать и считать все необходимые значения.

В силу большой разрядности переменных и сложности проектируемого устройства, было решено использовать для разработки язык описания аппаратуры. В качестве языка и САПРа для разработки были выбраны Verilog и Xilinx ISE соответственно. Эти средства обладают качественной и подробной документацией, широко распространены и имеют вариант распространения для некоммерческих целей.

# **2.** Разработка **электрической функциональной схемы**

При анализе предметной области, было заключено, что устройство должно состоять из блока управления, блока памяти переменных, выходного буфера и вычислительного блока.

Блок памяти переменных каждые 64 цикла исполнения алгоритма инициализируется извне, в остальных циклах он сохраняет значения полученные в предыдущем цикле. Поэтому данный блок должен иметь два информационных входа для соответствующих целей.

Вычислительный блок принимает на вход значения переменных из блока памяти переменных, значение очередной служебной константы и фрагмент информационного сообщения. Данные блок отвечает непосредственно за расчеты, описанные в стандарте SHA-256.

Выходной буфер принимает значения, полученные в ходе вычислений и передает их на выход устройства, а также в блок памяти переменных.

Блок памяти констант представляет из себя постоянную память, хранящую 64 служебных константы, которые необходимы для расчетов.

Блок управления на основе тактирующего сигнала генерирует необходимые сигналы выборки для блоков памяти, так как из-за большой разрядности все они имеет внутри себя схему выборки и для операций ввода-вывода используют мультиплексирование с разделением по времени.

Разработанная электрическая функциональная схема представлена на рисунке 1.



Рисунок 1 – функциональная схема устройства

3. Разработка принципиальной схемы

4. Разработка описания устройства на языке Verilog

4.1 Разработка вычислительного блока

СПИСОК ИСПОЛЬЗОВАННОЙ ЛИТЕРАТУРЫ

1. Penny Pritzker, Willie E. May, Secure Hash Standard (SHS) / Penny Pritzker, Willie E. May. – Gaithersburg : FEDERAL INFORMATION PROCESSING STANDARDS PUBLICATION, 2015. – 36 с.
2. В.В. Рубанов. Обзор методов описания встраиваемой аппаратуры и построения инструментария кросс-разработки. Труды Института системного программирования РАН, том 15, 2008, стр. 7-40.
3. Бегимбаева, О.А. АНАЛИЗ МЕТОДОВ И ПРАКТИЧЕСКОЕ ПРИМЕНЕНИЕ ХЕШ-ФУНКЦИЙ / О.А. Бегимбаева, Е.Е. Усатова, С.Е. Нысанбаева. – Алматы : № 5 (2021): "Известия НАН РК. Серия физико-математическая", 2021. – 100-110 с.