**Реферат**

РПЗ 28 страниц, 15 рисунков, 4 таблиц, 5 источников, 5 приложений

СУММАТОР, МИКРОСХЕМА, ТТЛ, РЕГИСТР, БИТ, ПОСЛЕДОВАТЕЛЬНО

Объектом разработки является восьмиразрядный сумматор последовательного действия.

Цель работы – создание функционального устройства, построенного на базе TTL-логики, и разработка необходимой документации на объект разработки.

При проектировании решены следующие задачи: анализ объекта разработки на функциональном уровне, разработка функциональной схемы модуля, выбор элементной базы для реализации объекта, разработка принципиальной схемы модуля, расчет электрических параметров.

Результатом проектирования является комплект конструкторской документации для изготовления устройства. Устройство должно обладать следующими техническими характеристиками:

* тип сумматора: последовательный;
* разрядность сумматора: 8 бит;
* разрядность шины данных: 16 бит;
* логика элементов ТТЛ;
* тактовая частота 1 МГц;
* потребляемое напряжение не более 3 Вт.

**Содержание**

Введение.6

1 Анализ требований……………………………………………………………...7

1.1 Принцип работы разрабатываемого устройства……………………..7

1.2 Выбор схемотехнического решения……………..……………………7

2 Проектирование функциональной схемы……………………………………..9

2.1 Блок приема…………………………………………………………….9

2.2 Блок подсчета………………………………………………………….10

2.3 Блок выдачи ответа…………………………………………………...10

3 Моделирование………………………………………………………………...11

4 Построение временных диаграмм…………………………………………….13

5 Проектирование принципиальной схемы устройства………………………15

5.1 Выбор элементной базы………………………………………………15

5.1.1 Выбор серии…………………………………………………..16

5.2 Выбор устройства для приема данных………………………………17

5.3 Выбор устройства для сложения двух чисел………………………..17

5.4 Выбор устройства для выходных данных…………………………...18

5.5 Выбор вспомогательных устройств………………………………….18

5.6 Выбор генератора тактовых импульсов……………………………..20

5.7 Выбор разъемов……………………………………………...……….20

5.8 Устранение помех…………………………………………………….20

6 Расчет потребляемой мощности……………………………………………...22

6.1 Расчет статической мощности……………………………………….22

6.2 Расчет динамической мощности……………………………………..22

ЗАКЛЮЧЕНИЕ……………………………………………………………….....24

СПИСОК ИСПОЛЬЗОВАННОЙ ЛИЕТРАТУРЫ……………………………..25

Приложение А (Техническое задание)…………………………………………26  
Приложение Б (Графическая часть)……………………………………………27

Приложение В (Лист спецификации)..…………………………………………28

Приложение Г (Временные диаграммы)…….…………………………………29

Приложение Д (Справочник по микросхемам) ……………………………….30

**ОПРЕДЕЛЕНИЯ, ОБОЗНАЧЕНИЯ И СОКРАЩЕНИЯ**

ТТЛ – транзисторно-транзисторная логика

ТЗ – техническое задание

ШД – шина данных

ЛЭ – логический элемент

МС – микросхема

**ВВЕДЕНИЕ**

В данной работе производится разработка законченного модуля восьмиразрядного сумматора последовательного действия.

Восьмиразрядный сумматор последовательного действия предназначен для проведения операции сложения двух восьмиразрядных чисел. На выходе будет не только значение суммы, но и будет видно, произошло ли переполнение разрядной сетки.

В зависимости от способа работы, сумматоры разделяют на последовательные и параллельные. В параллельном сумматоре сложение всех разрядов происходит практически одновременно, а в последовательном – по очереди от младших разрядов к старшим.

Актуальность разрабатываемого устройства заключается в широком применении в различных электронных конструкциях. В основу любого арифметико-логического устройства ЭВМ входит сумматор. Он выполняет операции сложения и вычитания, причем операция вычитания в сумматоре представляется, как операция сложения с отрицательным числом.

**1 Анализ требований**

Исходя из требований, изложенных в техническом задании, можно сделать вывод, что задачей работы устройства является формирование сигналов результата суммы, двух последовательно сложенных чисел, и бита переноса, если он появляется в результате суммы.

**1.1 Принцип работы разрабатываемого устройства**

Два начальных числа подаются на схему через шестнадцатибитовую ШД и записываются в два восьмибитных параллельно-последовательных регистра сдвига.

После записи чисел, регистры сдвига каждый такт будут выдавать по одному биту на выход, начиная с младшего разряда, так параллельный код преобразуется в последовательный.

Данные с выходов регистров подаются на одноразрядный сумматор, который высчитывает результат сложения, а также бит переноса. Бит переноса, если он есть, появившийся в результате сложения каждого из разрядов, подается обратно на сумматор, для дальнейшего сложения.

Выходные значения записываются в сдвиговый регистр, преобразуются из последовательного кода, в параллельный, результирующий бит переноса будет выводиться отдельным сигналом.

**1.2 Выбор схемотехнического решения**

Первоочередной задачей является запись данных в регистры. Для хранения данных будет использоваться два сдвиговых регистра, преобразующих параллельный код в последовательный.

Далее необходимо реализовать одноразрядный сумматор. Для этого

используются следующие элементы [1]:

* пять элементов “И”;
* один элемент “ИЛИ”;
* два элемента “И-НЕ”;
* два элемента “ИЛИ-НЕ”;
* один D-триггер, для задержки бита переноса, поступающего для сложения со следующим разрядом.

После подсчета, выходное значение и результирующий бит переноса храниться в регистрах. Это реализовано с помощью:

* двух последовательного-параллельных сдвиговых регистров, преобразующие последовательный код в параллельный;
* двух параллельных регистров, для хранения выходных значений;
* трех JK-триггеров, на основе которых построен восьмиразрядный счетчик. Контролирующий, чтобы все сигналы пришли одновременно.

Разработанная структурная схема восьмиразрядного сумматора последовательного действия представлена на рисунке 1 и также содержится в приложении Б.

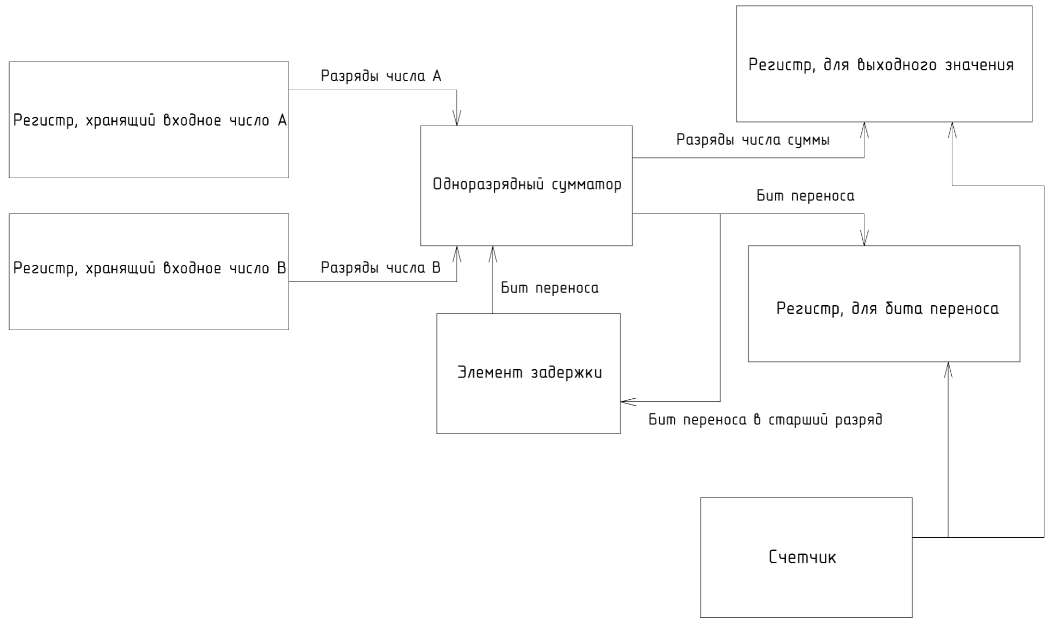


Рисунок 1 – структурная схема устройства

**2 Проектирование функциональной схемы устройства**

На основании выбранного схемотехнического решения были выделены функции устройства и реализующие их блоки – блок приема, блок подсчета, блок выдачи ответа. Опишем подробнее каждый функциональный блок и рассмотрим их взаимодействие.

Разработанная функциональная схема восьмиразрядного сумматора последовательного действия представлена на рисунке 2, а также содержится в

приложении Б [2].

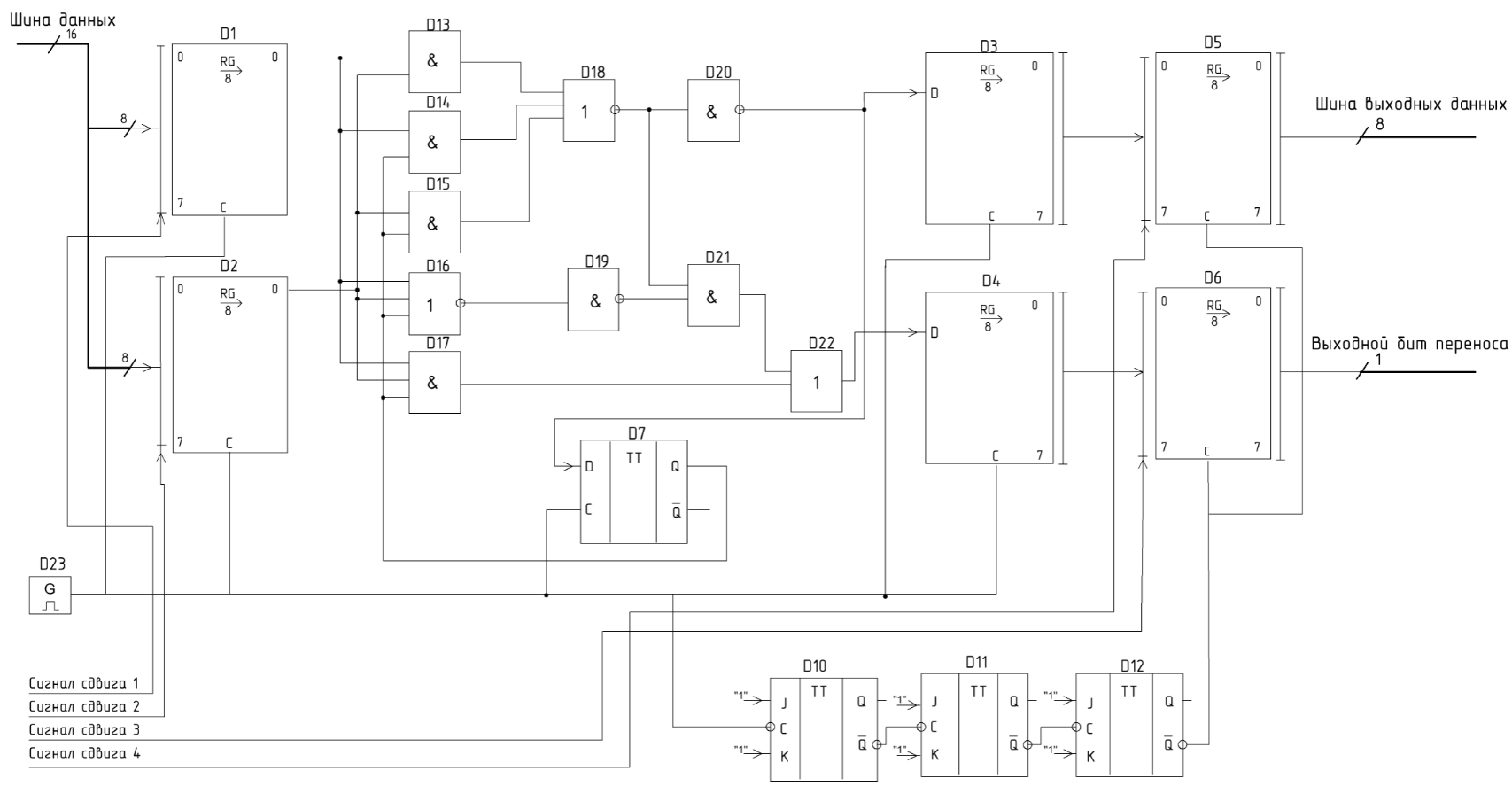


Рисунок 2 – функциональная схема устройства

**2.1 Блок приема**

Функциональный блок приема данных состоит из двух сдвиговых регистров, в которых и будут записаны начальные значения.

Далее, каждый такт, сдвиговые регистры будут выдавать на выход по одному биту, пример показан на таблице 1.

Таблица 1 – работа сдвиговых регистров

|  |  |  |
| --- | --- | --- |
| Начальное значение на выходе регистра | Номер такта | Выход регистра |
| 10110010 | 1 | 0 |
| 2 | 1 |

Продолжение таблицы 1

|  |  |  |
| --- | --- | --- |
| Начальное значение на выходе регистра | Номер такта | Выход регистра |
| 10110010 | 3 | 0 |
| 4 | 0 |
| 5 | 1 |
| 6 | 1 |
| 7 | 0 |
| 8 | 1 |

Блок приема будет выдавать значения на блок подсчета.

**2.2 Блок подсчета**

Блок подсчета – это одноразрядный сумматор. Данный блок обеспечивает сложение двух чисел побитово, организуя последовательное сложение. Каждый такт, данный функциональный блок выдает один бит результирующего значения, и этот бит подается на блок выдачи ответа. Также в каждый такт в результате суммы может формироваться бит переноса, который подается на вход данного блока на следующей итерации сложения.

Данный функциональный блок состоит из ЛЭ “И”, “ИЛИ”, “ИЛИ-НЕ”, “И-НЕ” и D-триггера. Триггер обеспечивает необходимую задержку для бита переноса для следующей итерации. Данный функциональный блок работает 8 тактов, так как разрядность исходных данных 8 бит [1].

**2.3 Блок выдачи ответа**

Блок выдачи ответа состоит из четырех сдвиговых регистров, два преобразующих последовательный код в параллельный, один для результата сложения двух чисел, один для код бита переноса, и два регистра для хранения, один для результата сложения, один для последнего бита переноса.

**3 Моделирование**

Модель устройства было собрано и протестировано в программе multisim. Результаты моделирования показаны на рисунках 3 – 5. Работа регистров приема данных, которые преобразуют сигналы из параллельного в последовательный вид видно на рисунке 3 – 4.

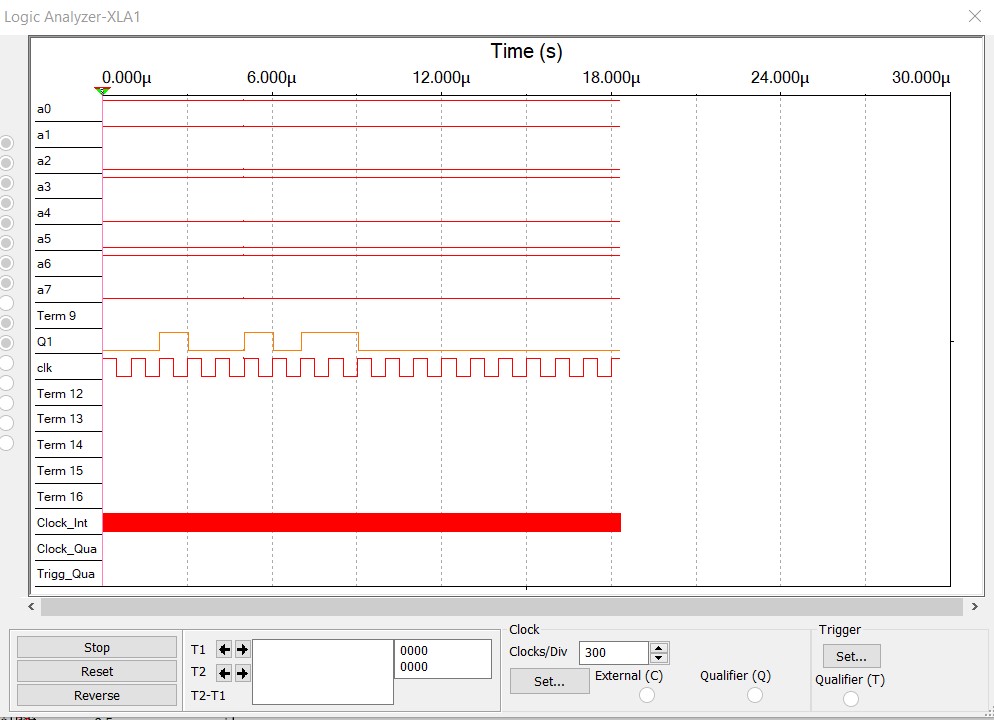


Рисунок 3 – прием и преобразование 1-ого числа

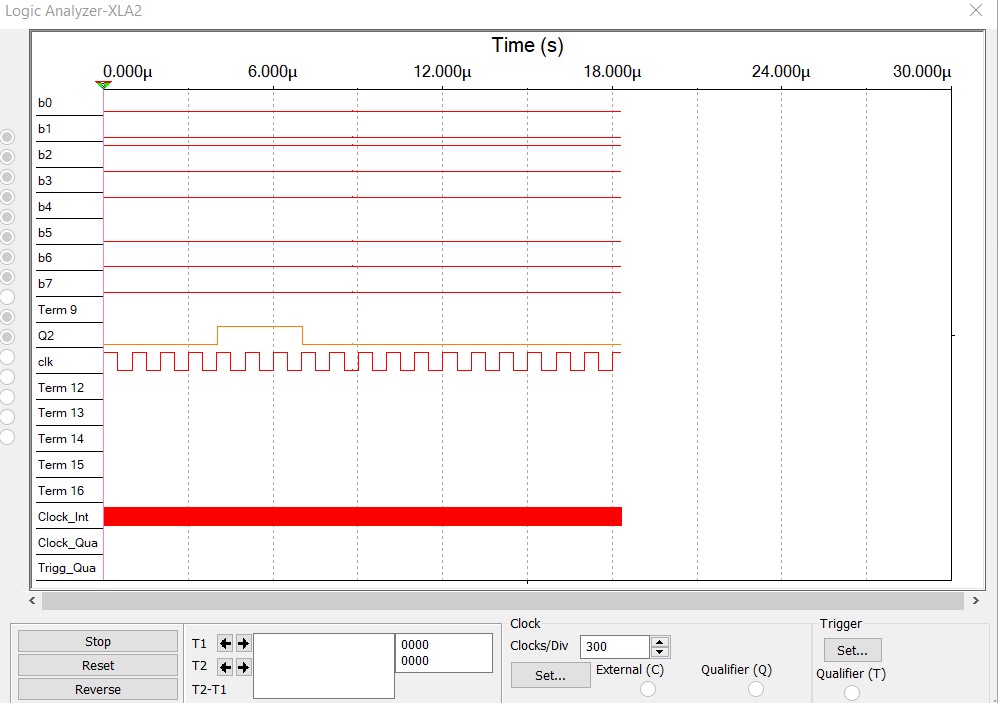


Рисунок 4 – прием и преобразование 2-ого числа

Результат суммы двух восьмиразрядных чисел, преобразованный из последовательного в параллельный вид, и бит переноса видно на рисунке 5. Так же на рисунке для удобства сравнения правильности работы устройства, представлены исходные данные и результат в последовательном виде.

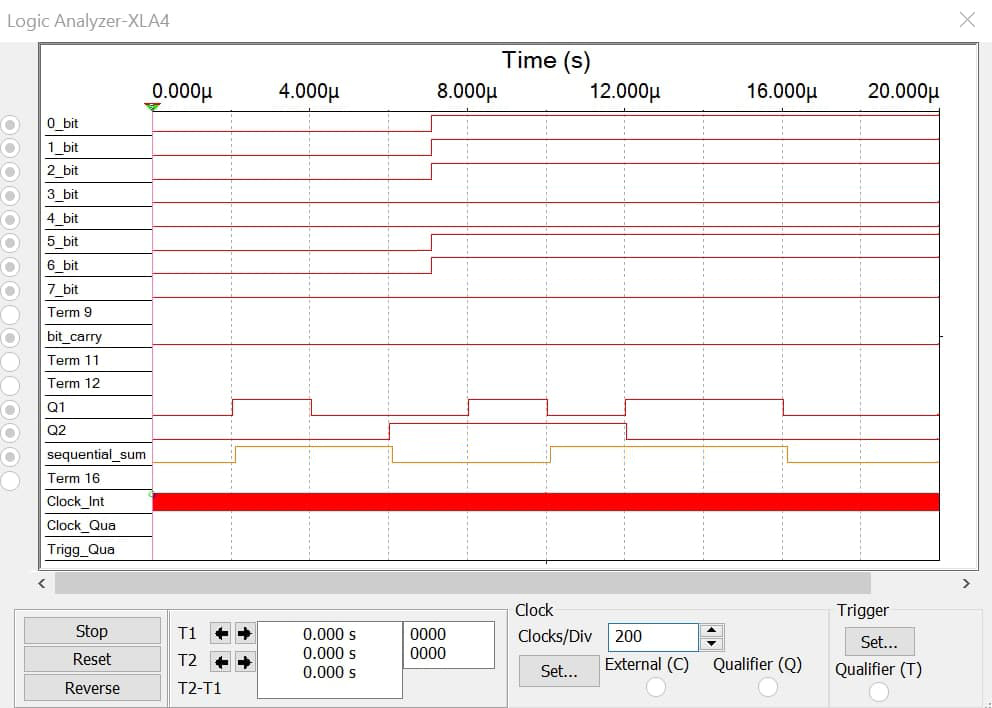


Рисунок 5 – результат суммы двух числен и бит переноса

**4 Построение временных диаграмм**

Были построены временные дигаммы работы 8-разрядного сумматора. На рисунке 6 показано преобразование числа А из параллельного кода в последовательный. На рисунке 7 показано преобразование числа B из параллельного кода в последовательный. На рисунке 8 показан результат работы устройства – сумма двух 8-разрядных чисел и бит переноса, для удобства проверки также приведен результат в последовательном виде. Также все временные диаграммы есть в приложении Г.

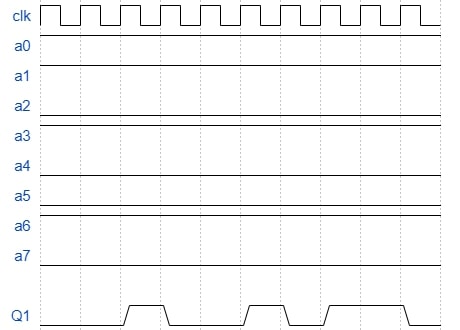


Рисунок 7 – прием и преобразование 1-ого числа

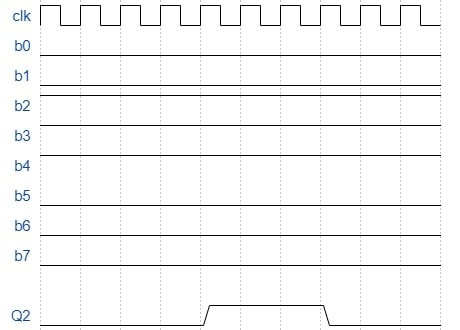


Рисунок 8 – прием и преобразование 2-ого числа

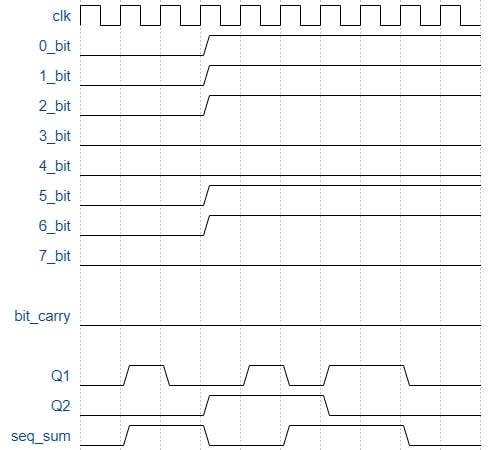
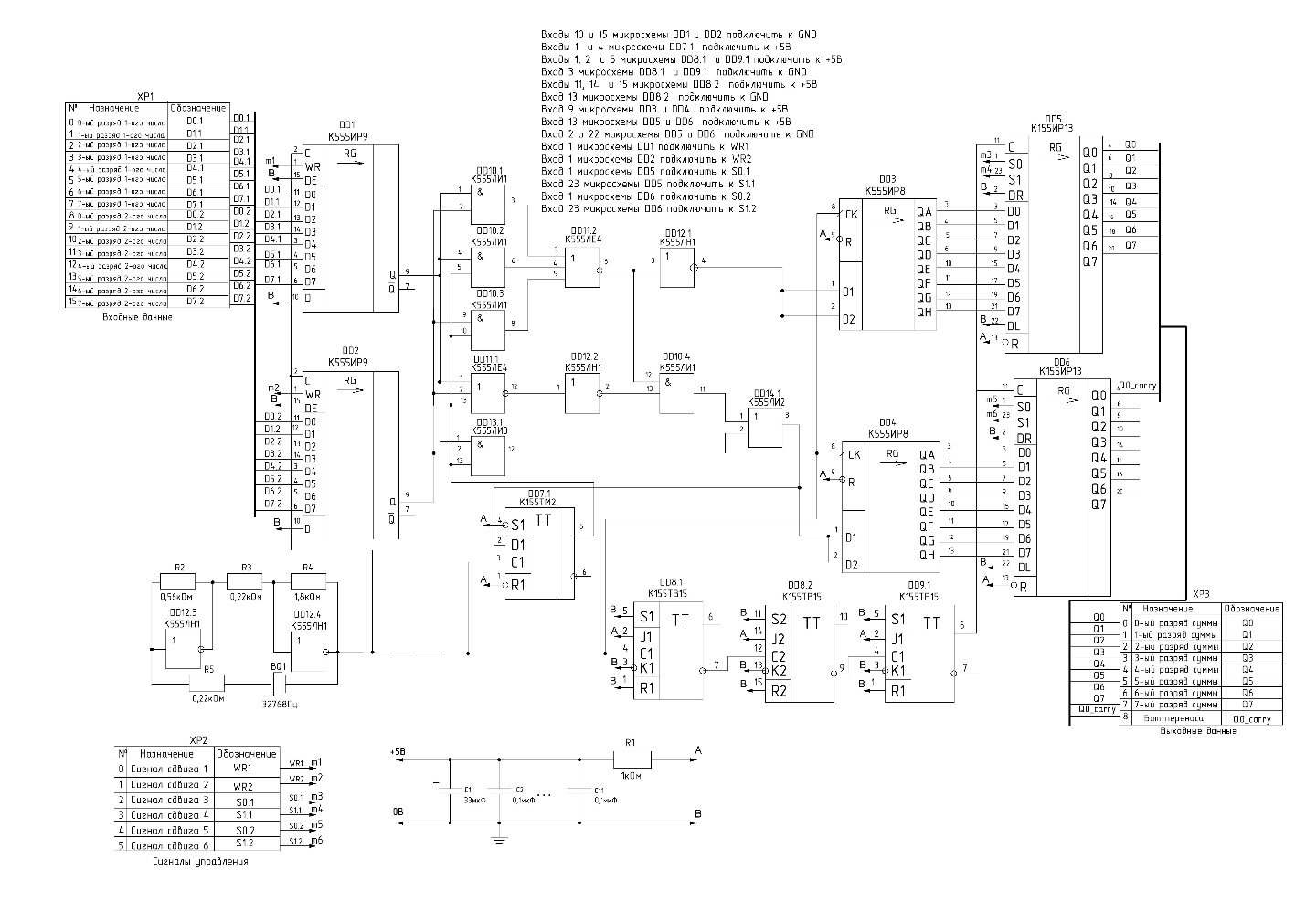


Рисунок 9 – результат суммы двух числен и бит переноса

**5 Проектирование принципиальной схемы устройства**

Разработанная принципиальная схема восьмиразрядного сумматора последовательного действия представлена на рисунке 10 и также содержится в приложении Б [2].

 Рисунок 10 – принципиальная схема устройства

**5.1 Выбор элементной базы**

В наши дни большинство микросхем изготавливаются по технологиям КМОП и ТТЛ. Ранее ТТЛ-микросхемы не имели аналогов по величине быстродействия, поэтому использовались повсеместно, несмотря на высокое, в сравнении с КМОП, энергопотребление.

Выбирая элементную базу, следует учитывать основные критерии оценки элементов - быстродействие и суммарную потребляемую мощность. Согласно ТЗ, к объекту разработки предъявляется требование использования ТТЛ-логики.

Транзисторно-транзисторная логика (ТТЛ, TTL) — разновидность цифровых логических микросхем, построенных на основе биполярных транзисторов и резисторов. Название транзисторно-транзисторный возникло из-за того, что транзисторы используются как для выполнения логических функций (например, И, ИЛИ), так и для усиления выходного сигнала [3,4].

**5.1.1 Выбор серии**

Первые ТТЛ были микросхемы серии К155, их можно встретить в аппаратуре, работающей до сих пор. Их зарубежные аналоги получили название SN74. Конкретные микросхемы этой серии обозначаются цифровым номером микросхемы, следующим за названием серии.

Затем были выпущены микросхемы повышенного быстродействия, в названии зарубежных микросхем в обозначении серии появилась буква S. Отечественные серии микросхем сменили цифру 1 на цифру 5. Выпускаются микросхемы серий К555 (низкое быстродействие низкое потребление — SN74LS) и К531 (высокое быстродействие и большое потребление — SN74S) [3,4].

Сравнение серий К155, К531 и К555 показано в таблице 2.

Таблица 2

|  |  |  |  |
| --- | --- | --- | --- |
| Серия | К155 | К531 | К555 |
| Зарубежный аналог | SN74 | SN74S | SN74LS |
| Диапазон напряжений питания, В | 4.74…5.25 | 4.75…5.25 | 4.74…5.25 |
| Среднее время задержки  распространения, нс | 9 | 3 | 9.5 |
| Энергия переключения, пДЖ | 90 | 57 | 19 |
| Входной ток логического 0 | 1.6 | 2 | 0.4 |
| Входной ток логической 1 | 0.04 | 0.05 | 0.03 |
| Выходной ток логического 0 | 16 | 20 | 8 |
| Выходной ток логической 1 | 0.4 | 1 | 0.4 |
| Средняя рабочая частота, МГц | 40 | 30 | 140 |
| Потребляемая мощность, мВт | 10 | 19 | 2 |

Напряжение питания микросхем серий ТТЛ равно 5 В ±5%

Проанализировав сравнительную таблицу основных параметров и состав элементов каждой из серий, выберем серию К555, т.к. она дает хорошее быстродействие, при невысоком потреблении мощности.

**5.2 Выбор устройства для приема данных**

В качестве элемента, который будет хранить исходные значения, используем сдвиговый регистр К555ИР9. На рисунке 11 показано УГО элемента [3,4,5].

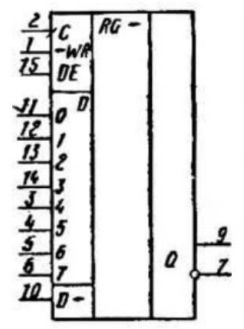


Рисунок 11 – УГО К555ИР9

Входы D1...D8 используются как шина данных для записи данных параллельного типа. Так же записывать данные можно не параллельно, а последовательно, для этого используется вход D. Вход 2 (С) – тактовый вход. Вход 15 (DE) – задержка такта. Вход 1 (WR) – сдвиг/загрузка данных.

**5.3 Выбор устройств для сложения двух чисел**

Последовательный восьмиразрядный сумматор проектируется из:

* К555ЛИ1 – 4 элемента «И»;
* К555ЛЕ4 – 2 элемента «3 ИЛИ-НЕ»
* К555ЛИ3 – 1 элемент «3 И»
* К555ЛН1 – 2 элемента «ИЛИ-НЕ»
* К555ЛИ2 – 1 элемент «ИЛИ»
* К155ТМ2 – 1 элемент «D-триггер»

**5.4 Выбор устройства для выходных данных**

В качестве сдвиговых регистров, которые будут хранить выходные значения, используем элемент К155ИР13. На рисунке 12 показано УГО элемента [3,4,5].

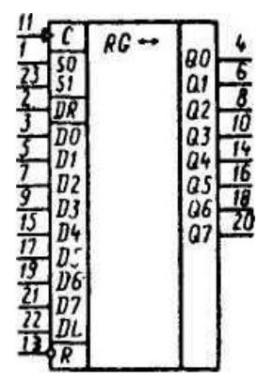


Рисунок 12 – УГО К155ИР13

Входы D0...D7 используются как шина данных для записи данных параллельного типа. Вход 11 (С) – тактовый вход. Вход 13 (R) – инверсный “сброс”. Вход 22 (DL) – последовательный ввод информации при сдвиге влево. Входы 1 и 23 (S0 и S1) – режим. Вход 2 (DR) – последовательный ввод информации при сдвиге вправо.

**5.5 Выбор вспомогательных устройств**

Восьмиразрядный счетчик, построенный на трех JK-триггерах К155ТВ15, для одновременного прихода данных на выход. На рисунке 13 показано УГО элемента [3,4,5].

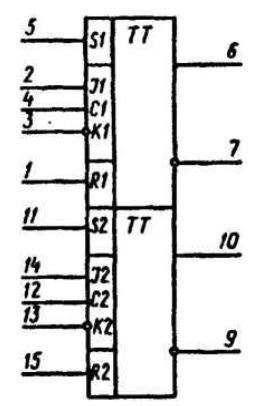


Рисунок 13 – УГО К155ТВ15

Вход 1 и 15 (R1 и R2) – вход установки “0”. Вход 5 и 11 (S1 и S2) – вход установки “1”. Входы 2 и 14 (J1 и J2) – вход установки “1”. Входы 4 и 12 (С1 и С2) – тактовый. Входы 3 и 13 (К1 и К2) – инверсный вход установки “0”.

И сдвиговые последовательно-параллельные регистры К555ИР8, преобразовывающие последовательный код в параллельный. На рисунке 14 показано УГО элемента [3,4,5].

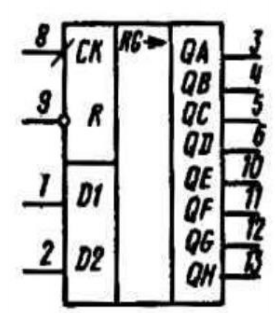


Рисунок 14 – УГО К555ИР8

Вход 1 и 2 (D1 и D2) – информационные. Инверсный вход 9 (R) – сброс. Вход 8 (CK) – тактовый.

**5.6 Выбор генератора тактовых импульсов**

Для того, чтобы обеспечить схему стабильными тактовыми импульсами, необходимо собрать тактовый генератор с заданной частотой. На рисунке 15 представлена схема генератора.

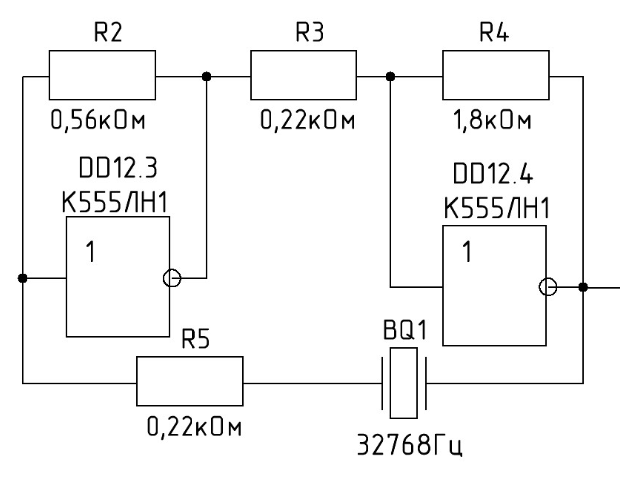


Рисунок 15 – Генератор тактовых импульсов

**5.7 Выбор разъемов**

Устройство требует наличия трех разъемов, имеющих следующие функциональные назначения – ввод данных, сигналы управления и выдача выходных сигналов:

1. разъем XР1 имеет 16 контактов-выходов, через которые поступают входные данные;

2. разъем XР2 имеет 6 контактов-выходов, через которые поступают сигналы управления;

3. разъем XР3 имеет 9 контактов-входов, в которые поступают результаты работы устройства.

**5.8 Устранение помех**

Источник питания может быть нестабилен и выдавать скачки напряжения, из-за чего работа устройства может быть прервана. Для устранения такого явления между линией питания +5В и линией заземления 0В необходимо установить электролитические конденсаторы. Один конденсатор, с наибольшим значением, должен быть расположен в близости от разъема питания, а его емкость равна 33 мкФ.

Для снижения скачков напряжения, обусловленных переходными процессами в микросхемах, необходимо установить параллельные конденсаторы. Для разрабатываемой схемы устройства потребуется 10 конденсаторов емкостью 0.1 мкФ.

Помехи в разрабатываемом устройстве могут возникать также из-за неиспользуемых входов, которые могут создавать помехи в цепях. Для устранения такого явления все неиспользуемые прямые входы были соединены с общей линией земли (0В), а инверсные входы – с линией питания (+5В).

**6 Расчет потребляемой мощности устройства**

Рассчитаем мощность, потребляемую сумматором последовательного действия. На все МС подано напряжение 5В. Суммарная мощность, потребляемая устройством, состоит из статической и динамической мощностей.

**6.1 Расчет статической мощности**

Рассчитаем статическую мощность, потребляемую спроектированным устройством по формуле (1):

Pстат.микр. = Uсс \* Iсс  (1)

где Ucc – напряжение питания (равно 5В), Icc – ток потребления микросхемы. Результаты расчета показаны в таблице 3.

Таблица 3 – Расчет мощности, потребляемой в статическом режиме

|  |  |  |  |
| --- | --- | --- | --- |
| Микросхема | Потребляемая мощность, мВт (макс) | Количество | Суммарная потребляемая мощность, мВт |
| К555ИР9 | 180 | 2 | 360 |
| К555ИР8 | 135 | 2 | 270 |
| К155ИР13 | 580 | 2 | 1160 |
| К555ЛН1 | 12 | 1 | 12 |
| К555ЛИ1 | 22 | 1 | 22 |
| К555ЛЕ4 | 20 | 1 | 20 |
| К555ЛИ3 | 18 | 1 | 18 |
| К555ЛИ2 | 24 | 1 | 24 |
| К155ТМ2 | 150 | 1 | 150 |
| К155ТВ15 | 150 | 2 | 300 |

Таким образом, суммарная потребляемая мощность в статическом режиме равна 2336 мВт.

**6.2 Расчет динамической мощности**

Рассчитаем динамическую потребляемую мощность каждой микросхемы по формуле (2):

Рдин. = С0𝑓вх. + Снагр.𝑓вых., (2)

где С0 – входная емкость МС, 𝑈пит. – напряжение питания (5В), Снагр. – емкость нагрузки, 𝑓вх. – входная частота и 𝑓вых. – выходная частота. Результаты представлены в таблице 4.

Таблица 4 — Расчет мощности, потребляемой в динамическом режиме

|  |  |  |  |
| --- | --- | --- | --- |
| Микросхема | Потребляемая мощность, мВт (макс) | Количество | Суммарная потребляемая мощность, мВт |
| К555ИР9 | 12 | 2 | 24 |
| К555ИР8 | 15 | 2 | 30 |
| К155ИР13 | 20 | 2 | 40 |
| К555ЛН1 | 2,5 | 1 | 5 |
| К555ЛИ1 | 2,5 | 1 | 5 |
| К555ЛЕ4 | 3 | 1 | 3 |
| К555ЛИ3 | 2,5 | 1 | 2,5 |
| К555ЛИ2 | 2,5 | 1 | 2,5 |
| К155ТМ2 | 10 | 1 | 10 |
| К155ТВ15 | 10 | 2 | 20 |

Таким образом, суммарная потребляемая мощность в динамическом режиме равна 142 мВт.

Мощность, потребляемая устройством равна 2478 мВт. Полученная мощность удовлетворяет указанным в ТЗ требованиям.

**ЗАКЛЮЧЕНИЕ**

В ходе выполнения курсового проекта получены функциональное и принципиальное описание устройства, а также временные диаграммы симуляции его работы.

Устройство представляет собой восьмиразрядный сумматор последовательного действия. Сумматор полностью реализован на отечественных микросхемах логики ТТЛ.

Было произведено моделирование разработанного устройства в программе multisim. По результатам моделирования было выяснено, что устройство работает корректно.

Устройство имеет следующие технические характеристики:

* тип сумматора: последовательный;
* разрядность сумматора: 8 бит;
* разрядность шины данных 16;
* логика элементов ТТЛ;
* тактовая частота 1 МГц;
* мощность потребления не более 3 Вт.

**СПИСОК ИСПОЛЬЗОВАННОЙ ЛИЕТРАТУРЫ**

1. Сумматоры [Электронный ресурс]. URL: <https://studme.org/291237/tehnika/summatory> (Дата обращения 12.04.2021);
2. ГОСТ 2.743-91 ЕСКД. Обозначения условные графические в схемах. Элементы цифровой техники [Электронный ресурс]. - URL: http:// docs.cntd.ru/document/gost-2-743-91-eskd (Дата обращения 25.05.2021);
3. Отечественные микросхемы и их зарубежные аналоги [Электронный ресурс]. URL: https://cxem.net/sprav/sprav48.php (дата обращения 25.04.21);
4. Справочник по микросхемам ТТЛ серий [Электронный ресурс]. URL: https://www.qrz.ru/reference/kozak/ttl/ttlh00.shtml (дата обращения 25.04.21);
5. Электронные компоненты [Электронный ресурс]. URL: <https://eandc.ru> (Дата обращения 29.04.2021).

**Приложение А**

Техническое задание

На 4 листах

**Приложение Б**

Графическая часть

На 3 листах

Электрическая схема структурная

Электрическая схема функциональная

Электрическая схема принципиальная

**Приложение В**

Лист спецификации

На 2 листах

**Приложение Г**

Временные диаграммы

На 1 листе

**Приложение Д**

Справочник по микросхемам

На 10 листах