



# LearnVerilog

Интерактивные курсы по языку  
описания аппаратуры Verilog



# Elevator pitch

Адаптируем технологии и архитектуру существующих интерактивных курсов по программированию под специфику Verilog

Снижаем порог входа в сложную технологию и помогаем с профориентацией



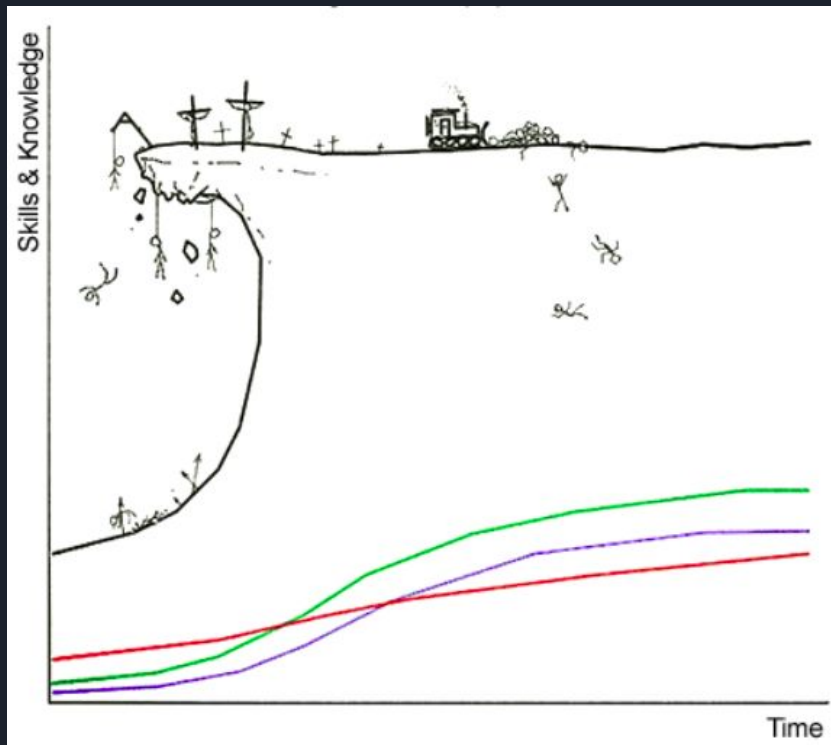
# Идея: Развернуто

Образовательная платформа для изучения HDL-языка Verilog

Площадка использует собственную систему автоматизированного тестирования проектов на Verilog, а также отображает временные диаграммы работы описанных устройств

Кроме того, присутствует возможность анализа пользовательской статистики и изменения содержания курса

# Проблемы



Высокий порог входа +  
сложно настраиваемая  
среда разработки

Низкая известность за  
рамками  
профессионального  
сообщества

Потребность в  
отечественных решениях  
в сфере разработки  
аппаратуры, особенно на  
фоне санкций



# Законодательные акты

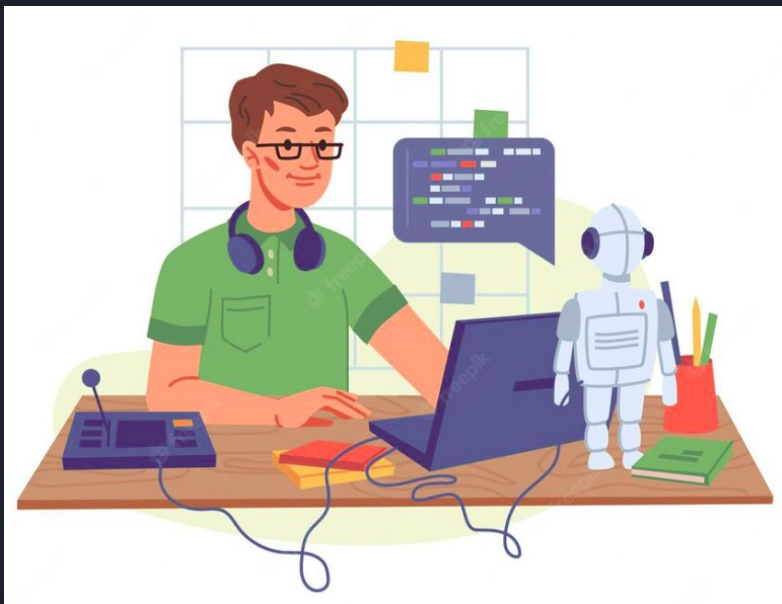
ПП РФ №109 - Об утверждении Правил предоставления из федерального бюджета субсидий российским организациям на финансовое обеспечение части затрат на создание научно-технического задела по разработке базовых технологий производства приоритетных электронных компонентов и радиоэлектронной аппаратуры

ПП РФ №2136 - Об утверждении Правил предоставления из федерального бюджета субсидий российским организациям на финансовое обеспечение мероприятий по проведению научно-исследовательских и опытно-конструкторских работ в области средств производства электроники

ПП РФ №1619 - Об утверждении Правил предоставления субсидий из федерального бюджета российским компаниям на финансовое обеспечение части затрат, связанных с внедрением российской продукции радиоэлектронной промышленности

ПП РФ №1252 - Об утверждении Правил предоставления из федерального бюджета субсидий российским организациям на финансовое обеспечение части затрат на создание электронной компонентной базы и модулей

# Целевая аудитория



Физ. лица:

- Студенты технических вузов и колледжей
- Ученики старших классов
- Программисты

Организации:

- Компании-производители электроники
- Образовательные организации



# Как мы решаем проблему

Если кратко: предоставляем структурированный теоретический материал, чередующийся с практическими заданиями, которые могут быть выполнены и проверены онлайн в автоматическом режиме



Прогресс по курсу:

36/112

## 1 Основы

## 1.1 Объявление устройства

## 1.2 Арифметические функции

## 1.3 Логические функции

## Задание 1

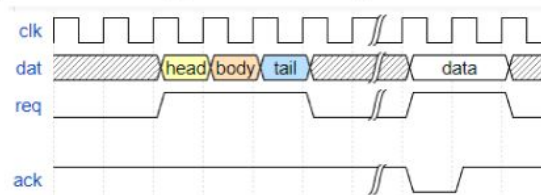
## Задание 2

## 2 Устройства с памятью

## 2.1 Регистры

## Задание 1. Проектирование сумматора

текст задания текст задания текст задания текст задания  
текст задания текст задания текст задания текст задания  
текст задания текст задания текст задания текст задания



```
1 module ctr (input          up_down,
2                   clk,
3                   rstn,
4                   output reg [2:0] out);
5
6   always @ (posedge clk)
7     if (!rstn)
8       out <= 0;
9     else begin
10       if (up_down)
11         out <= out + 1;
12       else
13         out <= out - 1;
14     end
15 endmodule
```

Использовано попыток: 0

Отправить



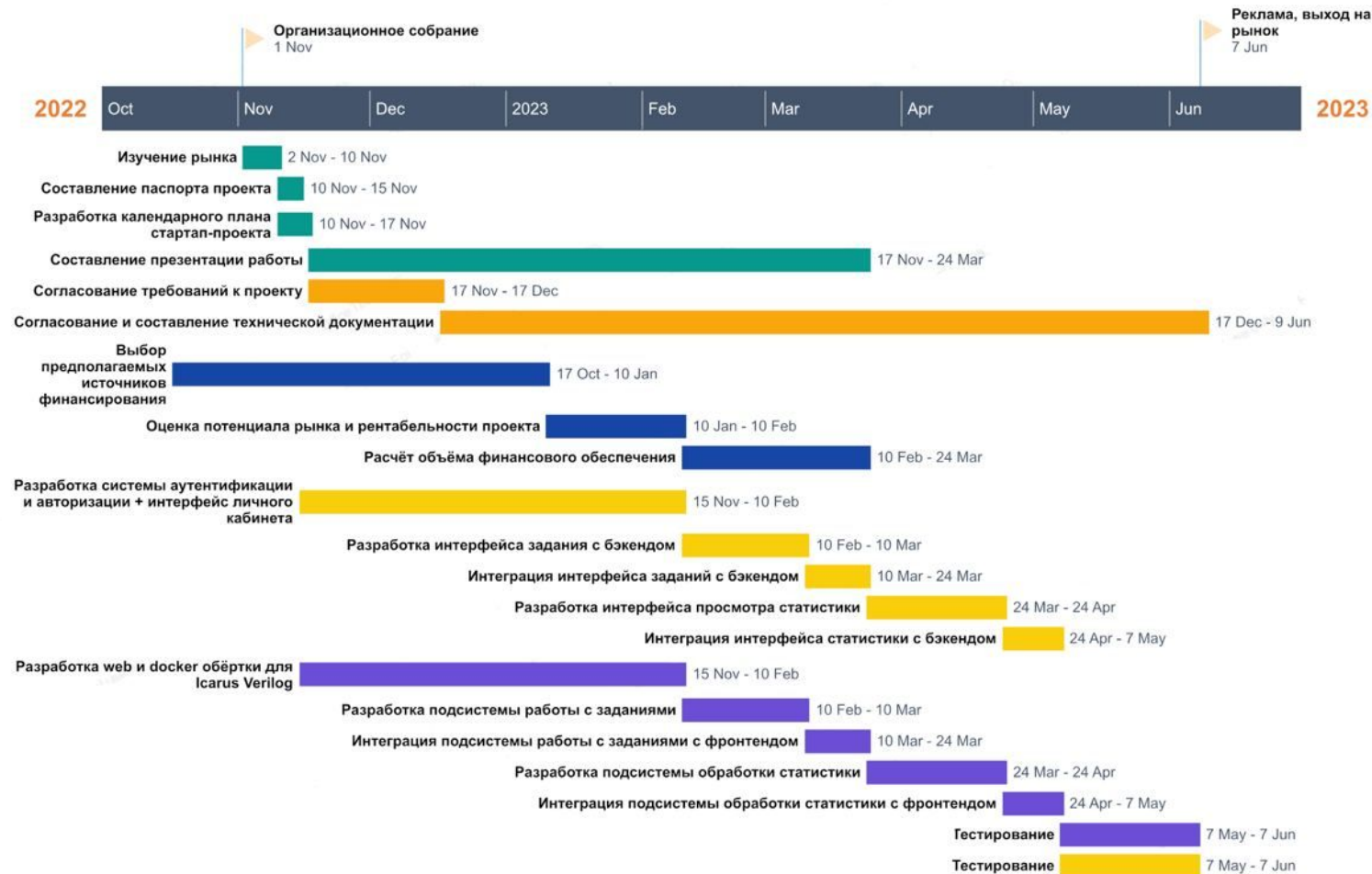
# Архитектура (жаль, не bauhaus)

## Подсистема тестирования знаний языков описания аппаратуры - Containers

### Подсистема тестирования знаний языков описания аппаратуры [System]



# Диаграмма Ганта





# Используемые библиотеки и ПО

- Vue.js (JS) - фронтенд
- Flask (python) - веб-фреймворк
- Docker - контейнеризация
- Icarus Verilog - синтез и тестирование устройств на Verilog
- subprocess (python) - управление процессам ОС (запуск/остановка)  
Icarus Verilog
- pyDigitalWaveTools - преобразование VCD-файлов в JSON
- Wavedrom - отрисовка временных диаграмм
- PostgreSQL - БД статистики
- MongoDB - хранение информации о заданиях



# Ожидаемая доля рынка

Порядка 500 физ. лиц к концу 2023 года

Порядка 35 компаний к концу 2023 года

# Аналоги

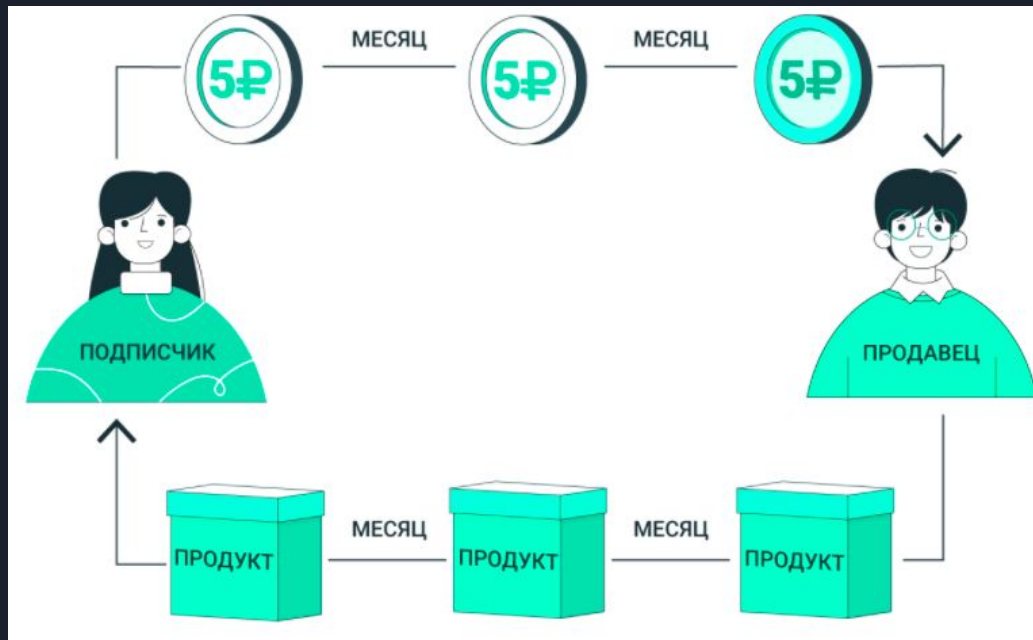
Продукт	Цена	Комментарий
Udemy: Verilog HDL: VLSI Hardware Design Comprehensive Masterclass	6000 RUB / 1 мес.	Английский язык, нет автоматического тестирования кода
Udemy: Verilog HDL Through Examples	1750 RUB / 3 нед.	Английский язык, нет автоматического тестирования кода
Coursera: Побитовая цифровая электроника: основы, Verilog и FPGA	Бесплатно	Испанский язык, нет автоматического тестирования кода
Verilog HDL Fundamentals for Digital Design and Verification	3090 RUB / -	Курс на английском языке

# Бизнес-модель

Подписка

Физ. лица 100 \$/мес.

Организации: 1500 \$/мес.





# ИНВЕСТИЦИИ

Разработка MVP (6 месяцев): 3 400 000 RUB

Источник: продажа доли в компании инвестору

Условия: команда первоначальных соучредителей имеет право, но не обязанность выкупить проданную долю (50%) в первые 5 лет реализации проекта по цене, не превышающей 10 200 000 рублей

Расходы: ЗП, аренда серверов, реклама, аутсорс дизайна

Экономические  
показатели:

NPV = 6 317 994 RUB

IRR = 20%

Срок окупаемости = 3 года

# #DreamTeam

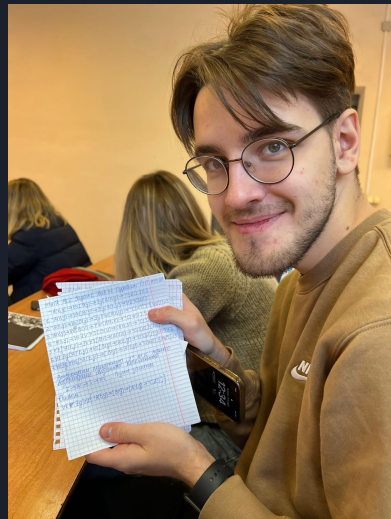


**Астахов Сергей**

Team lead, backend-разработчик

Хорошо знаком с Verilog и разработал проект ускорителя вычислений SHA-256 на нем

Умеет писать backend на flask, Django и Ruby on Rails



**Лапшин Никита**

Fullstack-разработчик

Имеет опыт работы Frontend-разработчиком в Delivery Club

Работал с React.js, Vue.js и Node.js



# #DreamTeam



**Дарья Каткова**  
Менеджер  
проекта



**Виолетта  
Корабельникова**  
Бизнес-аналитик



**Сино Ходжиев**  
Финансист

# Контактное лицо



Дарья Каткова

Менеджер

Telegram: @daryysk