asic\_core:1 memory\_switch logic\_module in\_A\_1(31:0) out A(31:0) in\_A(31:0) out\_A(31:0) out\_A(31:0) in\_A(31:0) in\_A\_2(31:0) in\_B(31:0) out\_B(31:0) out B(31:0) in\_B\_1(31:0) in\_C(31:0) out B(31:0) out C(31:0) out\_C(31:0) in\_B(31:0) in\_B\_2(31:0) in\_D(31:0) out\_D(31:0) out\_D(31:0) in\_C\_1(31:0) in\_E(31:0) out\_C(31:0) in\_C(31:0) in\_C\_2(31:0) in\_F(31:0) out\_E(31:0) out\_E(31:0) in\_D\_1(31:0) in\_G(31:0) out\_F(31:0) out\_F(31:0) out\_D(31:0) in\_D(31:0) in D 2(31:0) in H(31:0) out\_G(31:0) out\_G(31:0) in E 1(31:0) in\_Ki(31:0) out\_H(31:0) out\_H(31:0) in\_E(31:0)\_ in\_E\_2(31:0) out\_E(31:0) in\_Wi(31:0) in\_F\_1(31:0) logic\_chip in\_F(31:0) in\_F\_2(31:0) out\_F(31:0) in\_G\_1(31:0) in\_G\_2(31:0) in\_G(31:0) out\_G(31:0) in\_H\_1(31:0) in\_H(31:0) in H 2(31:0) out\_H(31:0) mo<u>de</u> clk clk mem in\_Wi(31:0) k\_generator round\_n(5:0)\_ k out(31:0) round n(5:0) k\_gen asic\_core