

INF1500 – LOGIQUE DES SYSTÈMES NUMÉRIQUES

LABORATOIRE 5

INTRODUCTION AU LANGAGE VHDL

Simulation et implémentation d'un circuit en logique séquentiel en VHDL

Révisions :

Alexy TORRES AURORA DUGO - V1.0

Automne 2020

Département de génie informatique et de génie logiciel

École Polytechnique de Montréal



**POLYTECHNIQUE
MONTREAL**

UNIVERSITÉ
D'INGÉNIERIE

1 Objectifs

L’objectif de ce laboratoire est de se familiariser au concept de base d’une machine à états en implémentant une solution d’un problème bien connu qui intègre le concept en utilisant le langage VHDL. Pour ce dernier laboratoire, vous allez faire une implémentation entièrement en VHDL. La validation des différentes composantes sera effectuée à travers la simulation.

2 Système à réaliser

Dans ce laboratoire, vous allez réaliser un chronomètre. Ce système est composé de deux boutons : **START** et **RESET**.

Le fonctionnement du chronomètre est simple dans ce laboratoire :

- L’utilisateur appuie sur **START** et le chronomètre commence à compter le temps qui passe.
- L’utilisateur appuie de nouveau sur **START** et le chronomètre met en pause le compteur.
- A tout moment (durant le compte et quand le compte est mis en pause) l’utilisateur peut appuyer sur **RESET**. Ceci aura pour effet de remettre à zéro le compteur. Si le compte était en cours, l’appui sur **RESET** doit aussi arrêter le compte.

Pour arriver à concevoir le circuit, vous devrez réaliser une machine à état permettant d’exprimer les différents états du système. Voici les étapes que nous vous conseillons de suivre :

- Définissez les états de la machine à état permettant de représenter le fonctionnement du chronomètre. Vous choisirez entre un design de type Mealy ou Moore.
- Définissez quelles sont les entrées et sorties de votre machine à état.
- Dessinez vos états et dessinez les transition entre ces états.
- Écrivez les valeurs de vos sorties au bon endroit selon votre choix Moore ou Mealy.

Le système que vous devez concevoir comporte deux modules :

- Le système de gestion du chronomètre.
- Un générateur de pulsion, permettant de ne comptabiliser qu’une seule pulsion lors d’un appui sur un bouton.

2.1 Ré-initialisation du système

Le système doit être réinitialisable à tout moment grâce à un bouton poussoir “Reset”. Lors d’un Reset, l’état du système doit être remis à **Init**.

2.2 Générateur de pulsion

Une partie du travail est d’implémenter le design sur une carte FPGA. Cela crée des problèmes au niveau de la vérification temporelle, surtout à la synchronisation. Jusqu’ici, nous avons assumé que lorsque nous appuyons sur un bouton, une seule pulsion sera générée

qui est synchronisée avec l'horloge. Cela n'est pas le cas en réalité. Nous distinguons deux problèmes :

- Synchronisation : l'une des complications est que le signal généré par l'appui d'un bouton n'est pas forcément synchrone avec l'horloge. Cela est un problème que nous cherchons toujours à éviter pour ne pas tomber dans des ambiguïtés que nous aurons du mal à expliquer.
- Génération de pulsion unique : le deuxième problème se manifeste dans l'exemple de la figure 1. Lorsque nous appuyons sur un bouton, le temps du pressage est généralement plus long qu'une période d'horloge (puisque nous travaillons avec une horloge de large fréquence (100MHz)). Le système que nous allons implémenter va voir en entrée une séquence de '1' et puisqu'il est sensible à l'horloge, il va agir à chaque activation de l'horloge.

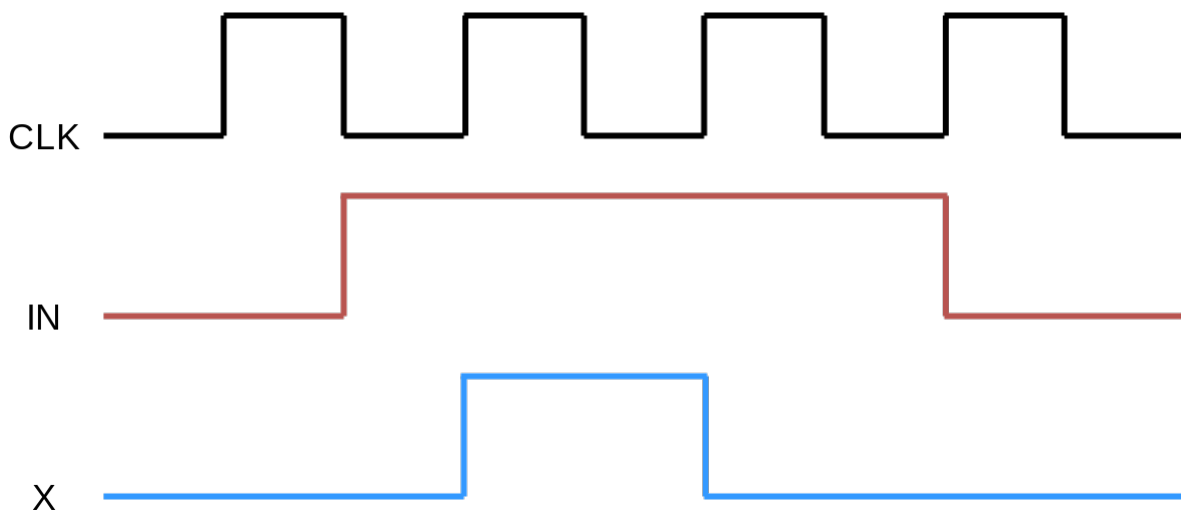


FIGURE 1 – Générateur de pulsion à partir d'un signal de bouton

Pour ces raisons, nous vous demandons d'implémenter une deuxième composante, un générateur de pulsion, qui va être reliée aux boutons et placée avant le système de chronomètre pour s'assurer que les actions seront exécutées une fois seulement à chaque appui de bouton. Pour se faire, vous devez implémenter une autre machine à états qui génère une pulsion respectant les contraintes décrites ci-dessus.

2.3 Affichage

Nous voulons être capables de suivre le comportement du système. Pour cela, nous allons avoir en sortie un vecteur de 32 bits. Ce vecteur sera la première sortie de votre système complet. Il permettra de suivre l'avancement du chronomètre.

La seconde sortie de votre circuit sera l'état courant de votre circuit. Cela permettra de valider l'avancement de la machine à état implémentée en VHDL. Pour faire cela, chaque état devra donner une valeur au vecteur de sortie (le nombre de bits dépendra du nombre d'état que vous avez). Chaque état aura donc une valeur en binaire que vous définirez.

2.4 Top Level Design

Le design à implémenter dans le top level est le suivant :

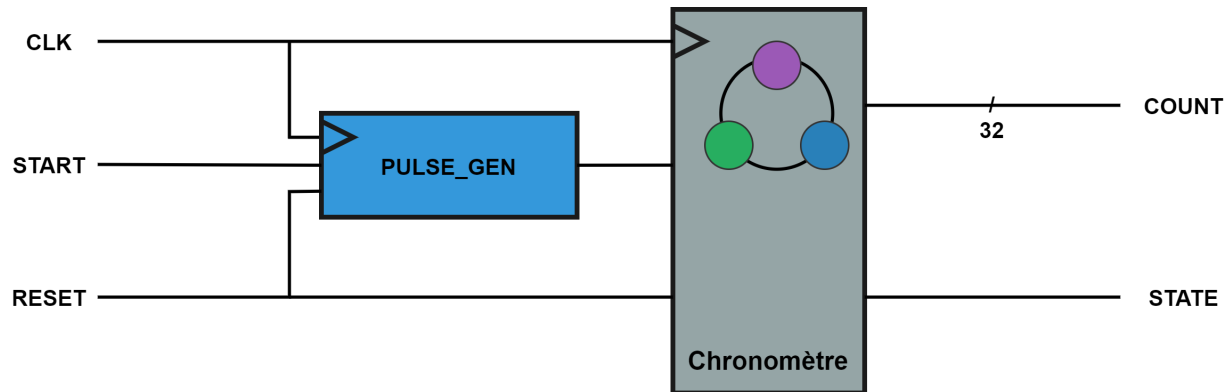


FIGURE 2 – Circuit du système complet

3 Travail à effectuer

Vous êtes en charge de concevoir :

- Un générateur de pulsion
- Le système chronomètre
- Le top level design, permettant de mettre en place tout le système.

Pour chaque étape, il est conseillé de valider le fonctionnement de son circuit par simulation. N'oubliez pas de décrire cette étape dans votre rapport !

4 Questions

1. Vos machines à état sont-elles une machine de Moore ou Mealy ? Justifiez en quoi c'est l'un ou l'autre.
2. Expliquez pourquoi vous avez choisi Mealy ou Moore.
3. Quelle est la valeur maximale de comptage offerte par le chronomètre selon les consignes données ?

5 Livrables attendus

Les livrables suivants sont attendus :

- Un rapport pour le laboratoire.
- Le dossier du projet (un dossier contenant **l'intégralité de vos fichiers**).

Le tout à remettre dans une seule archive **zip** avec pour nom matricule1_matricule2_lab5.zip à téléverser sur Moodle.

Le rapport doit contenir :

- Une introduction
- Une description pour chacun des modules
- Les machines à états pour le générateur de pulsion et le chronomètre
- Le code VHDL de chaque module et du système complet (faites référence a vos fichiers VHDL)
- Une description de la stratégie de test pour chacun des modules et des images de vos simulations
- Une conclusion

Si vous désirez mettre du code VHDL ou autre dans votre rapport, ne faites pas de capture d'écran de l'éditeur. Il est préférable de créer un fichier séparé et d'y faire référence dans votre rapport.

Consultez le site Moodle du cours pour la date et l'heure limites de remise des fichiers.

6 Barème

À la vue des nombreuses questions inutiles, ayant la réponse dans l'énoncé, les guides ou le serveur Discord, 0.5 point sera retiré de votre note finale du laboratoire si la réponse à votre question se trouve sur ces médias.

Avant de poser votre question, lisez bien :

- **L'énoncé**
- **Le guide si applicable**
- **Le canal "Annonces" du Discord**
- **Les canaux "Questions-lab"**

Bien entendu si la réponse est sur ces médias mais que vous ne la comprenez pas, vous pouvez nous poser la question. Internet est aussi une source d'information qu'il faut maîtriser.

La pondération sera donnée de la façon suivante sur 7 :

- 0/7 : l'étudiant n'a rien ou presque rien fait ;
- 1/7 : l'étudiant a réussi à faire approximativement 25% du laboratoire ;
- 2/7 : l'étudiant a réussi à faire un peu moins que la moitié du laboratoire ;

- 3/7 : l'étudiant a réussi à faire un peu plus que la moitié du laboratoire ;
- 4/7 : l'étudiant a réussi à faire presque tout le laboratoire et a démontré une compréhension comportant des faiblesses ;
- 5/7 : l'étudiant a réussi à faire tout le laboratoire et a démontré une compréhension comportant des faiblesses ;
- 6/7 : l'étudiant a réussi à faire presque tout le laboratoire et a démontré une excellente compréhension ;
- 7/7 : l'étudiant a réussi à faire tout le laboratoire et a démontré une excellente compréhension ;

25% des points sont retranchés par jour de retard!!!