

# INF1500 – LOGIQUE DES SYSTÈMES NUMÉRIQUES

## LABORATOIRE 4

### INTRODUCTION AU LANGAGE VHDL

---

## Simulation et implémentation d'un circuit en logique combinatoire en VHDL

---

#### *Révisions :*

Alexy TORRES AURORA DUGO - V1.0

Jean-Baptiste LEFOUL - V1.1

Alexy TORRES AURORA DUGO - V1.2

Automne 2020

Département de génie informatique et de génie logiciel

École Polytechnique de Montréal



**POLYTECHNIQUE  
MONTRÉAL**

# 1 Objectifs

L'objectif de ce laboratoire est de concevoir, simuler et implémenter un circuit en logique combinatoire sur la carte FPGA du laboratoire en utilisant le langage de description de matériel **VHDL**. L'objectif de ce laboratoire est de se familiariser au langage de description matériel **VHDL**. La validation des différentes composantes sera effectuée à travers la simulation et l'implémentation du circuit complet sur la carte FPGA.

## 2 Consignes préliminaires

Dans ce laboratoire vous n'utiliserez que la description en flot de données et en structurelle pour le VHDL. La description comportementale (à l'aide de process) sera comptée comme fausse.

Évidemment, c'est à vous de concevoir tous les circuits et vous ne devez pas utiliser de circuits existants.

Avant de faire ce laboratoire, suivez le guide VHDL sur Moodle.

## 3 Système à réaliser

Dans ce laboratoire, on vous demande de réaliser un circuit qui intègre :

- MOD\_3, un premier module qui fait le calcul modulo 3 de l'entrée A. Si on passe le nombre 111 à notre entrée A. Le module retournera 001. **Attention, utiliser l'opérateur MOD de VHDL sera compté comme faux, vous devez écrire votre propre circuit.** L'entrée de ce module est sur 5 bits, la sortie de ce module est sur 3 bits.
- CMP, un second module permettant de faire la comparaison entre l'entrée A et l'entrée B l'entrée de ce module comprend deux bus de 5 bits, la sortie de ce module est sur 3 bits.
- MUX 2 :1, un multiplexeur 2 vers 1 permettant de choisir entre les deux modules. Le multiplexeur prends en entrée deux bus de 3 bits, a une entrée de sélection sur 1 bit et a une sortie sur 3 bits.
- REG, un module permettant de stocker la valeur de sortie du multiplexeur lorsque son entrée *E (enable)* est à 1 et de garder cette valeur tant que *E (enable)* est à 0 (c'est un loquet sur 3 bits).

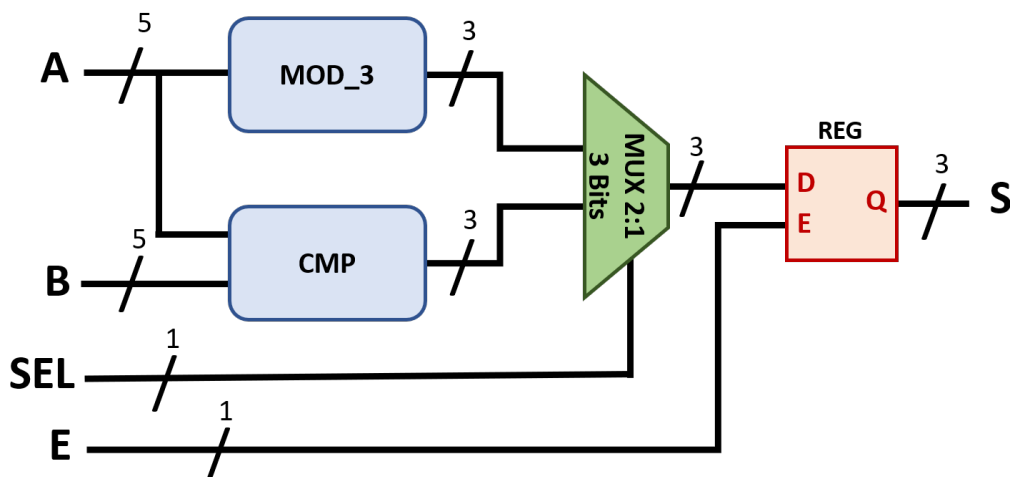


FIGURE 1 – Schéma du circuit à réaliser

Grâce au multiplexeur il est possible de choisir le mode de fonctionnement du système. Les différents modes sont représentés dans le tableau ci-dessous.

SEL	Opération
0	Modulo 3
1	Comparaison

## 4 Module CMP

La comparaison est différente des précédents laboratoires. Nous vous demandons de comparer les entrées A et B et de produire la sortie S selon le Tableau 1.

A = B	A < B	A > B
001	010	100

TABLE 1 – Sortie de la comparaison en fonction de A et B

Il est à noter que la comparaison se fait sur la valeur de A et B.

## 5 Module REG

Le module REG (pour REGISTRE) est un module enregistrant de manière asynchrone la valeur en sortie du multiplexeur lorsque l'entrée E (*enable*) est à 1 et de garder cette valeur tant que E (*enable*) est à 0.

## 6 Fichier de contrainte

Pour les entrées A, B, E et SEL, à vous de les placer sur les commutateurs comme à votre habitude. Pour la sortie S, à vous de les placer sur les LEDs comme à votre habitude.

## 7 Travail à effectuer

Le travail à réaliser est le suivant :

- Décrire le module de calcul du modulo 3 **en VHDL**.
- Décrire le module de comparaison **en VHDL**.
- Décrire le multiplexeur **en VHDL**.
- Décrire le module registre **en VHDL**.
- Décrire le circuit au complet **en VHDL**.

Pour chaque étape, il est **ÉVIDENT** qu'il faille valider le fonctionnement de son circuit par simulation. **Simulez chaque module indépendamment !** N'oubliez pas de décrire cette étape dans votre rapport !

La dernière étape consiste à générer le bitstream de votre circuit. Le fichier de contrainte de ce circuit est noté.

## 8 Livrables attendus

Les livrables suivants sont attendus :

- Un rapport pour le laboratoire.
- Le dossier du projet (un dossier contenant **l'intégralité de vos fichiers**).

Le tout à remettre dans une seule archive **zip** avec pour nom matricule1\_matricule2\_lab4.zip à téléverser sur Moodle.

Le rapport doit contenir :

- Une introduction
- Une description pour chacun des modules
- Le code VHDL de chaque module et du système complet
- Une description de la stratégie de test pour chacun des modules et des images de vos simulations
- Une conclusion

Si vous désirez mettre du code VHDL ou autre dans votre rapport, ne faites pas de capture d'écran de l'éditeur. Il est préférable de créer un fichier séparé et d'y faire référence dans votre rapport.

**Consultez le site Moodle du cours pour la date et l'heure limites de remise des fichiers.**

**L'évaluation sera faite à la prochaine séance de laboratoire.**

## 9 Barème

À la vue des nombreuses questions inutiles, ayant la réponse dans l'énoncé, les guides ou le serveur Discord, 0.5 point sera retiré de votre note finale du laboratoire si la réponse à votre question se trouve sur ces médias.

Avant de poser votre question, lisez bien :

- L'énoncé
- Le guide si applicable
- Le canal "Annonces" du Discord
- Les canaux "Questions-lab"

Bien entendu si la réponse est sur ces médias mais que vous ne la comprenez pas, vous pouvez nous poser la question. Internet est aussi une source d'information qu'il faut maîtriser.

La pondération sera donnée de la façon suivante sur 7 :

- 0/7 : l'étudiant n'a rien ou presque rien fait ;
- 1/7 : l'étudiant a réussi à faire approximativement 25% du laboratoire ;
- 2/7 : l'étudiant a réussi à faire un peu moins que la moitié du laboratoire ;
- 3/7 : l'étudiant a réussi à faire un peu plus que la moitié du laboratoire ;
- 4/7 : l'étudiant a réussi à faire presque tout le laboratoire et a démontré une compréhension comportant des faiblesses ;
- 5/7 : l'étudiant a réussi à faire tout le laboratoire et a démontré une compréhension comportant des faiblesses ;
- 6/7 : l'étudiant a réussi à faire presque tout le laboratoire et a démontré une excellente compréhension ;
- 7/7 : l'étudiant a réussi à faire tout le laboratoire et a démontré une excellente compréhension ;

25% des points sont retranchés par jour de retard!!!