

| 0. PSD - Info ed introduzione (A.A. 2023-2024)

| Cos'è Progettazione di Sistemi Digitali?

Il corso tratta argomenti preliminari alla descrizione dell'organizzazione di un calcolatore: rappresentazione dell'informazione, progettazione di reti combinatorie e sequenziali, registri e loro interconnessione.

L'obiettivo è quello di fornire gli strumenti necessari per capire funzionamento e problematiche di progetto di un calcolatore, argomenti trattati nel corso di Architettura degli Elaboratori.

| Come visualizzare questi appunti

Questi appunti sono disponibili gratuitamente, e sono accessibili:

- Dal seguente [link](#)
- In formato [PDF](#) (Dove però non funzionano i collegamenti interni alle sezioni dei documenti ed alcuni disegni più grandi potrebbero essere tagliati in più pagine)
- Accedendo alle pagine html con un webserver (alcuni elementi potrebbero mancare visualizzando le pagine individualmente).

Gli appunti ed i disegni sono stati scritti con un tema colori scuro. È dunque consigliato attivare il tema scuro e disattivare eventuali estensioni del browser come dark reader e simili.

| Risorse

| Libro e slides

Testo Consigliato:

Reti logiche, M. Morris Mano, C. R. Kime, T. Martin, Pearson Ed.

Testo alternativo:

Sistemi digitali e architettura dei calcolatori, S. L. Harris, D. M. Harris

Slide delle lezioni del Prof. Gorla (in fondo alla pagina):

[Link](#)

| Twiki

[Twiki](#), sono presenti anche alcuni esami scritti di anni passati ed in fondo alla pagina pdf di esercitazione

Massini Annalisa: massiniNOSPAM@di.uniroma1.it (Ovviamente rimuovere "NOSPAM")

| Argomenti

- [Rappresentazione dell'informazione e relative operazioni](#)
- [Algebra di Boole](#)
- [Porte logiche](#)
- [Moduli standard e circuiti combinatori](#)
- [Celle di memorizzazione e circuiti sequenziali](#)
- [Registri di memorizzazione e contatori](#)
- [Verilog HDL](#)

| Struttura dell'esame

L'esame è composto da uno scritto ed un'orale. Nello scritto, si eseguono tipologie di esercizi fatti anche a lezione, ed i procedimenti risolutivi, essendo importanti, non devono essere eccessivamente abbreviati. Se non si supera lo scritto, bisogna ripeterlo per dare poi l'orale.

Di seguito, alcuni degli argomenti chiesti all'orale:

- Rappresentazione IEEE 754
- Numeri normalizzati, denormalizzati etc. in IEEE 754
- Casi di overflow in CA2 ed IEEE 754
- Range di numeri rappresentabili in CA2 ed in IEEE 754
- Sottrazioni in CA2
- Algebra di Boole e le sue proprietà
- Universalità NAND e NOR
- Duale, complementare e tavole di verità
- Mintermini e Maxtermini
- Passaggio da SOP a POS e viceversa
- Latch e Flip Flop (SR, D, JK, T)
- Da Flip Flop SR a Flip Flop JK
- Codificatore, Decodificatore, Mux e Demux
- Half-Adder e Full-Adder (evidenziando la presenza dei due Half-Adder nel Full-Adder)
- Verilog (Descrizione di un Mux, differenza tra Case e Casez)
- Automi (Definizioni, passaggio da Mealy a Moore, equivalenza tra stati)

- Registri (Contatore, Up Counter, Down Counter, Up-Down Counter, a scorrimento verso sinistra e a destra, registri a rotazione Sinistra, registri a rotazione Destra, registro Universale)

| Diario delle lezioni A.A. 2023-2024

Lezione 1 - 25 settembre 2023

Presentazione del corso. Rappresentazione dell'informazione, definizione di codice e di codifica, codifiche ridondanti e ambigue, requisiti di una codifica. Definizione e proprietà dei sistemi di numerazione posizionali. Numero di valori rappresentabili e intervallo di rappresentazione con numero di cifre fissato. Numero di cifre necessarie per rappresentare k valori. Sistemi binario, ottale ed esadecimale.

Riferimenti: Capitolo 1 - Morris Mano, Kime, Martin

Lezione 2 - 29 settembre 2023

Conversione da binario a ottale ed esadecimale e viceversa. Conversioni di base per i numeri naturali: conversioni da decimale a base b , conversioni da base b a decimale. Addizione e sottrazione in binario. Riconoscimento dell'overflow. Moltiplicazione in binario. Rappresentazione degli interi: modulo e segno, complemento a 1, complemento a 2. Proprietà e caratteristiche della rappresentazione in complemento a due: intervallo di rappresentazione, procedura per trovare l'opposto di un numero, estensione della lunghezza della rappresentazione. Addizione e sottrazione nella rappresentazione in complemento a due, riconoscimento di overflow.

Riferimenti: Capitolo 1, Paragrafo 3.10 - Morris Mano, Kime, Martin

Lezione 3 - 2 ottobre 2023

Conversione di numeri con la virgola: procedura di conversione da decimale a base b e da base b a decimale. Rappresentazione in virgola fissa. Rappresentazione in virgola mobile. Lo standard IEEE 754. Conversione di numeri in base 10 nello standard IEEE 754 a 16 bit e viceversa.

Riferimenti: [Standard IEEE 754 - Wikipedia in italiano](#) [Standard IEEE 754 - Wikipedia in inglese](#)

Lezione 4 - 6 ottobre 2023

Le operazioni nella rappresentazione in virgola mobile: addizione e sottrazione, moltiplicazione e divisione. Overflow.

Esercizio: conversione di $A=26,42$ e somma con $B=-37,68$ (convertire per esercizio) nello standard IEEE 754 a 16 bit.

BCD (Binary coded decimal). Codice ASCII. Bit di parità pari e dispari.

Operatori booleani NOT, AND e OR: definizione, tavola di verità e porte logiche corrispondenti. Diagramma temporale di un segnale e sua discretizzazione. Diagramma temporale per porte logiche e ritardo di propagazione. Definizione di algebra di

commutazione o booleana (assiomi - associatività, commutatività, distributività, elemento neutro, complemento - e proprietà - involuzione, idempotenza, elemento nullo, assorbimento, leggi di De Morgan).

Riferimenti: Capitolo 1, Capitolo 2 - Morris Mano, Kime, Martin

Lezione 5 - 9 ottobre 2023

Variabili booleane ed espressioni booleane. Funzioni booleane e tavola di verità di una funzione ricavata a partire da espressioni diverse. Dualità negli assiomi e proprietà nell'algebra di Boole. Espressione duale di una espressione data. Tavola di verità della duale di una funzione. Espressione complementare (con De Morgan e con il metodo della duale). Espressioni equivalenti, verifica di identità e metodo di induzione perfetta.

Espressioni booleane in forma normale SOP (somma di prodotti) e in forma normale POS (prodotto di somme). Passaggio da espressione a circuito. Semplificazione di espressioni e verifica di identità. Teorema del consenso e sua dimostrazione.

Riferimenti: Capitolo 2 - Morris Mano, Kime, Martin

Lezione 6 - 13 ottobre 2023

Procedura di trasformazione di espressioni in forma normale SOP e in forma normale POS. Reti AND-to-OR e OR-to-AND. Mintermini e maxtermini. Forma canonica SOP e forma canonica POS. Trasformazione da forma normale a forma canonica SOP e POS.

Esercizio: Data un'espressione booleana: 1) portarla in forma normale SOP/POS, 2) portarla in forma canonica SOP/POS, 3) stendere la tavola di verità usando la forma canonica SOP/POS, 4) ottenere la forma la forma canonica POS/SOP dalla tavola di verità. Obiettivi della minimizzazione di reti combinatorie e di espressioni booleane. Definizione di rete minimale e di espressione minimale. Definizione di mappa di Karnaugh.

Rappresentazione di funzioni di 2, 3, 4 variabili tramite mappe di Karnaugh. Mintermini e termini prodotto su mappe di Karnaugh. Procedura per ottenere espressioni minimali SOP e POS dalla mappa di Karnaugh. Esempi di espressione minimale SOP/POS dalla mappa di Karnaugh.

Riferimenti: Capitolo 2 - Morris Mano, Kime, Martin

Lezione 7 - 16 ottobre 2023

Stesura della tavola di verità a partire dalla specifica verbale. Tavole di verità per funzioni a più uscite: esempio del Full-Adder.

L'operatore XOR. Il complemento XNOR. Associatività dello XOR.

Funzioni non completamente specificate.

Riferimenti: Capitolo 2 - Morris Mano, Kime, Martin

Lezione 8 - 20 ottobre 2023

Svolgimento esercizi per casa ed esercizi sugli argomenti passati.

Uso dei simboli don't care per la minimizzazione con le mappe di Karnaugh.

Descrizione del procedimento di analisi e sintesi di reti combinatorie. Ricavare espressioni sfruttando relazioni tra le variabili di ingresso. Esercizio: Es. 7 Esonero 10/11/2016.

Operatori NAND e NOR. Universalità di NAND e NOR: realizzazione degli operatori AND, OR e NOT con soli NAND e con soli NOR. Realizzazione di espressioni SOP (reti AND-to-OR) con sole porte NAND e di espressioni POS (reti OR-to-AND) con sole porte NOR. Realizzazione di porte NOR (e NAND) a più ingressi con porte a due ingressi. Riferimenti: Capitolo 2 - Morris Mano, Kime, Martin

Lezione 9 - 23 ottobre 2023

Progettazione gerarchica tramite moduli.

Half-Adder, Full-Adder e addizionatore a propagazione di riporto (Ripple-Carry Adder). Full-Adder ottenuto da due Half-Adder. Addizionatore a propagazione di riporto per la sottrazione con valori in \mathbb{C}_2 .

Uso delle porte and per il controllo (gating). Moduli combinatori notevoli. Decodificatore e codificatore: funzione e realizzazione con porte logiche.

Riferimenti: Capitolo 3 - Morris Mano, Kime, Martin

Lezione 10 - 27 ottobre 2023

Decodificatore e codificatore non standard. Schemi con matrice di AND e di OR.

Multiplexer: definizione. Realizzazione di funzioni tramite multiplexer con diverso numero di segnali di controllo. ROM: definizione e realizzazione di funzioni booleane. PLA: definizione e realizzazione di funzioni booleane.

Riferimenti: Capitolo 3 - Morris Mano, Kime, Martin

Lezione 11 - 30 ottobre 2023

VERILOG (Lezione con Diego Bellani) Introduzione e primi comandi per la realizzazione di circuiti combinatori. Testbench. [Verilog: introduzione. Circuiti combinatori. Testbench.](#)

Esempi di moduli e dei relativi testbench. [Verilog Esempi di moduli e testbench](#)

File .sv per moduli e testbench. [lesson1.sv](#)

Lezione 12 - 3 novembre 2023

VENERDI 3h Realizzazione di funzioni booleane con insieme di mux a più livelli.

Demultiplexer.

Transcodificatore per display a sette segmenti da BCD (decimale codificato in binario): realizzazione con decodificatore standard e codificatore e con un insieme di 7 mux.

Transcodificatore per display a sette segmenti da codice 2-su-5 con decodificatore ad hoc. Comparatore logico. Comparatore aritmetico con addizionatore. Realizzazione dei quattro bit del condition code: C, W, Z, N.

Esempio di una semplice ALU con addizionatore e tre bit di controllo (c0 annullatore di A, c1 complemento di B, r incremento di 1).

Riferimenti: Capitolo 3 - Morris Mano, Kime, Martin

Lezione 13 - 6 novembre 2023

Introduzione alle reti sequenziali: memorizzazione e feedback. Cella elementare di memoria: latch SR. Comportamento del latch SR in funzione dei valori degli ingressi s e r e

tavola di verità. Latch D (delay): definizione e tavola di verità. Latch sincrono (gated latch). Segnale orologio. Flip-Flop: definizione tramite latch master-slave. Definizione e tavola di verità dei Flip-Flop JK e T (toggle)
Riferimenti: Capitolo 4 - Morris Mano, Kime, Martin

Lezione 14 - 10 novembre 2023

Definizione di rete sequenziale e sue componenti. Procedimento di analisi di reti sequenziali sincrone: 1) espressioni booleane delle funzioni di eccitazione e delle uscite 2) costruzione della tabella degli stati futuri 3) diagramma di stato (automa) di una rete sequenziale e diagramma con valori simbolici per stati, ingressi e uscite 4) descrizione verbale della funzione della rete sequenziale.

Esercizi di analisi di una rete sequenziale: 1) rete con un input e due flip-flop 2) rete con due input e un flip-flop SR

Rappresentazione di automi tramite tabella.

Definizione di automa a stati finiti con output: modello di Mealy e modello di Moore.

Disegno dell'automa secondo il modello di Mealy e secondo il modello di Moore a partire dalla tabella tabella dell'automa.

Tabelle inverse dei FF.

Riferimenti: Capitolo 4 - Morris Mano, Kime, Martin

Lezione 15 - 13 novembre 2023

Procedura di sintesi di reti sequenziali: 1) diagramma di stato della macchina sequenziale 2) codifica binaria di stati, ingressi e uscite 3) tabella degli stati futuri 4) espressioni booleane minime 5) schema circuitale della rete sequenziale.

Esempio: sintesi del riconoscitore della sequenza 1101 con sovrapposizioni con FF JK e con FF D.

Esercizio per casa: ripetere la procedura a partire da una codifica diversa degli stati dell'automa.

Riferimenti: Capitolo 4 - Morris Mano, Kime, Martin

Lezione 16 - 17 novembre 2023

Esempio di progettazione di un automa a stati finiti: realizzazione della tabella dell'automa dalle specifiche verbali per una macchina distributrice di prodotti e relativo disegno secondo Mealy.

Progettazione dell'automa che riceve in ingresso i simboli O, S e T e produce in uscita 1 se riconosce le sequenze STO e OTO con eventuali sovrapposizioni. Definizione di equivalenza tra stati di un automa. Minimizzazione dell'automa e progetto della rete sequenziale con un FF di tipo SR e uno di tipo JK.

Diagramma temporale di un automa a fronte di una sequenza di ingresso data. Definizione ed esempio sull'automa precedente. Riferimenti: Capitolo 4 - Morris Mano, Kime, Martin

Lezione 17 - 20 novembre 2023

VERILOG (Lezione con Diego Bellani): delay, moduli sequenziali (FF e latch) e altri moduli

combinatori. [Verilog: delay, moduli sequenziali e moduli combinatori.](#)

File .sv per moduli e testbench. [lesson2.sv](#)

Lezione 18 - 24 novembre 2023

Test di verifica. Correzione esercizi 1-3 del test.

Lezione 19 - 27 novembre 2023

Correzione esercizi 4-5 del test del 24 novembre.

Equivalenza tra automi. Procedura di minimizzazione di automi: tabella delle implicazioni (tabella triangolare) ed esempio.

Lezione 20 - 1 dicembre 2023

VERILOG (Lezione con Diego Bellani): Macchine a stati finiti e circuiti sequenziali. Esempi ed esercizi. Testbench.

- [Verilog: FSM, testbench, esempi](#)
- [lesson3.sv](#)

Minimizzazione di automi: tabella delle implicazioni, grafo delle equivalenze con esempio e disegno dell'automa secondo Mealy e secondo Moore.

Realizzazione dell'automa e del circuito per un addizionatore sequenziale: tabella automa, tavola stati futuri, espressioni e disegno del circuito con diversi tipi di FF.

Lezione 21 - 4 dicembre 2023

Registri di memorizzazione. Ingressi asincroni (PRE)SET e CLEAR per FF con clock.

Registri a caricamento e scaricamento parallelo con FF di tipo D e di tipo SR. Registri a caricamento seriale con FF di tipo D e di tipo SR.

Riferimenti: Capitolo 6 - Morris Mano, Kime, Martin

Lezione 22 - 11 dicembre 2023

Registri a scorrimento destra e sinistra, rotazione a destra e a sinistra. Registri universali: tutti i tipi di caricamento e scaricamento, scorrimento, rotazione.

Sintesi del contatore di impulsi di clock mod 8. Generalizzazione al contatore mod 2^n .

Riferimenti: Capitolo 6 - Morris Mano, Kime, Martin

Lezione 23 - 18 dicembre 2023

Contatore alla rovescia e contatore bidirezionale (mod 2^n).

Contatori mod m con m diverso da 2^n usando gli ingressi asincroni CLEAR dei Flip-Flop.

Contatori preselezionabili. Diagramma temporale del contatore mod 8.

Riferimenti: Capitolo 6 - Morris Mano, Kime, Martin

Lezione 24 - 22 dicembre 2023

Test di verifica. Svolgimento degli esercizi del test alla lavagna. [Test 22 dicembre 2023](#)

- Lezioni tenute della professoressa Massini nell'A.A. 2023/2024
- Slide del professor Gorla
- Slide sul verilog di Diego Bellani [1](#), [2](#), [3](#)
- Libro di testo *Reti logiche*, M. Morris Mano, C. R. Kime, T. Martin, Pearson Ed.

Gli appunti sono stati rielaborati da Samuele Triveri