01 单选题

在硬件描述语言中,用于描述组合逻辑的语句是()。

○ A: 过程块

○ B: 连续赋值语句

○ C: 时钟信号

○ D: 状态机



在数字系统中,在不修改加法器设计的情况下,允许加法器执行减法操作的编码方式是()。

○ A: 原码

○ B: 反码

○ C: 补码

O D: BCD码

在Verilog中,用于定义模块的关键字是()。

A: module

B: begin

C: always

D: assign

设计模值为15的计数器至少需要触发器的级数为()。

O A: 3

○ B: 4

O C: 5

O D: 6

05 单选题

FPGA的配置数据通常存储在()。

A: DRAM

B: SRAM

C: FLASH

D: EEPROM

在组合逻辑电路中,以下会出现竞争冒险情况是()。

A: 输入信号之间存在延迟

B: 所有输入信号同时同步变化

C: 输入信号的变化速率不同

D: 输入信号存在干扰信号

_ A _ B _ C _ D

在FPGA设计中,下列能够提升速度的方法是()。

A: 资源共享

B: 关键路径优化

C: 流水线设计

D: 逻辑优化

A B C D

在FPGA设计中,能够并行运行的Verilog语句是()。

A: 选择语句

B: case语句

C: assign语句

D: 实例化语句

A B C D

以下哪些是数字电路的特点()

A: 处理二进制逻辑电平

B: 对噪声有较强的抗干扰能力

C: 信号在时间和幅度上都是离散的

D: 常用于音频放大器

A B C

在FPGA设计中,需要使用寄存器的情况是()。

A: 存储中间计算结果

B: 实现组合逻辑

C: 实现同步信号的传输

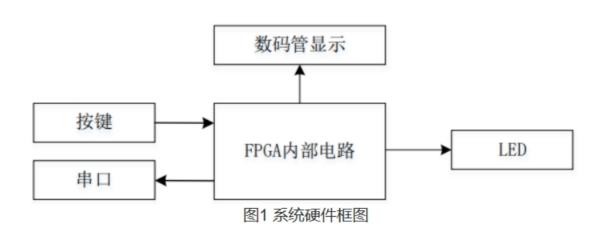
D: 实现状态机的状态存储

_ A _ B _ C _ D

一、基本要求

- 1、**硬件平台**:基于FPGA竞赛实训平台,完成本试题程序设计与调试。
- 2、**提交要求**:基于开发环境完成FPGA的综合和实现,提交最终版本的工程压缩包,文件以模拟考试账号命名, 其内应包含竞赛实训平台对应的FPGA配置文件。
 - 1) Intel/Altera竞赛平台提交".sof"文件,最终工程文件命名为"11位手机号_A"
- 2) AMD/Xilinx竞赛平台提交".bit"文件,最终工程文件命名为"11位手机号_X" 须严格按照上述要求提交文件,未按照要求提交将被记为零分。

二、硬件框图



三、功能描述

3.1 功能概述

- 1) 基于FPGA实现一个计数器。
- 2) 通过数码管实现计数器数值的显示。
- 3) 通过按键实现计数值的控制功能。
- 4) 试题要求的其它功能。

3.2显示功能

基于FPGA实现数码管动态扫描模块设计,显示要求如图2所示。

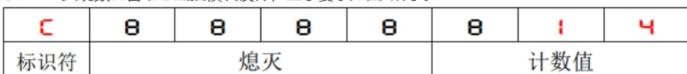


图2显示格式

设计要求:

- 1) 显示稳定、清晰, 无重影、闪烁、过暗、亮度不均匀等设计缺陷。
- 2) 计数值均固定使用 3 位数码管显示,不足 3 位时,高位 (左侧)数码管熄灭。

3.3 按键功能

基于 FPGA 实现按键驱动模块设计。

1) S1按键

按下S1按键,切换计数器的启、停状态。



2) S2按键

"启动状态"下,按下S2按键,计数值加1。否则按键无效。

3) S3按键

"停止状态"下,按下S2按键,计数值减1。否则按键无效。

4) S4按键

按下S4按键,将当前计数值发送到PC端。

3.4 串口功能

使用竞赛板上的USB转串口功能完成以下要求,串口通信波特率设置为9600。按下S4按键,将当前计数值发送到PC端,发送格式如下:

COUNT:10

3.5 LED指示灯功能

通过LD1指示计数器的两种工作状态。

启动状态: LD1点亮 停止状态: LD1熄灭

四、复位状态

须严格按照以下要求设计作品的复位状态。

1、计数值为0。

2、计数器处于启动状态。

五、资源获取

FPGA模拟赛数据资源包获取链接:

Xilinx数据资源包获取

链接: https://pan.baidu.com/s/1nGDDcnLkpvG7d1AV7BXPTw

提取码: xk9k

Altera数据资源包获取

链接: https://pan.baidu.com/s/1uUSuQL6B6ldIJfzkSYYbSg

提取码: a29p

本试题硬件平台: **蓝桥杯FPGA竞赛实训平台**了解更多>>

点击此处上传答案文件