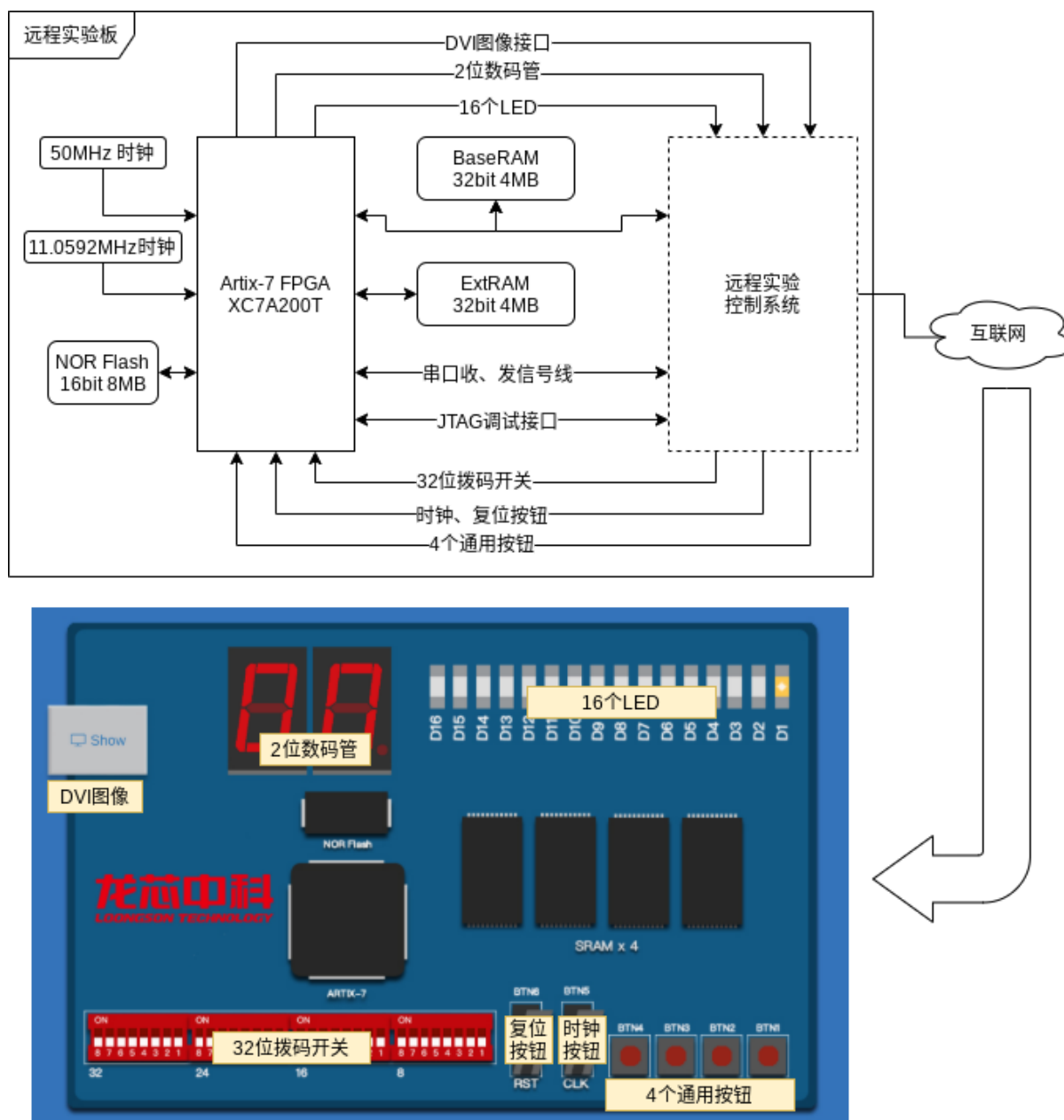


# 计算机系统能力培养远程实验平台组成与介绍

## 1. 硬件结构

计算机组成原理远程实验平台由一个网页界面和后台的多块FPGA实验板组成。用户在使用时会分得一块实验板，并通过网页上的可视化界面操作后台实验板，从而完成实验。对于用户而言，通过网页远程操作实验板上的开关按钮，与在实体实验板上操作的效果是相同的。每块实验板的内部结构以及网页上的界面如下图所示：



下面具体介绍LED、开关和SRAM等实验资源的使用方法。文档中没有列出具体的FPGA引脚编号，因为提供的FPGA模板工程中以及包含了所有引脚约束，用户只需根据顶层文件中的注释连接信号即可，不用再手工分配引脚。如果了解硬件细节，可以参考原理图文件。

FPGA芯片的完整型号和速度等级也在模板工程当中。

## 2. 实验资源

### 2.1. 通用I/O接口

实验板上的LED和数码管直接连接到FPGA上，作为通用输出接口。当FPGA引脚输出1时LED或数码管笔段点亮，输出0时熄灭。

实验板上的拨码开关和按钮直接连接到FPGA上，作为通用输入接口。当拨码开关拨至“ON”或者按钮按下时，FPGA引脚输入1，否则输入0。

### 2.2. 外部时钟

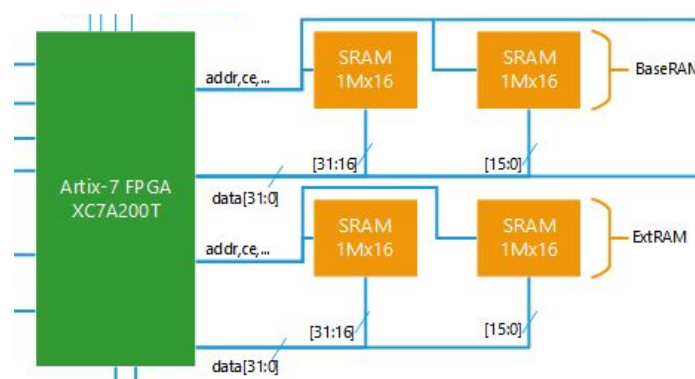
FPGA有两路外部时钟输入，频率分别是50MHz和11.0592MHz。两路时钟信号输入持续存在，不可控制。用户可以在FPGA内部通过PLL或MMCM将时钟信号改变为任意频率。

### 2.3. 静态存储器SRAM

实验板上搭载了两组SRAM（命名为BaseRAM、ExtRAM），分别连接到FPGA。由于两组SRAM的信号线是独立的，因此它们可以同时工作，互不干扰。

每组SRAM的配置为4M字节容量，32位数据位宽，物理上由两颗16位内存芯片（型号IS61WV102416-10）拼接而成。所谓拼接是指两颗芯片共享地址信号，以及CE、WE、OE控制信号。而数据信号和字节使能信号则单独连接到FPGA。如下表所示：

FPGA	RAM1	RAM2
A0~19	A0~19	A0~19
CE/OE/WE	CE/OE/WE	CE/OE/WE
D0~15	IO 0~15	
BE0/BE1	LB/UB	
D16~31		IO 0~15
BE2/BE3		LB/UB



BaseRAM和ExtRAM在存储功能上是等价的，但实验平台为BaseRAM额外增加了信号分析功能，利用控制信号采样来抓取FPGA对BaseRAM的读写操作。该功能可以帮助用户调试逻辑设计。信号分析功能可以在实验平台网页上调出。

## 2.4. 串口信号

实验平台支持一路远程串口访问，即把一路FPGA的串口信号线经由TCP网络协议转发给用户。用户通过TCP客户端向服务器发送的数据将原样转发给FPGA，另一方面，FPGA通过串口发出的数据也会原样转发给TCP客户端。

FPGA侧的串口为rx、tx两个引脚，它们分别用于接收、发送串口数据，通信协议为嵌入式领域常见的RS-232标准，波特率等参数可以在网页上配置。

## 2.5. 闪存 NOR Flash

实验板上搭载了一颗NOR Flash芯片，型号是JS28F640J3D75，容量8M字节，可以用于Flash读写实验。芯片的地址、数据和控制信号引脚直接与FPGA相连，使用方法参见芯片手册和模板工程中的代码注释。

## 2.6. JTAG调试接口

为了便于用户在远程使用Viavdo软件调试FPGA逻辑，实验平台支持通过网络访问FPGA的JTAG口，远程JTAG连接的操作步骤见实验平台网页上的说明。