

Układy Cyfrowe i Systemy Wbudowane 1

Laboratorium 2

Schematowa realizacja maszyn stanów (FSM)

Paweł Cyganiuk 263983, Patryk Jurkiewicz 263896

30.10.2023

1. Treść Zadania

1. 3-bitowy licznik dwukierunkowy

wariant b) sekwencja $0 \rightarrow 1 \rightarrow 2 \rightarrow 4 \rightarrow 3 \rightarrow 5 \rightarrow 6 \rightarrow 7$

- symulacja behawioralna: wszystkie 16 stanów X z widocznym zapętleniem - 9 cykli w

każdą ze stron($f = 20\text{MHz}$)

- zawarcie przycisków resetujących i odczytujących (kolejno CLR i CE)

- symulacja czasowa: pomiar czasu propagacji T_{co}

- wgrać na płytę ZL-9572 program

2. Projekt hierarchiczny (niezrealizowany w trakcie zajęć) - licznik \rightarrow HexTo7Seg \rightarrow output

2. Tabela Prawdy

t				t+1			
dir	x_2	x_1	x_0	dir	D_2	D_1	D_0
0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0
0	0	1	0	0	1	0	0
0	0	1	1	0	1	0	1
0	1	0	0	0	0	1	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	1	1
0	1	1	1	0	0	0	0
1	0	0	0	1	1	1	1
1	0	0	1	1	0	0	0
1	0	1	0	1	0	0	1
1	0	1	1	1	1	0	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	1	0	1
1	1	1	1	1	1	1	0

3. Siatki Karnaugh

D ₂				
dir,x ₂ \x ₁ ,x ₀	00	01	11	10
00	0	0	1	1
01	0	1	0	1
11	0	0	1	1
10	1	0	1	0

$$D_2 = \text{dir}/X_2/X_1/X_0 + / \text{dir}X_2/X_1X_0 + / \text{dir}X_1/X_0 + /X_2X_1X_0 + \text{dir}X_2X_1$$

D ₁				
dir,x ₂ \x ₁ ,x ₀	00	01	11	10
00	0	1	0	0
01	1	1	0	1
11	1	1	1	0
10	1	0	0	0

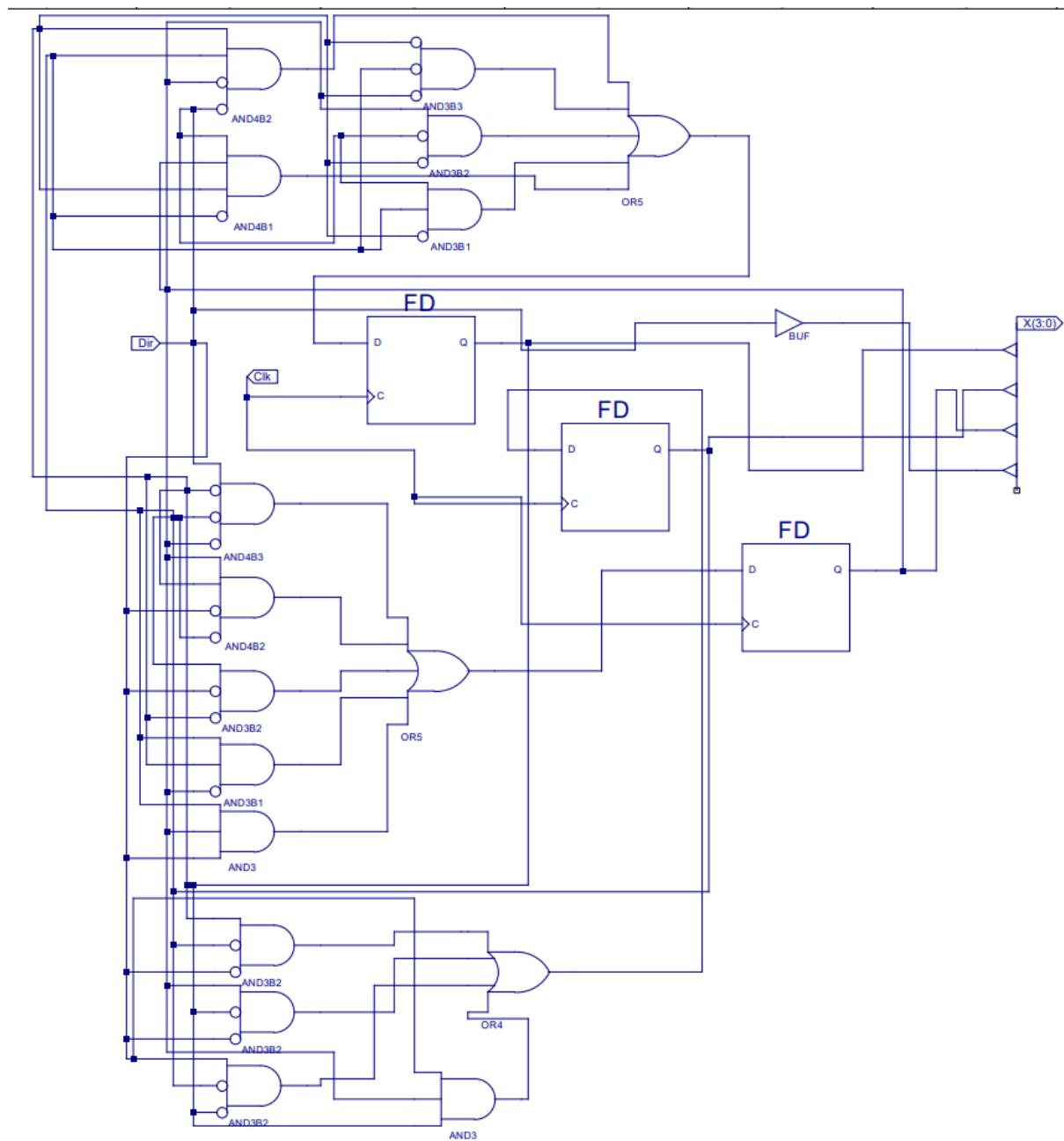
$$D_1 = / \text{dir}/X_1X_0 + / \text{dir}X_2/X_0 + \text{dir}/X_1/X_0 + \text{dir}X_2X_0$$

D ₀				
dir,x ₂ \x ₁ ,x ₀	00	01	11	10
00	1	0	1	0
01	1	0	0	1
11	0	1	0	1
10	1	0	0	1

$$D_0 = / \text{dir}/X_2X_1X_0 + \text{dir}X_2/X_1X_0 + /X_2/X_1/X_0 + / \text{dir}X_2/X_0 + \text{dir}X_1/X_0$$

4. Schemat układu logicznego

Przy tworzeniu planu układu logicznego zdecydowaliśmy się wykorzystać oprogramowanie o nazwie ISE Project Navigator. Ważne jest podkreślenie, że to narzędzie będzie miało kluczowe znaczenie w późniejszych fazach naszego projektu. Utworzenie schematu logicznego jest niezbędne do generowania kodu potrzebnego do przeprowadzenia symulacji programu.

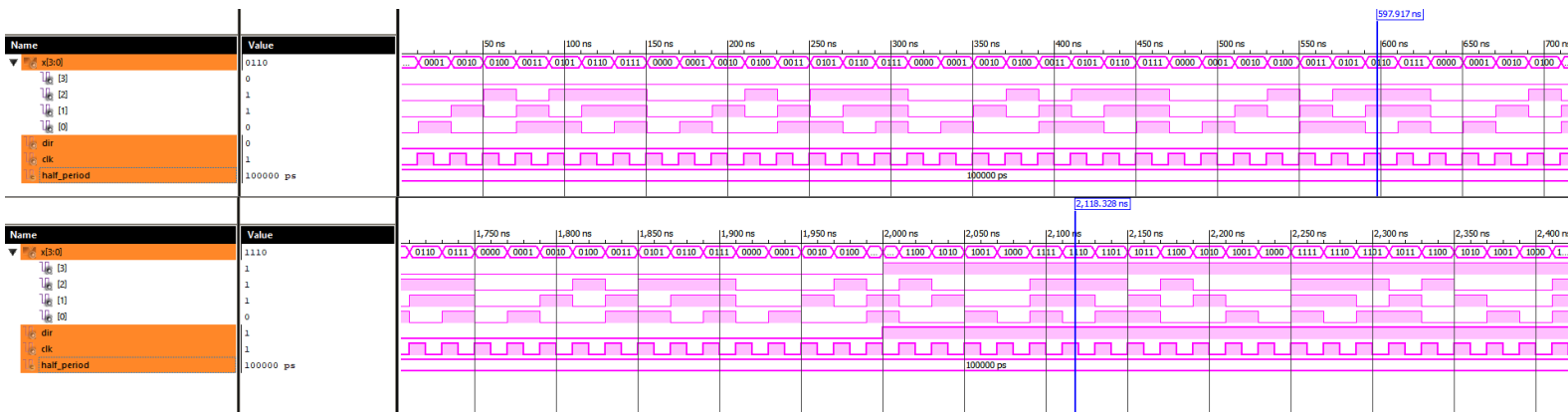


5. Symulator ISim

Na podstawie uprzedniego schematu, użyliśmy programu do automatycznego generowania pliku VHDL, niezbędnego do symulacji naszego projektu. Aby dostosować program do naszych specyficznych potrzeb, konieczne było edytowanie jego komponentów, w tym modyfikacja pobudzeń testowych, które znacząco wpływają na przebieg symulacji, oraz dodanie fragmentu kodu odpowiedzialnego za symulację zegara 'Clk'. Kluczowe było włączenie linii:

```
15  LIBRARY ieee;
16  USE ieee.std_logic_1164.ALL;
17  USE ieee.numeric_std.ALL;
18  LIBRARY UNISIM;
19  USE UNISIM.Vcomponents.ALL;
20  ENTITY schemat_schemat_sch_tb IS
21  END schemat_schemat_sch_tb;
22  ARCHITECTURE behavioral OF schemat_schemat_sch_tb IS
23
24      COMPONENT schemat
25      PORT( X : OUT  STD_LOGIC_VECTOR (3 DOWNT0 0);
26            Dir : IN  STD_LOGIC;
27            Clk : IN  STD_LOGIC);
28      END COMPONENT;
29
30      SIGNAL X : STD_LOGIC_VECTOR (3 DOWNT0 0);
31      SIGNAL Dir : STD_LOGIC;
32      SIGNAL Clk : STD_LOGIC := '0';
33      CONSTANT half_period : time := 100 ns;
34
35  BEGIN
36
37      UUT: schemat PORT MAP(
38          X => X,
39          Dir => Dir,
40          Clk => Clk
41      );
42
43      Dir <= '0', '1' after 2000 ns;
44      Clk <= not Clk after half_period / 10;
45
46  END;
47
```

Posiadając wszystko przygotowane, mogliśmy przejść do symulacji behawioralnej i czasowej, która dała nam następujące wyniki, które zgadzają się ze wcześniej obliczonymi teoretycznymi wynikami. Jako czasu pomiędzy tikami zegara użyliśmy 50 ns, co odpowiada 20 MHz:



6. Wnioski

Nasz projekt został zrealizowany zgodnie z wcześniejszymi założeniami i planami. Początkowo prezentowana jest oczekiwana sekwencja, a po przetknięciu przycisku Dir (reprezentowanego przez najstarszy bit) sekwencja zaczyna się cofać. Czas propagacji między stanami wyniósł 50 ns, a pełna sekwencja trwała 1280 ns w obie strony. Niestety, napotkaliśmy trudności podczas próby zaprogramowania płytki, a ze względu na ograniczenia warunków domowych nie jesteśmy w stanie kontynuować tego procesu. W związku z tym, niestety, nie jesteśmy w stanie dostarczyć kompletnych rezultatów projektu w naszym sprawozdaniu.