

Układy Cyfrowe i Systemy Wbudowane 1

Laboratorium 1

Płyta ZL-9572: tworzenie projektów hierarchicznych (z podschematami) oraz wykorzystanie podstawowych modułów WE/WY (RS232_RX, Display4x7Seg, etc).

Paweł Cyganiuk 263983, Patryk Jurkiewicz 263896

16.10.2023

1. Treść Zadania

1. Należało zaprojektować 4-bitowy układ kombinacyjny:

Wejścia X & wyjścia Y - wektory 4-bitowe w NKB (0-15)

wariant b) $Y = (8 - x) \bmod 16$

- symulacja behawioralna: wszystkie 16 kombinacji X od 0 do 15 (co 100 ns)
- symulacja czasowa: pomiar czasu propagacji t_p
- wgrać na płytę ZL-9572 program

2. Projekt Hierarchiczny, z1 jako podschemat (Nie udało się zrealizować w trakcie zajęć)

2. Tabela Prawdy dla funkcji $Y = (8 - x) \bmod 16$

X ₃ X ₂ X ₁ X ₀	Y ₃ Y ₂ Y ₁ Y ₀
0000	1000
0001	0111
0010	0110
0011	0101
0100	0100
0101	0011
0110	0010
0111	0001
1000	0000
1001	1111
1010	1110
1011	1101
1100	1100
1101	1011
1110	1010
1111	1001

3. Siatki Karnaugh

y ₃				
x ₃ x ₂ \x ₁ x ₀	00	01	11	10
00	1	0	0	0
01	0	0	0	0
11	1	1	1	1
10	0	1	1	1

$$y_3 = \overline{x_3} \overline{x_2} \overline{x_1} \overline{x_0} + x_3 x_0 + x_3 x_1 + x_3 x_2$$

y1				
x3x2\x1x0	00	01	11	10
00	0	1	0	1
01	0	1	0	1
11	0	1	0	1
10	0	1	0	1

$$y_1 = \overline{x_1}x_0 + x_1\overline{x_0}$$

y2				
x3x2\x1x0	00	01	11	10
00	0	1	1	1
01	1	0	0	0
11	1	0	0	0
10	0	1	1	1

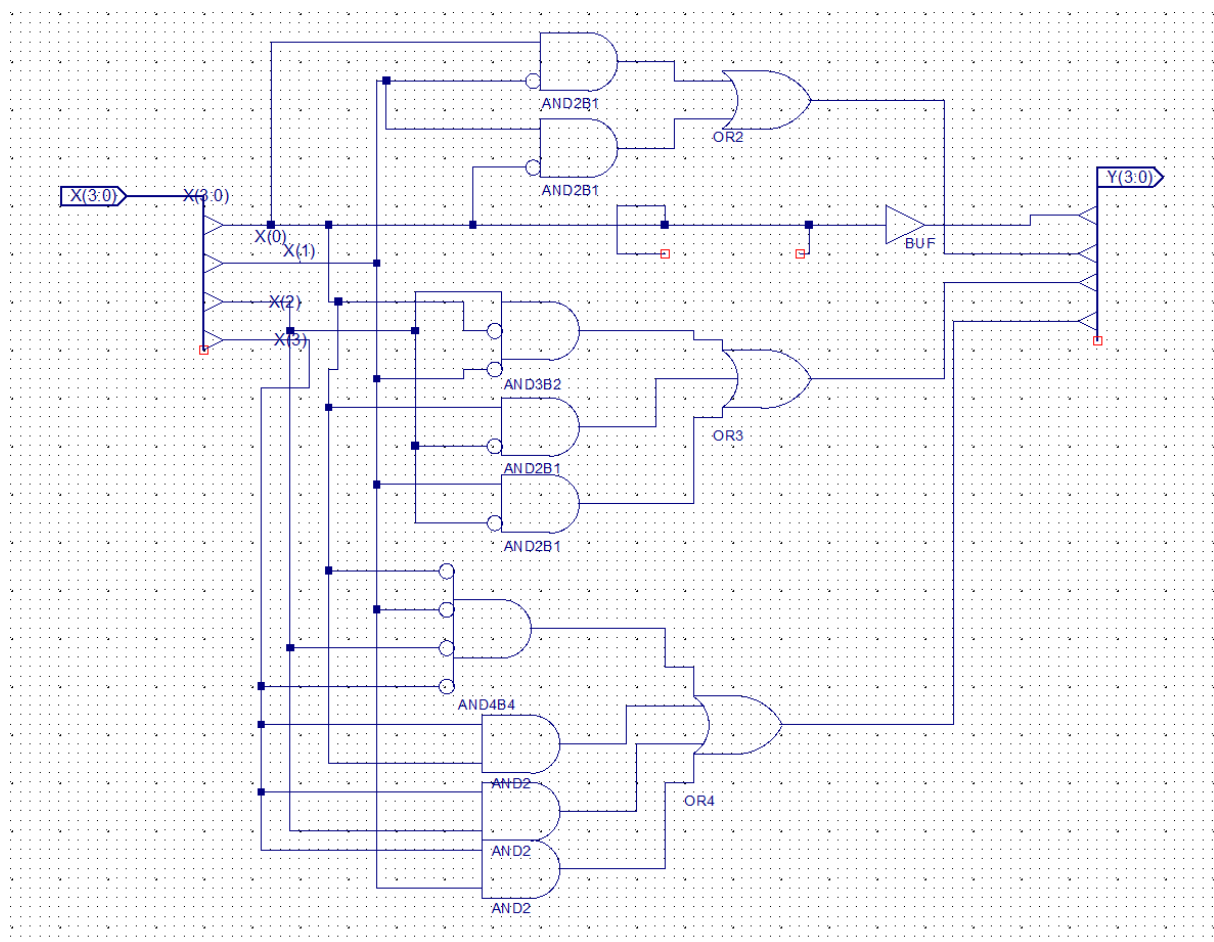
$$Y_2 = x_2\overline{x_1}\overline{x_0} + \overline{x_2}x_0 + \overline{x_2}x_1$$

y0				
x3x2\x1x0	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	0	1	1	0
10	0	1	1	0

$$y_0 = x_0$$

4. Schemat układu logicznego

W procesie tworzenia schematu układu logicznego, zdecydowaliśmy się wykorzystać oprogramowanie o nazwie ISE Project Navigator. Warto dodać, że to narzędzie będzie odgrywać kluczową rolę w późniejszych częściach ćwiczenia.



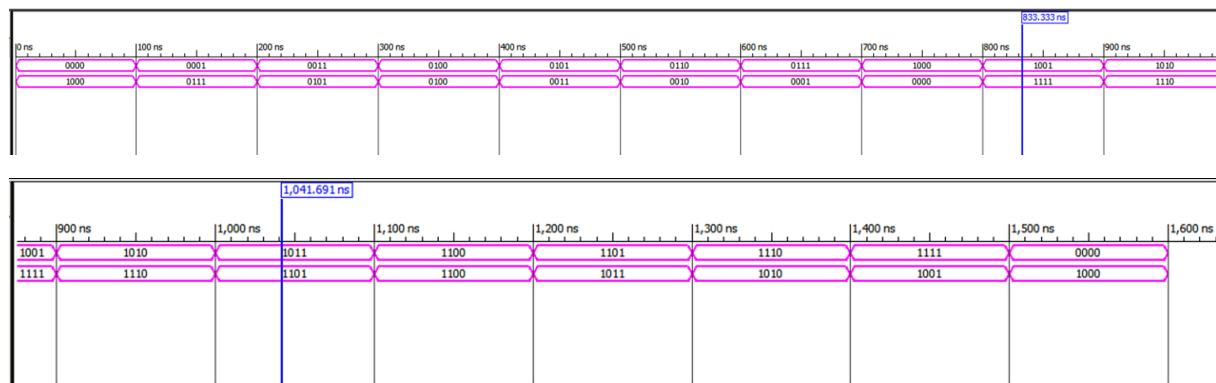
5. Symulator ISim

Na bazie wcześniejszego schematu, program został użyty do automatycznego generowania pliku VHDL, niezbędnego w kontekście symulacji naszego projektu. W celu dostosowania programu do naszych szczególnych wymagań, konieczne było dokonanie edycji jego komponentów, w tym modyfikacji pobudzeń testowych, które mają istotny wpływ na przebieg symulacji. Kluczowe było dodanie linii:

X <= "0000", "0001" after 100 ns, "0011" after 200 ns, "0100" after 300 ns, "0101" after 400 ns, "0110" after 500 ns, "0111" after 600 ns, "1000" after 700 ns, "1001" after 800 ns, "1010" after 900 ns, "1011" after 1000 ns, "1100" after 1100 ns, "1101" after 1200 ns, "1110" after 1300 ns, "1111" after 1400 ns, "0000" after 1500 ns;

```
15  LIBRARY ieee;
16  USE ieee.std_logic_1164.ALL;
17  USE ieee.numeric_std.ALL;
18  LIBRARY UNISIM;
19  USE UNISIM.Vcomponents.ALL;
20  ENTITY schematl_schematl_sch_tb IS
21  END schematl_schematl_sch_tb;
22  ARCHITECTURE behavioral OF schematl_schematl_sch_tb IS
23
24      COMPONENT schematl
25      PORT( X : IN STD_LOGIC_VECTOR (3 DOWNTO 0);
26            Y : OUT STD_LOGIC_VECTOR (3 DOWNTO 0));
27      END COMPONENT;
28
29      SIGNAL X : STD_LOGIC_VECTOR (3 DOWNTO 0);
30      SIGNAL Y : STD_LOGIC_VECTOR (3 DOWNTO 0);
31
32  BEGIN
33
34      UUT: schematl PORT MAP (
35          X => X,
36          Y => Y
37      );
38
39      X <= "0000", "0001" after 100 ns, "0011" after 200 ns, "0100" after 300 ns, "0101" after 400 ns, "0110" after 500 ns, "0111" after 600 ns,
40
41      "1000" after 700 ns, "1001" after 800 ns, "1010" after 900 ns, "1011" after 1000 ns, "1100" after 1100 ns, "1101" after 1200 ns, "1110" after 1300 ns, "1111" after 1400 ns,
42      "0000" after 1500 ns;
43  END;
```

Posiadając wszystko przygotowane, mogliśmy przejść do symulacji behawioralnej, która dała nam następujące wyniki, które zgadzają się ze wcześniej obliczonymi teoretycznymi wynikami:



6. Wnioski

Nasz projekt został zrealizowany zgodnie z naszymi wcześniejszymi założeniami i planami. Niestety, napotkaliśmy trudności podczas próby zaprogramowania płytki, a ze względu na ograniczenia warunków domowych nie jesteśmy w stanie kontynuować tego procesu. W związku z tym, niestety nie jesteśmy w stanie dostarczyć kompletnych rezultatów projektu w naszym sprawozdaniu.