

專題（一）自動上數、下數、上下數計數器



課程名稱：FPGA 系統設計實務

指導老師：郭昭宗老師

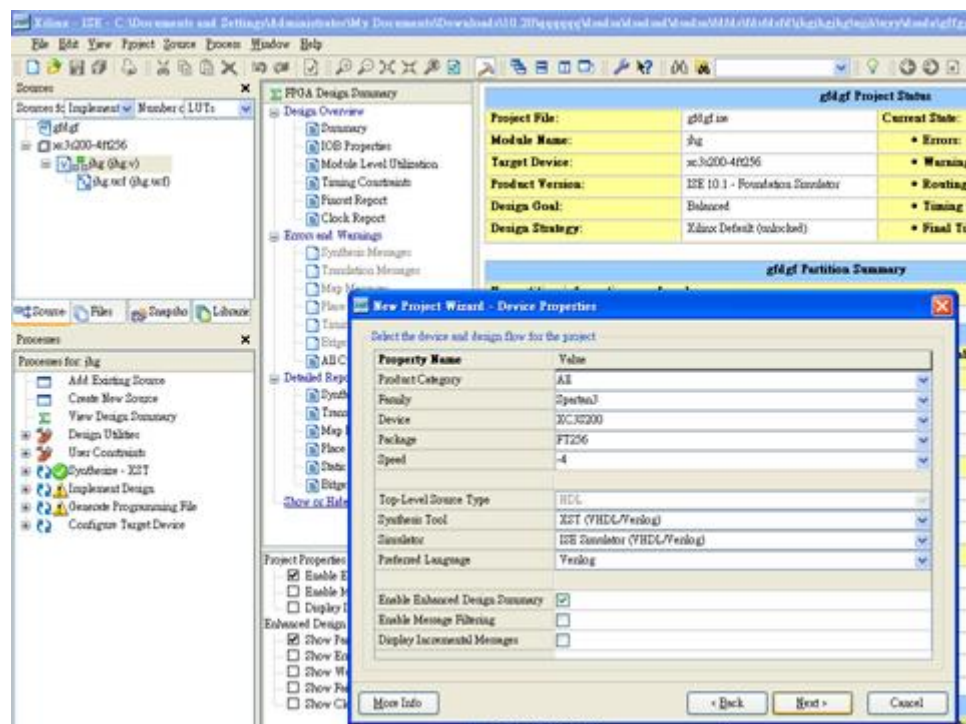
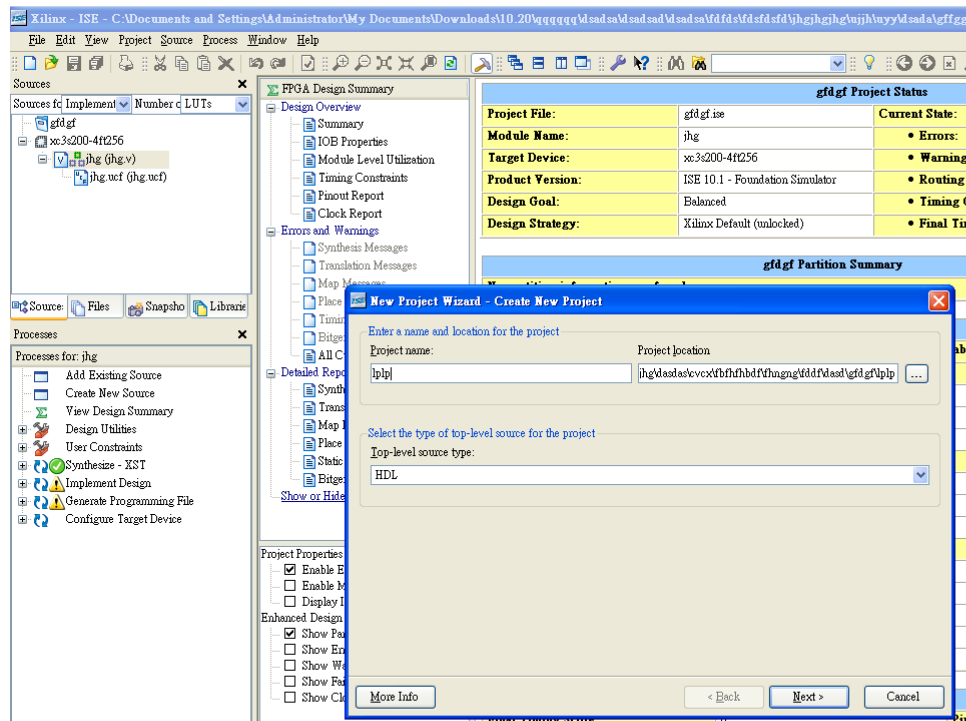
班級：電三乙

姓名：蔡承宏

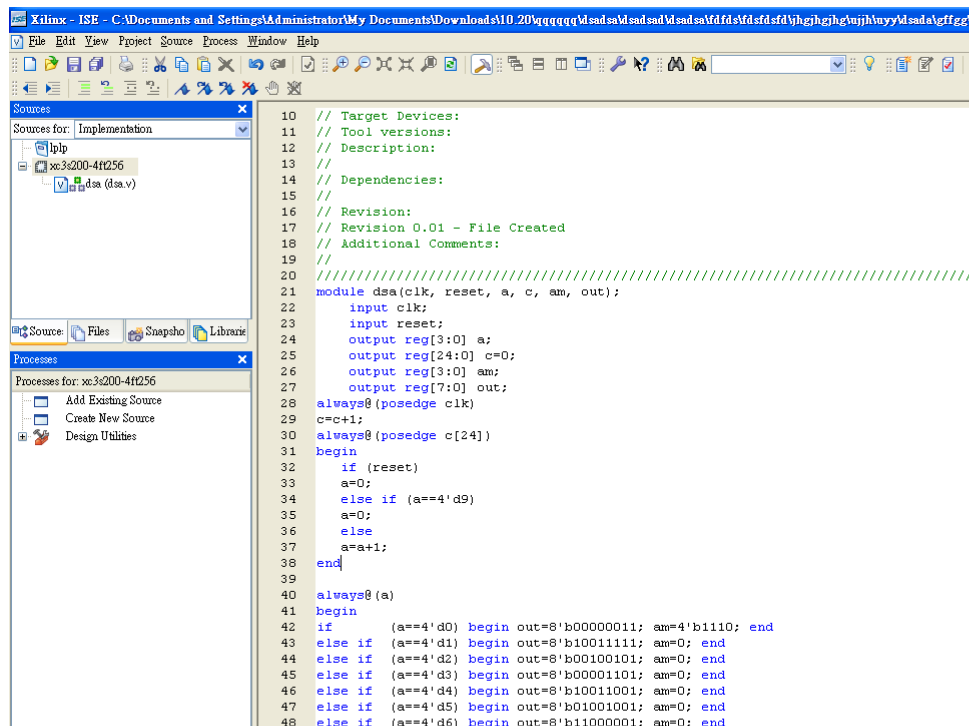
學號：110510216

上數計數器

一、 建立 project



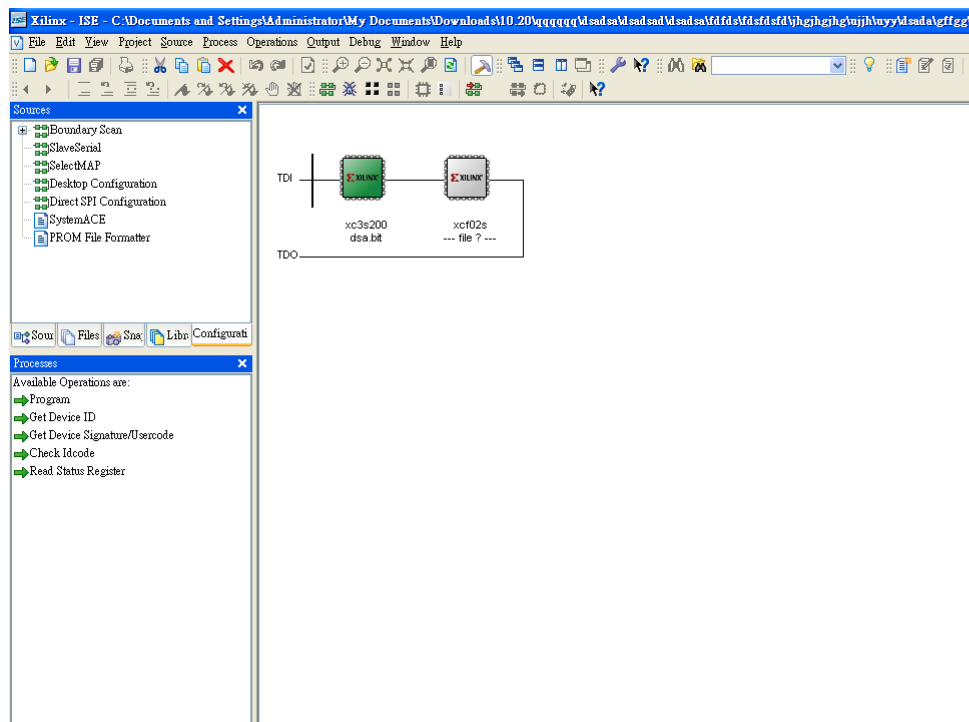
二、 打程式



三、 設定 PIN 腳位

Xilinx PACE - [Design Object List - I/O Pins]													
File Edit View IOBs Areas Tools Window Help													
I/O Name	I/O Direction	Loc	Bank	I/O Std.	Vref	Vcco	Drive Str.	Termination	Slew	Delay	Diff. Type	Pair Name	Local Clock
a<0>	Output										Unknown		
a<1>	Output										Unknown		
a<2>	Output										Unknown		
a<3>	Output										Unknown		
sm<0>	Output	d14	BANK2								Unknown		
sm<1>	Output	g14	BANK2								Unknown		
sm<2>	Output	f14	BANK2								Unknown		
sm<3>	Output	e13	BANK2								Unknown		
c<0>	Output										Unknown		
c<1>	Output										Unknown		
c<2>	Output										Unknown		
c<3>	Output										Unknown		
c<4>	Output										Unknown		
c<5>	Output										Unknown		
c<6>	Output										Unknown		
c<7>	Output										Unknown		
c<8>	Output										Unknown		
c<9>	Output										Unknown		
c<10>	Output										Unknown		
c<11>	Output										Unknown		
c<12>	Output										Unknown		
c<13>	Output										Unknown		
c<14>	Output										Unknown		
c<15>	Output										Unknown		
c<16>	Output										Unknown		
c<17>	Output										Unknown		
c<18>	Output										Unknown		
c<19>	Output										Unknown		
c<20>	Output										Unknown		
c<21>	Output										Unknown		
c<22>	Output										Unknown		
c<23>	Output										Unknown		
c<24>	Output										Unknown		
clk	Input	g9	BANK4								Unknown		
out<0>	Output	p16	BANK3								Unknown		
out<1>	Output	n16	BANK3								Unknown		
out<2>	Output	f13	BANK2								Unknown		
out<3>	Output	r16	BANK3								Unknown		
out<4>	Output	p15	BANK3								Unknown		

四、 燒錄檔案



五、 原理說明

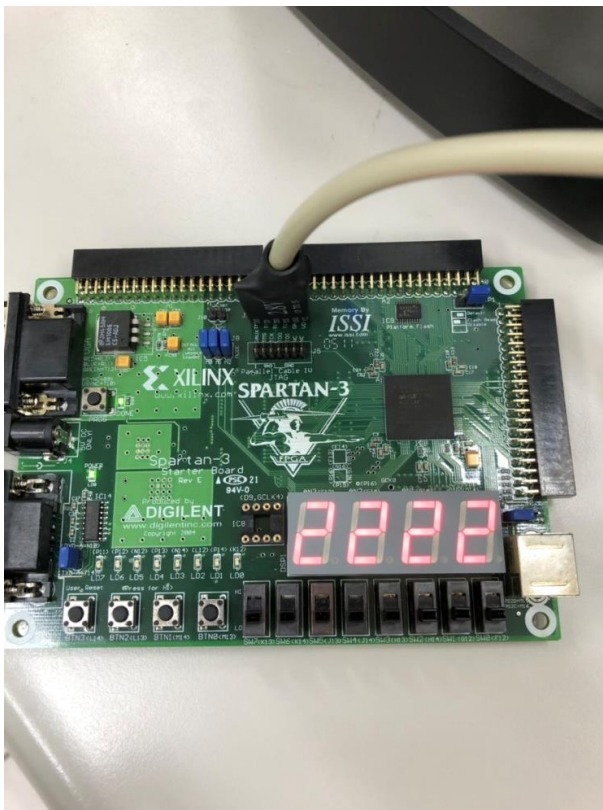
設定一個變數，讓它隨著頻率做上數的動作，每一次上數都讓這個變數加一，

加到九的時候歸零繼續做上數。

六、 程式碼

```
module dsadsa(clk, reset, a, c, am, out);
    input clk;
    input reset;
    output reg[3:0] a;
    output reg[24:0] c=0;
    output reg[3:0] am;
    output reg[7:0] out;
    always@(posedge clk)
        c=c+1;
    always@(posedge c[24])
        begin
            if (reset)
                a=0;
            else if (a==4'd9)
                a=0;
            else
                a=a+1;
        end
end
```

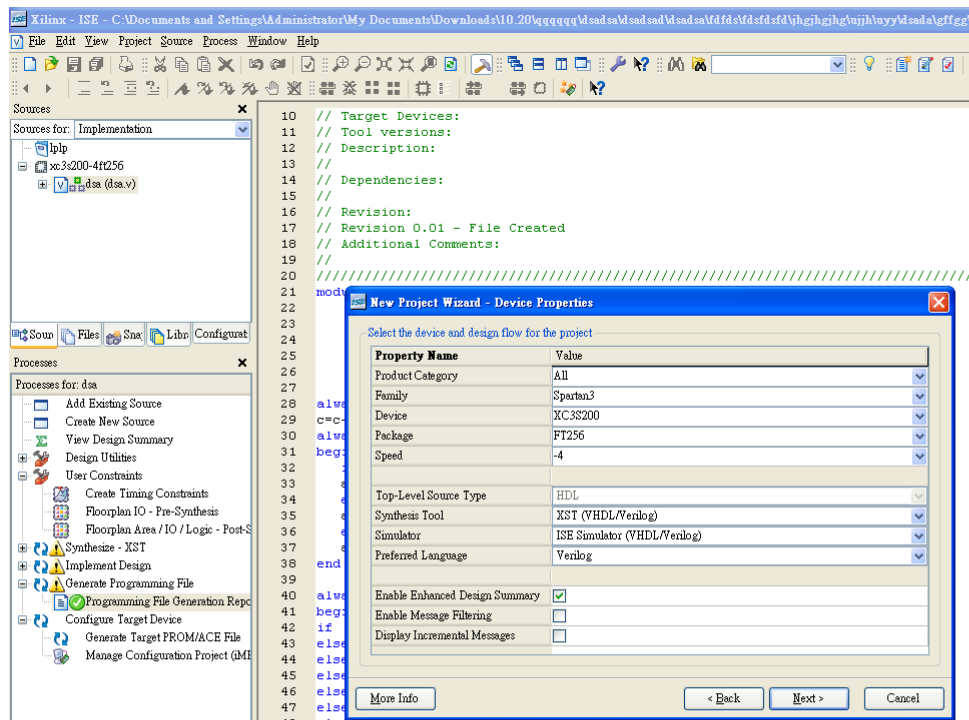
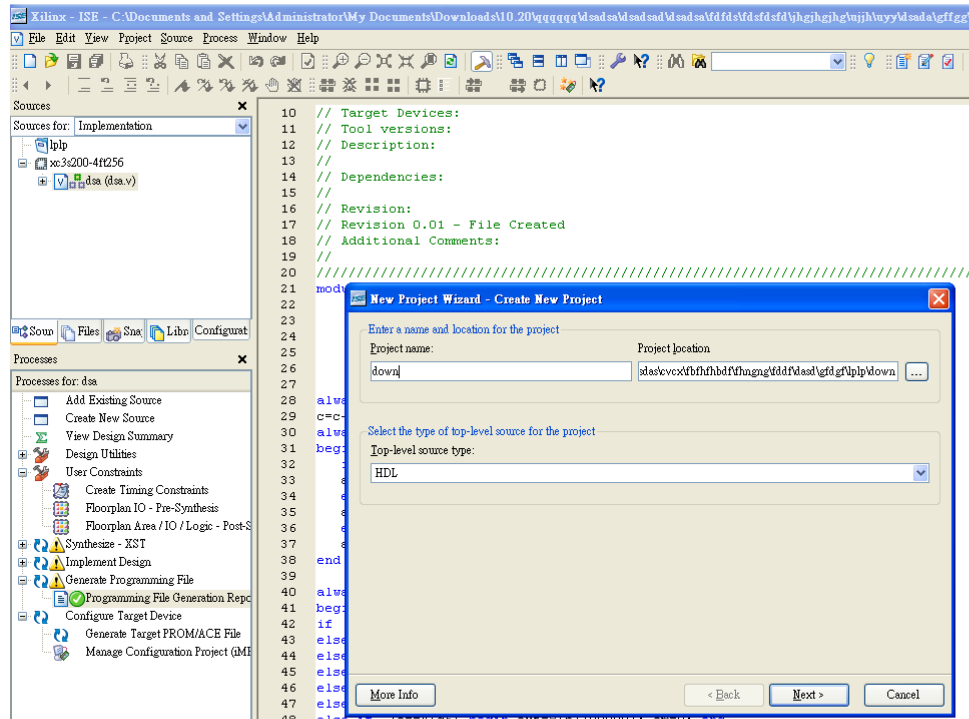
```
always@(a)
begin
    if      (a==4'd0) begin out=8'b00000011;
                        am=4'b1110; end
    else if (a==4'd1) begin out=8'b10011111; am=0; end
    else if (a==4'd2) begin out=8'b00100101; am=0; end
    else if (a==4'd3) begin out=8'b00001101; am=0; end
    else if (a==4'd4) begin out=8'b10011001; am=0; end
    else if (a==4'd5) begin out=8'b01001001; am=0; end
    else if (a==4'd6) begin out=8'b11000001; am=0; end
    else if (a==4'd7) begin out=8'b00011011; am=0; end
    else if (a==4'd8) begin out=8'b00000001; am=0; end
    else if (a==4'd9) begin out=8'b00001001; am=0; end
    end
endmodule
```



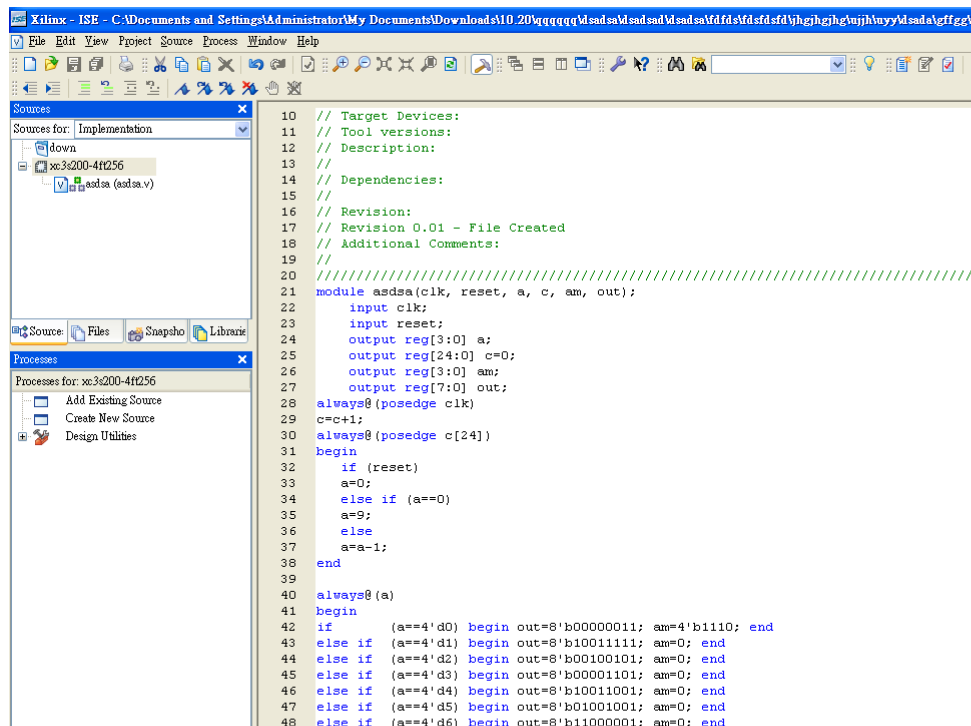


下數計數器

一、 建立 project



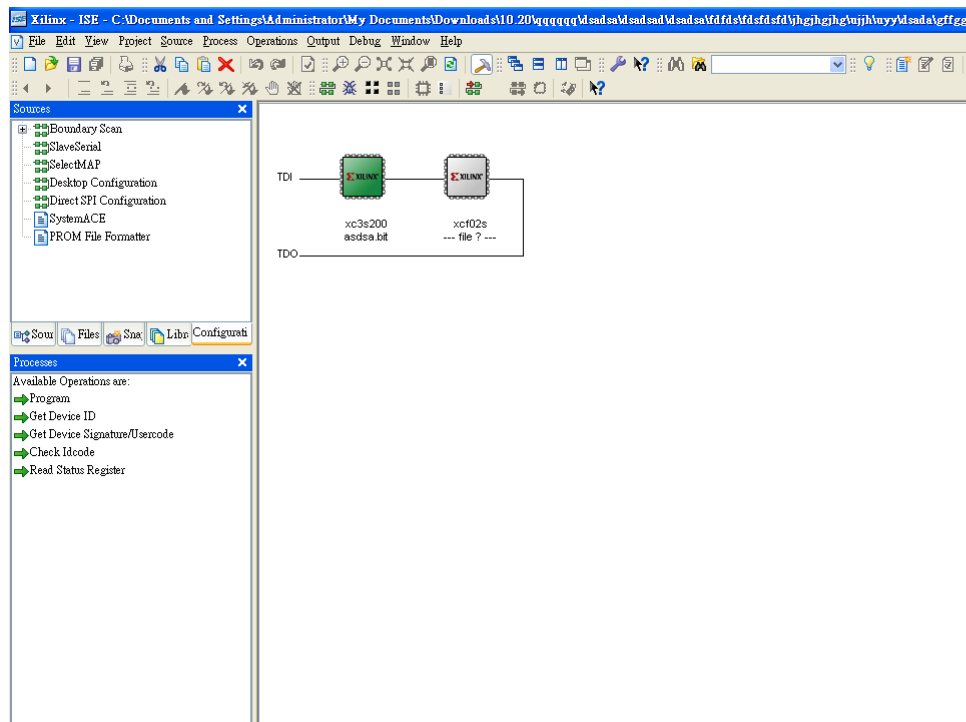
二、 打程式



三、 輸入 PIN 腳

Xilinx PACE - [Design Object List - I/O Pins]													
File Edit View IOBs Areas Tools Window Help													
IO Name	IO Direction	Loc	Bank	IO Std.	Vref	Vcco	Drive Str.	Termination	Slew	Delay	Diff. Type	Pair Name	Local Clock
s<0>	Output										Unknown		
s<1>	Output										Unknown		
s<2>	Output										Unknown		
s<3>	Output										Unknown		
sm<0>	Output	d14	BANK2								Unknown		
sm<1>	Output	e13	BANK2								Unknown		
sm<2>	Output	f14	BANK2								Unknown		
sm<3>	Output	g14	BANK2								Unknown		
c<0>	Output										Unknown		
c<1>	Output										Unknown		
c<2>	Output										Unknown		
c<3>	Output										Unknown		
c<4>	Output										Unknown		
c<5>	Output										Unknown		
c<6>	Output										Unknown		
c<7>	Output										Unknown		
c<8>	Output										Unknown		
c<9>	Output										Unknown		
c<10>	Output										Unknown		
c<11>	Output										Unknown		
c<12>	Output										Unknown		
c<13>	Output										Unknown		
c<14>	Output										Unknown		
c<15>	Output										Unknown		
c<16>	Output										Unknown		
c<17>	Output										Unknown		
c<18>	Output										Unknown		
c<19>	Output										Unknown		
c<20>	Output										Unknown		
c<21>	Output										Unknown		
c<22>	Output										Unknown		
c<23>	Output										Unknown		
c<24>	Output										Unknown		
clk	Input	0	BANK4								Unknown		
out<0>	Output	p16	BANK3								Unknown		
out<1>	Output	n16	BANK3								Unknown		
out<2>	Output	f13	BANK2								Unknown		
out<3>	Output	r16	BANK3								Unknown		
out<4>	Output	p15	BANK3								Unknown		

四、 燒入程式



五、 原理說明

設定一個變數，讓它隨著頻率做下數的動作，每一次下數都讓這個變數減一，減到零的時候跳回九繼續做下數。

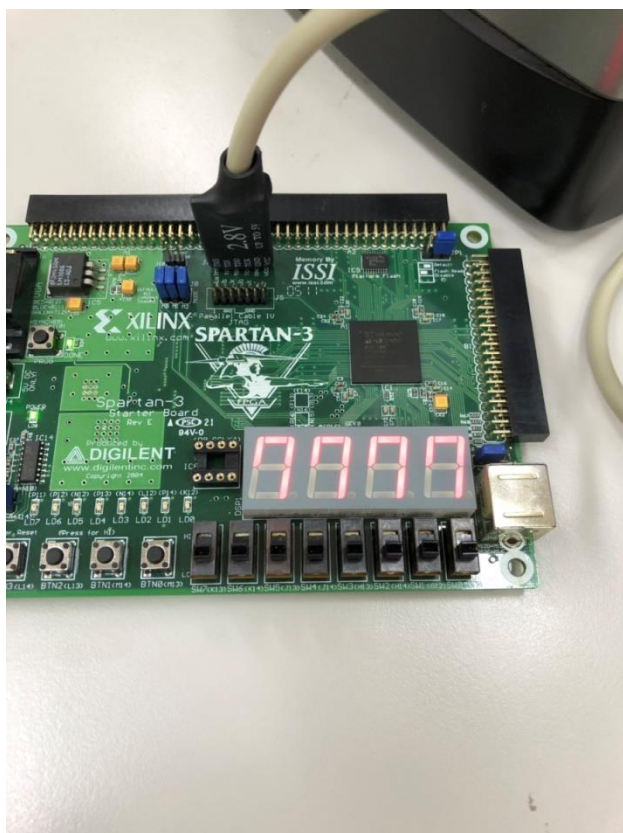
六、 程式碼

```
module fsdfsdk(clk, reset, a, c, am, out);
    input clk;
    input reset;
    output reg[3:0] a;
    output reg[24:0] c=0;
    output reg[3:0] am;
    output reg[7:0] out;
    always@(posedge clk)
        c=c+1;
    always@(posedge c[24])
        begin
            if (reset)
                a=0;
            else if (a==0)
                a=9;
            else
                a=a-1;
```

```
end

always@(a)
    begin
        if      (a==4'd0) begin out=8'b00000011;
        am=4'b1110; end
        else if (a==4'd1) begin out=8'b10011111; am=0; end
        else if (a==4'd2) begin out=8'b00100101; am=0; end
        else if (a==4'd3) begin out=8'b00001101; am=0; end
        else if (a==4'd4) begin out=8'b10011001; am=0; end
        else if (a==4'd5) begin out=8'b01001001; am=0; end
        else if (a==4'd6) begin out=8'b11000001; am=0; end
        else if (a==4'd7) begin out=8'b00011011; am=0; end
        else if (a==4'd8) begin out=8'b00000001; am=0; end
        else if (a==4'd9) begin out=8'b00001001; am=0; end
        end
    endmodule
```

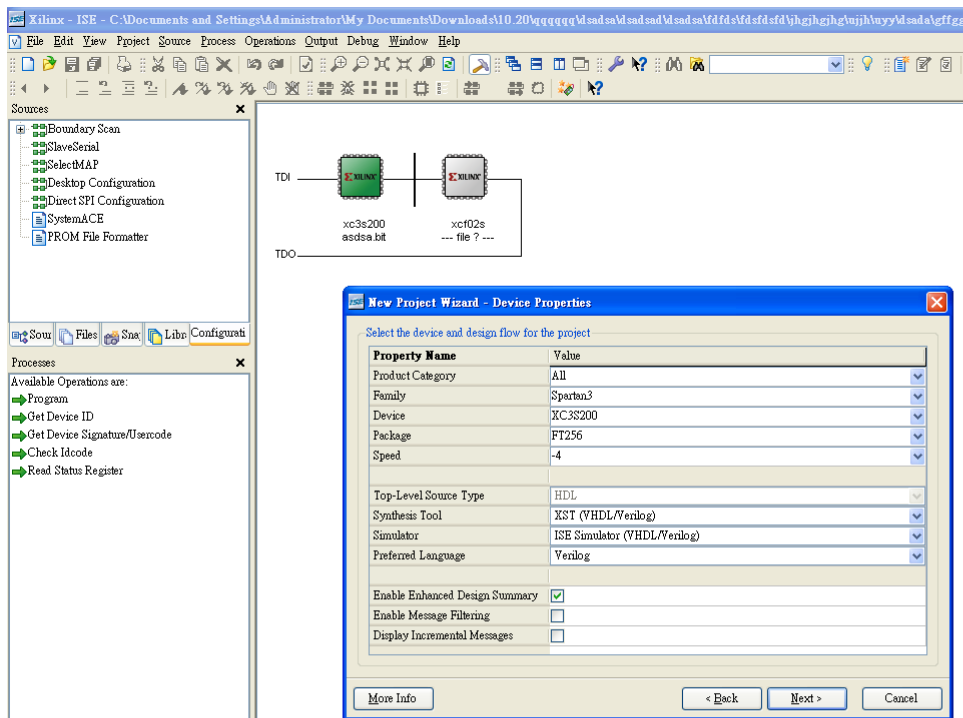
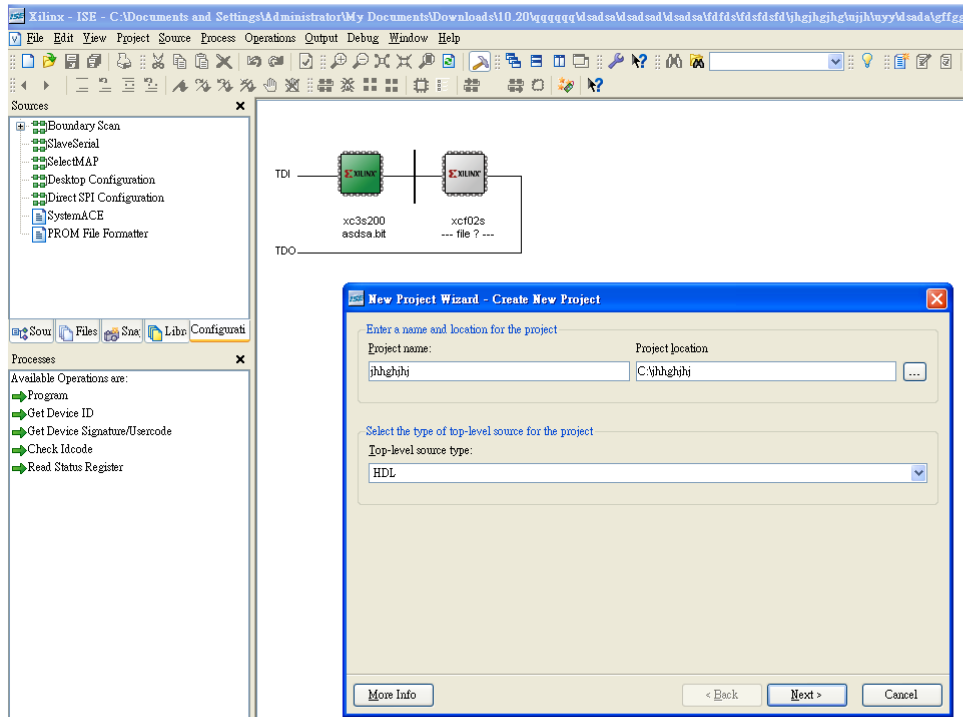
七、 成果展示



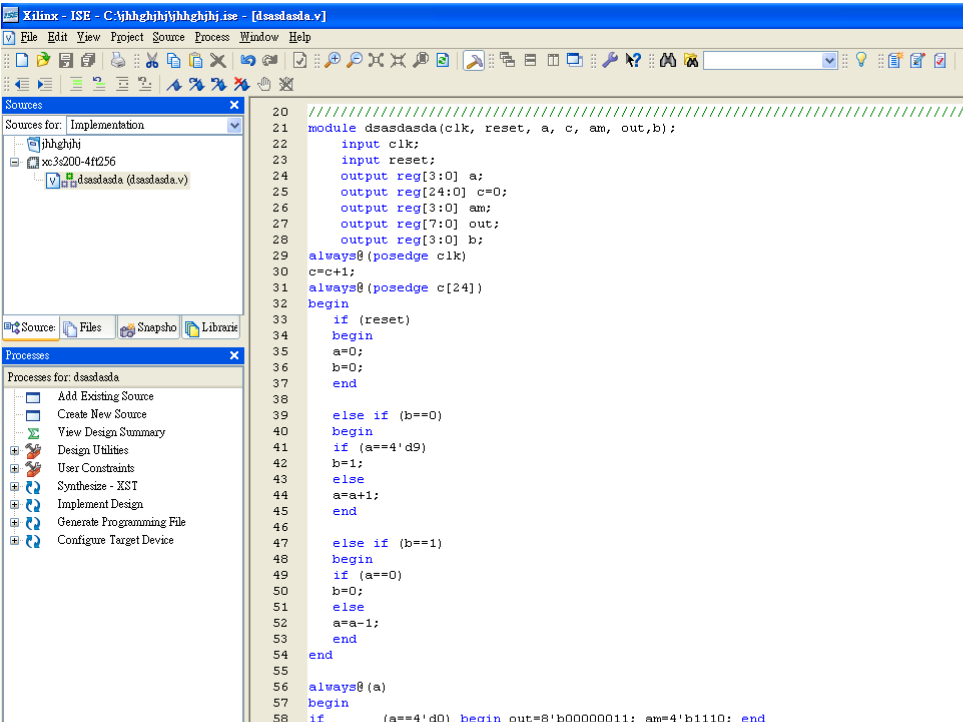


自動上下數

一、 建立 project



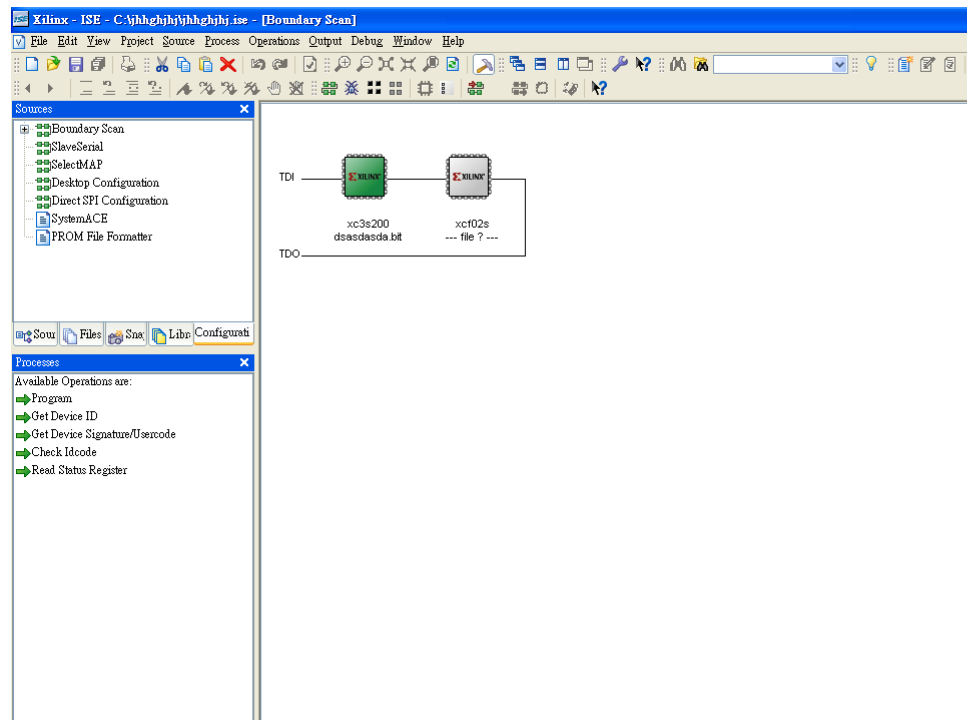
二、 打程式



三、 設定 PIN 腳位

Xilinx PACE - [Design Object List - I/O Pins]													
File Edit View IOBs Areas Tools Window Help													
I/O Name	I/O Direction	Loc	Bank	I/O Std.	Vref	Vcco	Drive Str.	Termination	Slew	Delay	Diff. Type	Pair Name	Local Clock
a<0>	Output										Unknown		
a<1>	Output										Unknown		
a<2>	Output										Unknown		
a<3>	Output										Unknown		
am<0>	Output	d14	BANK2								Unknown		
am<1>	Output	g14	BANK2								Unknown		
am<2>	Output	e13	BANK2								Unknown		
am<3>	Output	f14	BANK2								Unknown		
b<0>	Output										Unknown		
b<1>	Output										Unknown		
b<2>	Output										Unknown		
b<3>	Output										Unknown		
c<0>	Output										Unknown		
c<1>	Output										Unknown		
c<2>	Output										Unknown		
c<3>	Output										Unknown		
c<4>	Output										Unknown		
c<5>	Output										Unknown		
c<6>	Output										Unknown		
c<7>	Output										Unknown		
c<8>	Output										Unknown		
c<9>	Output										Unknown		
c<10>	Output										Unknown		
c<11>	Output										Unknown		
c<12>	Output										Unknown		
c<13>	Output										Unknown		
c<14>	Output										Unknown		
c<15>	Output										Unknown		
c<16>	Output										Unknown		
c<17>	Output										Unknown		
c<18>	Output										Unknown		
c<19>	Output										Unknown		
c<20>	Output										Unknown		
c<21>	Output										Unknown		
c<22>	Output										Unknown		
c<23>	Output										Unknown		
c<24>	Output										Unknown		
clk	Input	g	BANK4								Unknown		
out<0>	Output	p16	BANK3								Unknown		

四、 燒入程式



五、 原理說明

這次的上下數跟剛才的上數和下數有很大的不一樣，我們是先設計一個 B 的變數當作控制 A 的虛擬開關。先設 B 為 0 時 A 會開始做上數的動作直到上數至 9 的時候 B 會開啟即變成 1，這是由於 B 變成 1 的關係，因此 A 開始做下數的動作，當 A 下數到 0 的時候，B 又會變成 0，繼續做上數的動作，並起不斷的循環。

六、 程式碼

```
module fsdfds(clk, reset, a, c, am, out,b);  
    input clk;  
    input reset;  
    output reg[3:0] a;  
    output reg[24:0] c=0;  
    output reg[3:0] am;  
    output reg[7:0] out;  
    output reg[3:0] b;
```



```

always@(posedge clk)
c=c+1;
always@(posedge c[24])
begin
    if (reset)
    begin
        a=0;
        b=0;
    end

    else if (b==0)
    begin
        if (a==4'd9)
        b=1;
    else
        a=a+1;
    end

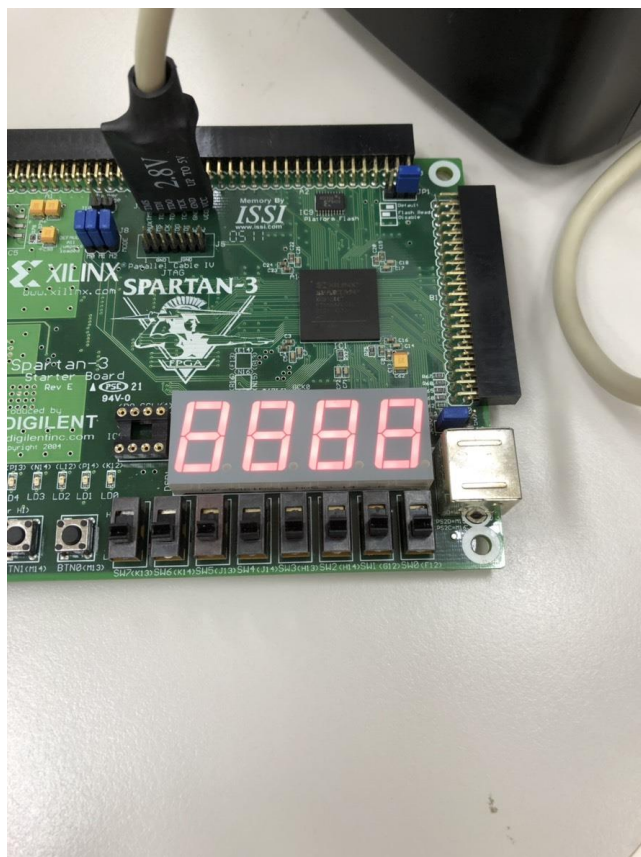
```

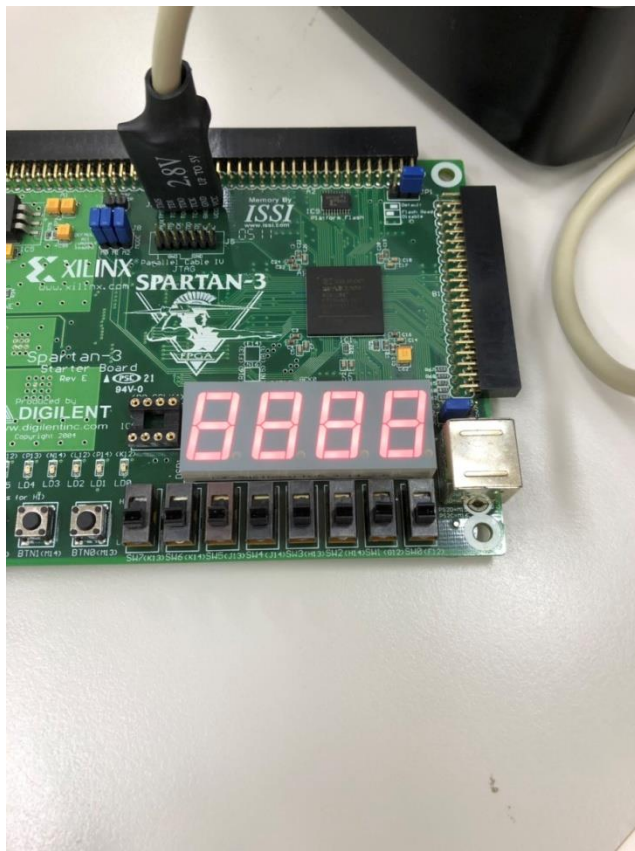
```

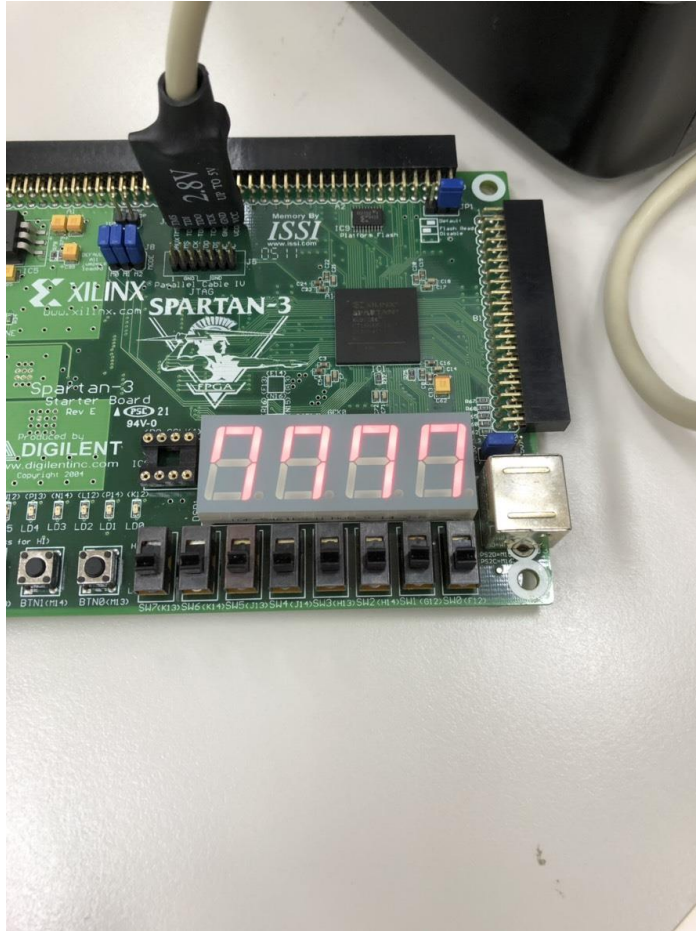
always@(a)
begin
    if      (a==4'd0) begin out=8'b00000011; am=0; end
    else if (a==4'd1) begin out=8'b10011111; am=0; end
    else if (a==4'd2) begin out=8'b00100101; am=0; end
    else if (a==4'd3) begin out=8'b00001101; am=0; end
    else if (a==4'd4) begin out=8'b10011001; am=0; end
    else if (a==4'd5) begin out=8'b01001001; am=0; end
    else if (a==4'd6) begin out=8'b11000001; am=0; end
    else if (a==4'd7) begin out=8'b00011011; am=0; end
    else if (a==4'd8) begin out=8'b00000001; am=0; end
    else if (a==4'd9) begin out=8'b00001001; am=0; end
end
endmodule

```

七、 成果展示







結語

這次的計數器學到了很多的東西，因為後面有很多的作品都能夠用計數器來實現，像是移動蛇、霹靂燈、紅綠燈和密碼鎖，這些都能夠用計數器的概念來將以實現，因此計數器我認為是一項十分重要的項目，必須要好好學習，也很感謝老師認真地教導。

全文完