

# 计算机组成原理408大题训练营——DAY08

## 前言概述

大家好，欢迎来到蓝蓝星球组织的第一期计算机组成原理408大题专项突破！

我们将通过计算机组成原理的精选出的一系列重点题以及09-22年所有的真题的练习。针对大家头疼的浮点数计算、cache访存与虚拟存储、一堆和一条指令的运行情况以及I/O数据传输的所有方面帮助大家攻克难关。本次活动深度剖析了历年真题，精选出了需要大家重点掌握的计组细节题目，在听完咸鱼强化的基础上，以真题为始，结合所选的重点题目来全面加强计组大题理解，最后通过二刷真题来全面理解考试出题类型，一共50多道大题帮助大家稳扎稳打，拿下计组大题。本着参加打卡活动希望大家都可以学有所成的初心，邀请了猫叔、酒、Tina等几位同学给大家答疑并且帮助督促大家做好知识的输出工作，希望大家可以认真做题，坚持在星球打卡，念念不忘，必有回响！

## 题外话

欢迎大家多多关注蓝蓝B站首页：[蓝蓝希望你上岸呀B站首页](#)

关于蓝蓝计算机考研3000+圈子：[计算机考研必备](#)

以及蓝蓝公众号：[应用题训练营专题](#)

也可以关注一下猫叔的B站账号，希望与大家共同进步[薛定谔的猫叔叔是你](#)

## 做题须知

- 1.建议先听咸鱼强化可后，针对咸鱼所讲真题，先跟着浏览真题，确保了解真题出题难度，浏览题目后，自己去先独立思考题目的知识点是否可以用自己的语言论述并写出
- 2.通过翻阅资料查阅真题的考点，并加以理解，接着利用重点题目的辅助练习来巩固每一章知识点
- 3.针对不会的内容需要反复思考，查阅王道书中相关章节知识，及时巩固题目细节考察重点，归纳总结常考题目类型
- 4.汇总每天的习题成册并留出足够的空白空间方便后期复盘与增补知识点，加强记忆
- 5.持之以恒，多总结多思考，多与管理员和群友及时交流处理所遇到的问题，学习中复盘，复盘中学习，通过培养费曼学习法让自己从输入者变成输出者，手中无剑而心中有剑，万变不离其宗，遇到陌生问题依旧可以迎刃而解的境界！
- 6.以终为始，通过前期的了解真题，到后面的重点模拟，剖析真题，把握出题规律，最后二刷真题，确保题目知识点胸有成竹，闲庭信步，信手捏来！

## IO专题真题相关题目：

### 01、看图cache访存于虚拟页式综合-11年真题

04. 【2011 统考真题】某计算机存储器按字节编址，虚拟（逻辑）地址空间大小为 16MB，主存（物理）地址空间大小为 1MB，页面大小为 4KB；Cache 采用直接映射方式，共 8 行；主存与 Cache 之间交换的块大小为 32B。系统运行到某一时刻时，页表的部分内容和 Cache 的部分内容分别如下的左图和右图所示，图中页框号及标记字段的内容为十六进制形式。

回答下列问题：

- 1) 虚拟地址共有几位，哪几位表示虚页号？物理地址共有几位，哪几位表示页框号（物理页号）？
- 2) 使用物理地址访问 Cache 时，物理地址应划分成哪几个字段？要求说明每个字段的位数及在物理地址中的位置。

虚页号	有效位	页框号	...	行号	有效位	标记	...
0	1	06	...	0	1	020	...
1	1	04	...	1	0	---	...
2	1	15	...	2	1	01D	...
3	1	02	...	3	1	105	...
4	0	---	...	4	1	064	...
5	1	2B	...	5	1	14D	...
6	0	---	...	6	0	---	...
7	1	32	...	7	1	27A	...

- 3) 虚拟地址 001C60H 所在的页面是否在主存中？若在主存中，则该虚拟地址对应的物理地址是什么？访问该地址时是否 Cache 命中？要求说明理由。
- 4) 假定为该机配置一个四路组相联的 TLB，共可存放 8 个页表项，若其当前内容（十六进制）如下图所示，则此时虚拟地址 024BACH 所在的页面是否存在主存中？要求说明理由。

组号	有效位	标记	页框号	有效位	标记	页框号	有效位	标记	页框号
0	0	---	---	1	001	15	0	---	---
1	1	013	2D	0	---	---	1	008	7E

因此映射至第 0 组页表项 Tag=012H 页框为 1 命中

则页框为 1FBACH 即物理地址 024BACH 在主存中

计算一下 1FBACH  $\rightarrow$  0001 1111 1011 1010 1100 B

第 5 组 Tag=14DH  $\neq$  1FBH Cache 未中

1) 虚拟地址 24bit 页偏 12bit

页框 12 bit 页偏 12 bit

物理地址 20 bit 页偏 20-12=8 bit

页框 8 bit 页偏 12 bit

2) Cache 划为直接映射 块内 25 bit

Tag 12 bit 行号 3 bit 块内 5 bit

Tag=20-3-5=12 bit

3) 001C60H  $\rightarrow$  0000 0000 0001 1100 0110 0000 B

001H

标表有效页框号为 04H 页框为 04C60H

04C60H  $\rightarrow$  0000 0100 1100 0110 0000 B

Tag

78H

行号 011B 为 3 tag=105H  $\neq$  04CH 未中

4) 四路组相联 则页号 8/2=2 组 页号 11 位为 TLB 标记

虚 024BACH  $\rightarrow$  0000 0010 0100 1010 1010 1100 B

组号为第 0 组 页框号 024H  $\rightarrow$  TLB 标记为 012H

## 02、看c程序计算cache容量与命中率执行速度—10年真题

06. 【2010统考真题】某计算机的主存地址空间大小为256MB，按字节编址。指令Cache和数据Cache分离，均有8个Cache行，每个Cache行大小为64B。数据Cache采用直接映射方式。现有两个功能相同的程序A和B，其伪代码如下所示：

```

程序A:
int a[256][256];
...
int sum_array1()
{
    int i, j, sum=0;
    for(i=0; i<256; i++)
        for(j=0; j<256; j++)
            sum += a[i][j];
    return sum;
}

程序B:
int a[256][256];
...
int sum_array2()
{
    int i, j, sum=0;
    for(j=0; j<256; j++)
        for(i=0; i<256; i++)
            sum += a[i][j];
    return sum;
}

```

假定int类型数据用32位补码表示，程序编译时，i、j和sum均分配在寄存器中，数组a按行优先方式存放，其首地址为320（十进制数）。请回答下列问题，要求说明理由或给出计算过程。

- 1) 不考虑用于Cache一致性维护和替换算法的控制位，数据Cache的总容量为多少？
- 2) 数组元素a[0][31]和a[1][1]各自所在的主存块对应的Cache行号是多少（Cache行号从0开始）？
- 3) 程序A和B的数据访问命中率各是多少？哪个程序的执行时间更短？

注意1) 题干部分的不同互斥数据缓存身理解等推。

13) 问命中率时是在第一次访问的条件下再次调入Cache新的块

1) 直接映射 int 为4B大 基址为320 则

a[0][31] 块地址为主存行号为  $(320 + (0 \times 256 + 31) \times 4) / 64 = 8$

a[1][1] 块地址为主存行号为  $(320 + (1 \times 256 + 1) \times 4) / 64 = 5$

或 a[0][31] 地址为  $320 + 3 \times 4 = 1011100$  取行号为6

a[1][1] 地址为  $320 + 256 \times 1 + 4 = 1348 = 1010100100$  取行号为5

主存大小  $2^8$  B 指令 cache 数据 cache 独立互斥

均2行 cache 行大小 2<sup>6</sup>B 直接映射  
tag = 28 - 3 - 6 = 19 bit

Tag 19bit 行 3bit 块 16bit

1) 不考一致性维护与替换算法

则 数据 cache 容量大小为:

有效 失效 脏块 tag 数据 64B

16bit 19bit 512bit

Cache 总容量为  $8 \times (1 + 9 + 512) / 8 = 532$  B

13) 数据 A 大小为  $256 \times 256 = 2^{18}$  B  $2^{18} / 2^6 = 2^{12}$  块

行优先访问 数据 2<sup>12</sup> 块 1次命中 2<sup>12</sup> 次

块命中率  $(2^{10} - 1) / 2^{12} = 93.75\%$

或 0行存取 每块改 64/1024 = 1/16 不命中 15/16

命中 1/16 命中率 1/16 = 6.25%

程序B逐列访问数组 a 64x8=512B 数组 a 一行 1x64 为 Cache 2行

由此可知不同行同一列元素访问同一单元，每次访问均得3行的量

换块回 每次访问均不中

由于 cache 容量和数据容量远大于主存容量故 L1 > L2 A快

### 03、看c程序计算cache格式与命中率，缺失处理流程—20真题

09. 【2020 统考真题】假定主存地址为 32 位，按字节编址，指令 Cache 和数据 Cache 与主存之间均采用 8 路组相联映射方式，直写 (Write Through) 写策略和 LRU 替换算法，主存块大小为 64B，数据区容量各为 32KB。开始时 Cache 均为空。请回答下列问题。

1) Cache 每一行中标记 (Tag)、LRU 位各占几位？是否有修改位？

2) 有如下 C 语言程序段：

```
for (k = 0; k < 1024; k++)
```

```
s[k] = 2 * s[k];
```

若数组 s 及其变量 k 均为 int 型，int 型数据占 4B，变量 k 分配在寄存器中，数组 s 在主存中的起始地址为 0080 00C0H，则在程序段执行过程中，访问数组 s 的数据 Cache 缺失次数为多少？

3) 若 CPU 最先开始的访问操作是读取主存单元 0001 0003H 中的指令，简要说明从 Cache 中访问该指令的过程，包括 Cache 缺失处理过程。

1) 主存 32bit

主存块 2^6B 数据块 2^15B

组数为  $2^{15}/2^6=2^9$

组 组号占 9 位 8 路组相联共 36 位

每行直写 7 修改位  $32-6-6=20\text{bit}$

tag = 20bit	组号 6bit	LRU 6bit
-------------	---------	----------

12)  $0080\ 00C0H \rightarrow 0000\ 0000\ 1000\ 0000\ 0000\ 1100\ 0000\ B$

6 位于主存块起始处 6 1024x4/64B 共 64 块

64B/4B=16 个记录 依次读第 1 次 对每个块读第 1 次 访问缺失

将每个块调入 Cache 32 行中 共读 64 次

② 当 0000H 行 0 为读 Tag 标记字段 并置有效位为 1 修改 LRU 值

③ 最后根据块内地址 000011B 从该行 取出相应内容

13)  $0001\ 0003H \rightarrow 0000\ 0000\ 0001\ 0000\ 0000\ 0000\ 0011\ B$

组号 00 即映射到 Cache 第 0 组

① 初始 Cache 为空，有效位为 0 均缺失 取内容

将主存地址存入 Cache 第 0 组的行

### 04、看文字计算cache缺失时的突发传送与I/O传输结合，根据题目传输方式阅读理解做题（题目灵活综合性强，需要多培养理解能力）—13真题

07. 【2013 统考真题】某 32 位计算机，CPU 主频为 800MHz，Cache 命中时的 CPI 为 4，Cache 块大小为 32B；主存采用 8 体交叉存储方式，每个体的存储字长为 32 位，存储周期为 40ns；存储器总线宽度为 32 位，总线时钟频率为 200MHz，支持突发传送总线事务。每次突发传送总线事务的过程包括：送首地址和命令、存储器准备数据、传送数据。每次突发传送 32B，传送地址或 32 位数据均需要一个总线时钟周期。请回答下列问题，

要求给出理由或计算过程。

- 1) CPU 和总线的时钟周期各为多少？总线的带宽（即最大数据传输率）为多少？
- 2) Cache 缺失时，需要用几个读突发传送总线事务来完成一个主存块的读取？
- 3) 存储器总线完成一次读突发传送总线事务所需的时间是多少？
- 4) 若程序 BP 执行过程中共执行了 100 条指令，平均每条指令需进行 1.2 次访存，Cache 缺失率为 5%，不考虑替换等开销，则 BP 的 CPU 执行时间是多少？

32位机 CPU主频800MHz CPZP

Cache块32B 8体交叉存储 每7体32位

$T_{\text{存}} = 40\text{ns}$  总线时钟200MHz 支持突发传送

1) CPU时钟周期为  $1/800\text{M} = 1.25\text{ns}$

总线时钟周期为  $1/200\text{M} = 5\text{ns}$

总线带宽  $4\text{B} \times 200\text{M} = 800\text{MB/s}$

12) Cache缺失时每次突发32B和Cache块大小32B

即一个读突发总线事务读取一个主存块

13) 一次读突发总线事务包括 ①地址信息 ②数据传送

用1个总线时钟周期传地址，间隔  $40\text{ns}/8 = 5\text{ns}$

启动一个体连续读取 第一行  $40\text{ns}$ 后存放

与传输容量用8个总线时钟周期数据

即  $5 + 40 + 8 \times 5 = 85\text{ns}$

14) 一条指令平均CPU执行时间包括命中与缺失的开销

Cache命中时  $4 \times 1.25\text{ns} = 5\text{ns}$

Cache缺失时  $1.2 \times 5\% \times 85\text{ns} = 5.1\text{ns}$

一条指令平均CPU执行时间为  $5 + 5.1 = 10.1\text{ns}$

故BP的执行时间为  $100 \times 10.1\text{ns} = 1010\text{ns} = 1.01\text{ms}$