

计算机组成原理408大题训练营——DAY03

前言概述

大家好，欢迎来到蓝蓝星球组织的第一期计算机组成原理408大题专项突破！

我们将通过计算机组成原理的精选出的一系列重点题以及09-22年所有的真题的练习。针对大家头疼的浮点数计算、cache访存与虚拟存储、一堆和一条指令的运行情况以及I/O数据传输的所有方面帮助大家攻克难关。本次活动深度剖析了历年真题，精选出了需要大家重点掌握的计组细节题目，在听完咸鱼强化的基础上，以真题为始，结合所选的重点题目来全面加强计组大题理解，最后通过二刷真题来全面理解考试出题类型，一共50多道大题帮助大家稳扎稳打，拿下计组大题。本着参加打卡活动希望大家都可以学有所成的初心，邀请了猫叔、酒、Tina等几位同学给大家答疑并且帮助督促大家做好知识的输出工作，希望大家可以认真做题，坚持在星球打卡，念念不忘，必有回响！

题外话

欢迎大家多多关注蓝蓝B站首页：[蓝蓝希望你上岸呀B站首页](#)

关于蓝蓝计算机考研3000+圈子：[计算机考研必备](#)

以及蓝蓝公众号：[应用题训练营专题](#)

也可以关注一下猫叔的B站账号，希望与大家共同进步[薛定谔的猫叔叔是你](#)

做题须知

- 1.建议先听咸鱼强化可后，针对咸鱼所讲真题，先跟着浏览真题，确保了解真题出题难度，浏览题目后，自己去先独立思考题目的知识点是否可以用自己的语言论述并写出
- 2.通过翻阅资料查阅真题的考点，并加以理解，接着利用重点题目的辅助练习来巩固每一章知识点
- 3.针对不会的内容需要反复思考，查阅王道书中相关章节知识，及时巩固题目细节考察重点，归纳总结常考题目类型
- 4.汇总每天的习题成册并留出足够的空白空间方便后期复盘与增补知识点，加强记忆
- 5.持之以恒，多总结多思考，多与管理员和群友及时交流处理所遇到的问题，学习中复盘，复盘中学习，通过培养费曼学习法让自己从输入者变成输出者，手中无剑而心中有剑，万变不离其宗，遇到陌生问题依旧可以迎刃而解的境界！
- 6.以终为始，通过前期的了解真题，到后面的重点模拟，剖析真题，把握出题规律，最后二刷真题，确保题目知识点胸有成竹，闲庭信步，信手捏来！

IO专题真题相关题目：

01、文字阅读，IO传输与cache结合DMA与交叉存储，考察面广综合性强-12年真题

【2012统考真题】假定某计算机的CPU主频为80MHz，CPI为4，平均每条指令访存1.5次，主存与Cache之间交换的块大小为16B，Cache的命中率为99%，存储器总线宽带为32位。回答下列问题。

- 1) 该计算机的MIPS数是多少？平均每秒Cache缺失的次数是多少？在不考虑DMA 传送的情况下，主存带宽至少达到多少才能满足CPU的访存要求？

- 2) 假定在Cache缺失的情况下访问主存时, 存在0.0005%的缺页率, 则CPU平均每秒产生多少次缺页异常? 若页面大小为4KB, 每次缺页都需要访问磁盘, 访问磁盘时 DMA传送采用周期挪用方式, 磁盘I/O接口的数据缓冲寄存器为32位, 则磁盘I/O接口平均每秒发出的DMA请求次数至少是多少?
- 3) CPU和DMA控制器同时要求使用存储器总线时, 哪个优先级更高? 为什么?
- 4) 为了提高性能, 主存采用4体低位交叉存储模式, 工作时每1/4个存储周期启动一个体。若每个体的存储周期为50ns, 则该主存能提供的最大带宽是多少?

09. 【2012 统考真题】假定某计算机的 CPU 主频为 80MHz, CPI 为 4, 平均每条指令访问 1.5 次, 主存与 Cache 之间交换的块大小为 16B, Cache 的命中率为 99%, 存储器总线宽度为 32 位。回答下列问题。

- 1) 该计算机的 MIPS 数是多少? 平均每秒 Cache 缺失的次数是多少? 在不考虑 DMA 传送的情况下, 主存带宽至少达到多少才能满足 CPU 的访存要求?
- 2) 假定在 Cache 缺失的情况下访问主存时, 存在 0.0005% 的缺页率, 则 CPU 平均每秒产生多少次缺页异常? 若页面大小为 4KB, 每次缺页都需要访问磁盘, 访问磁盘时 DMA 传送采用周期挪用方式, 磁盘 I/O 接口的数据缓冲寄存器为 32 位, 则磁盘 I/O 接口平均每秒发出的 DMA 请求次数至少是多少?
- 3) CPU 和 DMA 控制器同时要求使用存储器总线时, 哪个优先级更高? 为什么?
- 4) 为了提高性能, 主存采用 4 体低位交叉存储模式, 工作时每 1/4 个存储周期启动一个体。若每个体的存储周期为 50ns, 则该主存能提供的最大带宽是多少?

1) MIPS 表示每秒 CPU 执行指令数 $80M/4 = 20M = \text{MIPS}$

访问指令 [cache 缺失] 次数 $20M \times 1.5 \times 0.99\% = 300k$

cache 缺失时 CPU 访问主存, 主存与 cache 块传送带宽: $16B \times 300k/s = 4.8MB/s$

若不考虑 DMA 传送情况, 主存带宽至少 4.8MB/s 才能满足要求

2) cache 缺失后主存 每秒的缺页中断为 $300k \times 0.0005\% = 1.5$ 次

由于 DMA 周期挪用方式 每秒 32 位即 4B 数据发一次 DMA 请求

每秒每秒磁盘 DMA 请求次数至少为 $1.5 \times 4KB / 4B = 1.5 \times 1024 = 1536$ 次

3) CPU 与 DMA 同时请求总线 DMA 为 I/O 访问时优先级最高

为了读写数据时传输不冲突

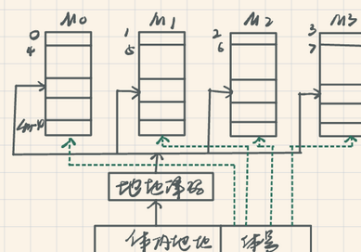
主频 80MHz CPI=4 每条指令访问 1.5 次

cache 块大小 16B 命中率 99% 页面 4B = 32 位

14) 4 体低位交叉存储 每 1/4 个存

一个周期启动一个体

最大带宽 $4 \times 4B / 50ns = 320MB/s$

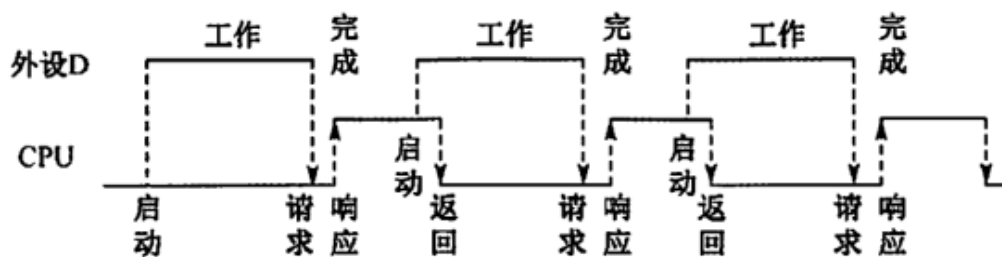


低位交叉编址

02、看图读文字阅读题目明白传输过程和中断传输的各种操作—16年真题

【2016统考真题】假定CPU主频为50MHz, CPI为4, 设备D采用异步串行通信方式向主机传送7位ASCII码字符, 通信规程中有1位奇校验位和1位停止位, 从D接收启动命令到字符送入I/O端口需要0.5ms。回答下列问题, 要求说明理由。

- 1) 每传送一个字符, 在异步串行通信线上共需传输多少位? 在设备D持续工作过程中, 每秒最多可向I/O端口送入多少个字符?
- 2) 设备D采用中断方式进行输入/输出, 示意图如下所示



I/O端口每收到一个字符申请一次中断，中断响应需10个时钟周期，中断服务程序共有20条指令，其中第15条指令启动D工作。若CPU需从D读取1000个字符，则完成这一任务所需时间大约是多少个时钟周期？CPU用于完成这一任务的时间大约是多少个时钟周期？在中断响应阶段CPU进行了哪些操作？

10. 【2016统考真题】假定CPU主频为50MHz，CPI为4。设备D采用异步串行通信方式向主机传送7位ASCII码字符，通信规程中有1位奇校验位和1位停止位，从D接收启动命令到字符送入I/O端口需要0.5ms。回答下列问题，要求说明理由。

1) 每传送一个字符，在异步串行通信线上共需传输多少位？在设备D持续工作过程中，每秒最多可向I/O端口送入多少个字符？

2) 设备D采用中断方式进行输入/输出，示意图如下所示：



I/O端口每收到一个字符申请一次中断，中断响应需10个时钟周期，中断服务程序共有20条指令，其中第15条指令启动D工作。若CPU需从D读取1000个字符，则完成这一任务所需时间大约是多少个时钟周期？CPU用于完成这一任务的时间大约是多少个时钟周期？在中断响应阶段CPU进行了哪些操作？

1)

主频 50MHz CPI=4 异步串行通信

传7位ASCII码字符 起始位+数据位
+奇校验位+停止位

每传一个字符共需 $1+7+1+1=10$ 位

20端口每秒可传 $1000/0.5=2000$ 字符

1) 异步中断方式输入/输出

问题可求一个字符总传输时间

① 设备D将字符送入I/O的时间

② 中断响应时间

③ 中断服务程序前15条执行的时间

时钟周期为 $1/50m = 20ns$

设备D将字符送入I/O端口时间为

$0.5ms/20ns = 2.5 \times 10^4$ 周期

一个字符传输时间为 $2.5 \times 10^4 + 10 + 15 \times 4 = 25070$ 时钟周期

② 1000个字符共需时间周期为 $1000 \times 25070 = 25071000$ 个

CPU用于完成该任务的时间为 $1000 \times (10 + 20 \times 4) = 90000$ 个

在中断响应时CPU需①关中断 ②保护断点 和程序状态

③ 限制中断源 防止中断重叠

03、读文字磁盘传输与DMA数据传输（第一次综合考察）—22真题

假设某磁盘驱动器中有4个双面盘片，每个盘面有20000个磁道，每个磁道有500个扇区，每个扇区可记录512字节的数据，盘片转速为7200r/m(转/分)，平均寻道时间为5ms。请回答下列问题。

- (1) 每个扇区包含数据及其地址信息，地址信息分为3个字段。这3个字段的名称各是什么？对于该磁盘，各字段至少占多少位？
- (2) 一个扇区的平均访问时间约为多少？
- (3) 若采用周期挪用DMA方式进行磁盘与主机之间的数据传送，磁盘控制器中的数据缓冲区大小为64位，则在一个扇区读写过程中，DMA控制器向CPU发送了多少次总线请求？若CPU检测到DMA控制器的总线请求信号时也需要访问主存，则DMA控制器是否可以获得总线使用权？为什么？

12. 【2022 统考真题】假设某磁盘驱动器中有 4 个双面盘片，每个盘面有 20000 个磁道，每个磁道有 500 个扇区，每个扇区可记录 512 字节的数据，盘片转速为 7200rpm (转/分)，平均寻道时间为 5ms。请回答下列问题。

- 1) 每个扇区包含数据及其地址信息，地址信息分为 3 个字段。这 3 个字段的名称各是什么？对于该磁盘，各字段至少占多少位？
- 2) 一个扇区的平均访问时间约为多少？
- 3) 若采用周期挪用 DMA 方式进行磁盘与主机之间的数据传送，磁盘控制器中的数据缓冲区大小为 64 位，则在一个扇区读写过程中，DMA 控制器向 CPU 发送了多少次总线请求？若 CPU 检测到 DMA 控制器的总线请求信号时也需要访问主存，则 DMA 控制器是否可以获得总线使用权？为什么？

1) 扇区包含 柱面号(磁道号), 磁头号(盘片号), 扇区号

每个盘面有 20K 磁道即 20K 磁道 柱面号至少为 $\lceil \lg_2 20000 \rceil = 15$ 位

共有 4 个盘片且双面可用 故 磁头号至少 $\lg_2 8 = 3$ 位

共 500 个扇区, 扇区号至少 $\lceil \lg_2 500 \rceil = 9$ 位

2) $T_{\text{平均访问}} = T_{\text{寻道}} + T_{\text{延迟}} + T_{\text{传输}}$ $T_{\text{寻道}} = 5\text{ms}$ $T_{\text{延迟}} = T_{\text{旋转时间}}$

即 $T_{\text{延迟}} = \frac{60 \times 10^3}{7200} \approx 8.33\text{ms}$ $T_{\text{传输}} = \text{一个扇区通过磁头下所需时间} = 8.33/500$

故 $T_{\text{总}} = 5 + 8.33/2 + 8.33/500 \approx 9.18\text{ms}$

3) DMA 周期挪用方式 每读一次总一次 DMA 请求 一扇区数据共 512/8B=64 次请求, 由于 CPU 与 DMA 均需总线时为保证及时将数据传送则 DMA 优先获得总线, 防止 CPU 数据缓冲中的数据丢失

04 读题目理解题目要求突发传送事务过程与IO传输和cache综合—13真题

【2013统考真题】某32位计算机，CPU主频为800MHz，Cache命中时的CPI为4，Cache块大小为32B；主存采用8体交叉存储方式，每个体的存储字长为32位、存储周期为40ns；存储器总线宽度为32位，总线时钟频率为200MHz，支持突发传送总线事务。每次读突发传送总线事务的过程包括：送首地址和命令、存储器准备数据、传送数据。每次突发传送32B，传送地址或32位数据均需要一个总线时钟周期。请回答下列问题，要求给出理由或计算过程。

- 1) CPU和总线的时钟周期各为多少？总线的带宽（即最大数据传输率）为多少？
- 2) Cache缺失时，需要用几个读突发传送总线事务来完成一个主存块的读取？
- 3) 存储器总线完成一次读突发传送总线事务所需的时间是多少？
- 4) 若程序BP执行过程中共执行了100条指令，平均每条指令需进行1.2次访存

07. 【2013 统考真题】某 32 位计算机，CPU 主频为 800MHz，Cache 命中时的 CPI 为 4，Cache 块大小为 32B；主存采用 8 体交叉存储方式，每个体的存储字长为 32 位、存储周期为 40ns；存储器总线宽度为 32 位，总线时钟频率为 200MHz，支持突发传送总线事务。每次读突发传送总线事务的过程包括：送首地址和命令、存储器准备数据、传送数据。每次突发传送 32B，传送地址或 32 位数据均需要一个总线时钟周期。请回答下列问题，

要求给出理由或计算过程。

- 1) CPU 和总线的时钟周期各为多少？总线的带宽（即最大数据传输率）为多少？
- 2) Cache 缺失时，需要用几个读突发传送总线事务来完成一个主存块的读取？
- 3) 存储器总线完成一次读突发传送总线事务所需的时间是多少？
- 4) 若程序 BP 执行过程中共执行了 100 条指令，平均每条指令需进行 1.2 次访存，Cache 缺失率为 5%，不考虑替换等开销，则 BP 的 CPU 执行时间是多少？

32位机 CPU主频800MHz CPI=4
Cache块32B 8体交叉存储 每1体32位
 $T_{\text{总}} = 40\text{ns}$ 总线时钟200MHz 支持突发传送
1) CPU时钟周期为 $1/800\text{M} = 1.25\text{ns}$
总线时钟周期为 $1/200\text{M} = 5\text{ns}$
总线带宽 $4\text{B} \times 200\text{M} = 800\text{MB/s}$

12) Cache缺失时每次突发32B和Cache块大小32B

即一个读突发总线事务读取一个主存块

13) 一次读突发总线事务包括 ①地址使能 ②数据传送

用1个总线时钟周期地址 每隔 $40\text{ns}/8 = 5\text{ns}$

启动一个体完成一次存取 第一个体40ns后完成

与传输重叠 用8个总线时钟周期数据

即 $5 + 40 + 8 \times 5 = 85\text{ns}$

14) 一条指令平均CPU执行时间包括命中与缺失的开销

Cache命中时 $4 \times 1.25\text{ns} = 5\text{ns}$

Cache缺失时 $1.2 \times 5\% \times 85\text{ns} = 5.1\text{ns}$

一条指令平均CPU执行时间为 $5 + 5.1 = 10.1\text{ns}$

取BP的执行时间为 $100 \times 10.1\text{ns} = 1010\text{ns}$
 $= 1.01\text{ms}$