

## **Тестовое задание**

Разработать и протестировать RTL модель части блока DMA, который выполняет прием потока пакетов от сетевого контроллера и запись их в блок памяти со следующими спецификациями:

### **1) Блок памяти**

Две области памяти (характеризуется начальным адресом и размером):

- область 1 – в нее записываются пакеты данных, с выравниванием по 8 байтов
- область 2 – область дескрипторов

Каждому пакету соответствует 1 дескриптор длиной 8 байтов: поле длины, задаваемой параметрически – длина пакета в байтах, поле признака конца пакета (с ошибкой или нет) (расположено в 63 бите) 0 – EOP, 1 – EEP

### **2) Интерфейсы (Все интерфейсы должны быть синхронны):**

а) Интерфейс с сетевым контроллером:

- data (32 бита)
- flags (4 бита) один бит флагов соответствует одному байту, если он равен 0 – байт данных, если равен 1 – служебный символ (0 – EOP, 1 – EEP, 2 – FILL) конец пакета или пустой байт
- valid – признак действительности слова
- ready – признак готовности его принять

б) Интерфейс с памятью:

- address (20 битов)
- data (64 бита)
- write – признак наличия команды записи
- ready – признак готовности памяти записать данные

с) Служебный интерфейс для задания параметров:

- address (5 разрядов)
- data\_in (32 бита)
- data\_out (32 бита)
- write – признак команды записи

### **3) Набор регистров:**

- начальный адрес первой области
- размер первой области
- текущий адрес первой области
- начальный адрес второй области
- размер второй области
- текущий адрес второй области
- регистр флагов (признаки окончания областей, признак записи очередного пакета в память и др.)

### **4) Прерывания:**

- прерывания по окончании областей памяти
- прерывание по приему пакета

Язык выполнения VHDL, обязательно разбить на отдельные блоки, представив все в виде конвейера, не использовать переменные, только сигналы.