



Gowin FPGA 产品 编程配置手册

UG290-1.06, 2019-08-16

版权所有©2019 广东高云半导体科技股份有限公司

未经本公司书面许可，任何单位和个人都不得擅自摘抄、复制、翻译本文档内容的部分或全部，并不得以任何形式传播。

免责声明

本文档并未授予任何知识产权的许可，并未以明示或暗示，或以禁止发言或其它方式授予任何知识产权许可。除高云半导体在其产品的销售条款和条件中声明的责任之外，高云半导体概不承担任何法律或非法律责任。高云半导体对高云半导体产品的销售和 / 或使用不作任何明示或暗示的担保，包括对产品的特定用途适用性、适销性或对任何专利权、版权或其它知识产权的侵权责任等，均不作担保。高云半导体对文档中包含的文字、图片及其它内容的准确性和完整性不承担任何法律或非法律责任，高云半导体保留修改文档中任何内容的权利，恕不另行通知。高云半导体不承诺对这些文档进行适时的更新。

版本信息

日期	版本	说明
2017/04/17	1.00	初始版本。
2017/05/31	1.01	<ul style="list-style-type: none">● 更新不同器件支持的配置模式及 mode 值；● 更新编程内置 Flash 时 RECONFIG_N 注意事项。
2017/10/13	1.02	更新编程配置管脚复用相关描述。
2018/03/16	1.03	增加 GW1NS 系列芯片编程配置特性描述。
2018/08/08	1.04	<ul style="list-style-type: none">● 更新 Flash 为空时配置流程的描述；● 更新多重配置的操作步骤描述；● 更新 MODE[0]=1 时 JTAG 管脚复用的描述；● 更新 B 版本器件编程配置特性描述；● 增加编程配置须知及各配置模式时序图。
2019/01/08	1.05	<ul style="list-style-type: none">● 添加 SERIAL 配置模式的时序图及时序参数；● 删除上电要求相关内容。
2019/08/16	1.06	<ul style="list-style-type: none">● 新增上电及配置流程；● 修改配置文件大小章节。

目录

目录	i
图目录	iii
表目录	iv
1 关于本手册	1
1.1 手册内容	1
1.2 适用产品	1
1.3 相关文档	1
1.4 术语、缩略语	2
1.5 技术支持与反馈	2
2 名词解释	3
3 配置模式	5
3.1 GW1N(R/S)系列 FPGA 产品	5
3.2 GW2A(R)系列 FPGA 产品	6
4 配置管脚介绍	7
4.1 配置管脚列表及复用选项	7
4.1.1 配置管脚列表	7
4.1.2 配置管脚复用	8
4.2 配置管脚功能及应用	10
5 配置模式介绍	15
5.1 配置须知	16
5.2 JTAG 配置	20
5.3 自启动配置（仅 GW1N(R/S)系列支持）	23
5.4 SSPI 配置模式	24
5.5 MSPI 配置模式	26
5.6 双启动配置（仅 GW1N(R/S)系列支持）	32
5.7 CPU 配置模式	34
5.8 SERIAL 配置模式	35
6 比特流文件配置	37

6.1 配置选项设置	38
6.2 配置数据加密（仅 GW2A(R)系列支持）	38
6.3 配置文件大小	41
7 安全性考虑.....	42
8 边界扫描操作	44
9 SPI Flash 选择	46

图目录

图 4-1 配置管脚复用设置.....	10
图 4-2 MCLK 频率设置	14
图 5-1 固定管脚推荐接法.....	17
图 5-2 重新上电时序图	18
图 5-3 触发时序图.....	19
图 5-4 JTAG 配置模式连接示意图	21
图 5-5 JTAG 菊花链配置模式连接示意图	22
图 5-6 JTAG 配置模式时序图	22
图 5-7 SSPI 配置模式连接示意图.....	24
图 5-8 SSPI 编程外部 Flash 连接示意图	25
图 5-9 SSPI 配置模式时序图	25
图 5-10 MSPI 配置模式连接示意图	27
图 5-11 JTAG 接口编程外部 Flash 的连接示意图.....	28
图 5-12 设置下一个 BitStream 的启动地址.....	29
图 5-13 设置外部 Flash 的编程地址	30
图 5-14 一片 Flash 配置多片 FPGA 连接示意图	30
图 5-15 MSPI 下载模式时序图	31
图 5-16 双启动配置模式流程图	33
图 5-17 CPU 配置模式连接示意图	34
图 5-18 SERIAL 配置模式连接示意图	35
SERIAL 配置模式时序图 5-19 如所示。	35
图 5-20 SERIAL 配置模式时序图	35
图 6-1 配置选项	38
图 6-2 加密密钥设置方法.....	39
图 6-3 解密密钥设置方法.....	40
图 6-4 比特流格式生成	41
图 8-1 边界扫描操作示意图	45

表目录

表 1-1 术语、缩略语 2

表 2-1 名词解释 3

表 3-1 配置模式 5

表 3-2 配置模式 6

表 4-1 配置管脚列表 8

表 4-2 配置管脚复用选项 9

表 4-3 管脚功能 10

表 5-1 配置模式对应的 MODE 值 18

表 5-2 GW1N(R)系列 FPGA 产品重新上电和 RECONFIG_N 触发时序参数 19

表 5-3 GW2A(R)系列 FPGA 产品重新上电和 RECONFIG_N 触发时序参数 19

表 5-4 JTAG 配置模式管脚定义 20

表 5-5 JTAG 配置模式时序参数 23

表 5-6 SSPI 配置模式管脚 24

表 5-7 SSPI 配置模式时序参数 26

表 5-8 MSPI 配置模式管脚定义 27

表 5-9 MSPI 配置模式时序参数 31

表 5-10 CPU 配置模式管脚 34

表 5-11 SERIAL 配置模式管脚定义 35

相关的时序参数如图 5-12 所示。 36

表 5-13 SERIAL 配置模式时序参数 36

表 6-1 高云半导体 FPGA 产品配置文件大小 41

表 9-1 SPI Flash 操作指令 46

1 关于本手册

1.1 手册内容

本手册主要介绍高云半导体 GW1N(R)、GW1NS 及 GW2A(R)系列 FPGA 产品编程配置方面的通用特性及功能，旨在帮助用户更好地使用 Gowin FPGA 产品。

1.2 适用产品

本手册中描述的信息适用于所有高云半导体 FPGA 产品。

1.3 相关文档

通过登录高云半导体网站 www.gowinsemi.com.cn 可以下载、查看以下相关文档：

- DS100, GW1N 系列 FPGA 产品数据手册
- DS102, GW2A 系列 FPGA 产品数据手册
- DS117, GW1NR 系列 FPGA 产品数据手册
- DS226, GW2AR 系列 FPGA 产品数据手册
- DS821, GW1NS 系列 FPGA 产品数据手册
- DS841, GW1NZ 系列 FPGA 产品数据手册
- DS861, GW1NSR 系列 FPGA 产品数据手册
- DS871, GW1NSE 系列 FPGA 产品数据手册

1.4 术语、缩略语

表 1-1 中列出了本手册中出现的相关术语、缩略语及相关释义。
表 1-1 术语、缩略语

术语、缩略语	全称	含义
LUT	Look-up Table	查找表
FPGA	Field Programmable Gate Array	现场可编程门阵列
JTAG	Joint Test Action Group	联合测试行动组
GPIO	General Purpose Input Output	通用输入、输出接口
SPI	Serial Peripheral Interface	串行外设接口
SRAM	Static Random Access Memory	静态随机存储器
MSPI	Master Serial Peripheral Interface	主串行外设接口
IEEE	Institute of Electrical and Electronics Engineers	电气和电子工程师协会
ID	Identification	身份标识号
CRC	Cyclic Redundancy Check	循环冗余校验

1.5 技术支持与反馈

高云半导体提供全方位技术支持，在使用过程中如有任何疑问或建议，可直接与公司联系：
网址：www.gowinsemi.com.cn
E-mail: support@gowinsemi.com
Tel: +86 755 8262 0391

2 名词解释

本章主要介绍高云半导体 **FPGA** 产品编程配置过程中常用的一些名词及含义，帮助用户熟悉高云半导体 **FPGA** 产品编程配置相关的概念。

表 2-1 名词解释

名词	释义
编程 (Program)	将 Gowin 云源软件生成的比特流数据写入到 FPGA 内置 Flash 或者与 FPGA 相连的外部 SPI Flash 的过程。
配置 (Configure)	将 Gowin 云源软件生成的比特流数据通过外部接口或内置 Flash 加载到 FPGA 的 SRAM 存储区的过程。
GowinCONFIG	除通用的 JTAG 配置模式外，高云半导体 FPGA 产品支持的其他配置方式，包括自启动配置，双启动配置， MSPI 配置， SSPI 配置， SERIAL 配置， CPU 配置。每款器件支持的 GowinCONFIG 配置模式多少取决于器件型号和封装类型。
自启动配置 (AUTO BOOT)	FPGA 从内置 Flash 读取比特流数据进行配置的过程。只有非易失器件支持此模式。
双启动配置 (DUAL BOOT)	FPGA 从内置 Flash 或外部 Flash 读取比特流数据进行配置的过程，2 个比特流文件分别存放在内置 Flash 和外部 Flash，当首选的 Flash 配置失败时切换到备选 Flash 进行配置。只有非易失器件支持此模式。
MSPI 配置	FPGA 作为主器件 (master)，通过 SPI 接口主动从外部 Flash 读取比特流数据进行配置的过程。
SSPI 配置	FPGA 作为从器件 (slave)，外部主机 (master) 通过 SPI 接口写入比特流数据进行配置的过程。
SERIAL 配置	FPGA 作为从器件 (slave)，外部主机 (master) 通过串行接口写入比特流数据进行配置的过程。
CPU 配置	FPGA 作为从器件 (slave)，外部主机 (master)

名词	释义
	通过并行接口（数据位宽 8-bit）写入比特流数据进行配置的过程。
多重配置（MULTI BOOT）	MSPI 配置模式的衍生概念，是指 FPGA 从外部 Flash 的不同地址读取比特流数据进行配置的过程。用户在前一个比特流数据中写入后一次配置的比特流数据的加载地址，在器件不掉电的情况下通过触发 RECONFIG_N 切换数据流文件完成配置。支持 MSPI 配置模式的 FPGA 产品均支持此模式。
远程升级	用户的一种应用场景，即在 FPGA 启动工作后，若有升级需求，先通过远程操作将比特流数据写入到内嵌或外部 Flash 中，通过触发 RECONFIG_N 或重新上电使 FPGA 读取外部 Flash 完成配置的过程。
菊花链	FPGA 器件以串行的方式依次连接起来的一种方式，可以从链首按照连接顺序依次对器件进行配置，只有相邻的器件之间才能传输数据。
透明传输	FPGA 器件进入用户模式后，可发送编辑指令(0x15)使 FPGA 进入编辑模式，通过 JTAG 接口编程内嵌 Flash 或外部 Flash 的操作。透明传输操作过程中不会影响 FPGA 当前的功能和 I/O 状态。
用户模式（User Mode）	FPGA 完成一次配置操作后，将控制权移交给用户的行为。配置管脚复用为普通 I/O 的设置仅在用户模式下生效。
编辑模式（Edit Mode）	可以对 FPGA 进行编程或配置操作的模式。编辑模式下所有的配置管脚无法作为普通 I/O 使用，所有的普通管脚输出为高阻态（透明传输除外）。
ID CODE	高云半导体 FPGA 器件的身份标识，每一个系列的器件具有独立的编号。
USER CODE	用户为自己所使用的 FPGA 器件进行的身份标识，可以通过 Gowin 编程软件写入到器件中，最高可支持 32-bit。
安全位（Security Bit）	高云半导体为保护 FPGA 产品配置数据的安全性所做的特殊设计。用户将设置了安全位的比特流数据写入器件后，任何人都将无法进行数据回读操作。云源软件默认为所有 FPGA 产品的比特流数据设置了安全位。
加密（Encryption）	GW2A(R)系列 FPGA 产品支持的特性，加密的比特流数据写入 FPGA 后，器件自行与事先存储的密钥匹配，匹配成功后进行解密并唤醒器件；匹配失败后器件无法工作。

3配置模式

3.1 GW1N(R/S)系列 FPGA 产品

GW1N(R/S)系列 FPGA 产品除了支持业界通用的 JTAG 配置模式外,还支持高云半导体特有的 GowinCONFIG 配置模式。每款器件支持的 GowinCONFIG 配置模式多少取决于不同型号和封装形式。所有非易失器件均支持 JTAG 和 AUTO BOOT 模式,器件支持的配置模式最多可达 6 种,如表 3-1 所示。

表 3-1 配置模式

配置模式		MODE[2:0] ¹	相关说明
JTAG		XXX ²	外部 Host 通过 JTAG 接口对 GW1N(R)系列 FPGA 产品进行配置
GowinCONFIG	AUTO BOOT	000	FPGA 从内置 Flash 读取配置数据进行配置
	SSPI	001	外部 Host 通过 SPI 接口对 GW1N(R)系列 FPGA 产品进行配置
	MSPI	010	FPGA 作为 Master, 通过 SPI 接口 ³ 从外部 Flash (或其他器件) 读取配置数据进行配置
	DUAL BOOT ⁴	100	FPGA 优先选择内置 Flash 读取配置数据进行配置, 内置 Flash 配置失败时选择从外部 Flash 进行配置
	SERIAL ⁵	101	外部 Host 通过 DIN 接口对 GW1N(R)系列 FPGA 产品进行配置
	CPU ⁵	111	外部 Host 通过 DBUS 接口对 GW1N(R)系列 FPGA 产品进行配置

注!

- [1]对于一些 MODE 管脚没有全部封装出来的器件,未封装出来的 MODE 默认已接地;
- [2]JTAG 配置模式与 MODE 输入值无关; MSPI 编程外部 Flash 的 MODE 值为 011;
- [3]SSPI 和 MSPI 模式的 SPI 接口是互相独立的;
- [4]GW1N(R)-2 和 GW1N(R)-4 目前暂不支持 DUAL BOOT; GW1N(R)-6 和 GW1N(R)-9 除了支持 MODE 值为 100 的 DUAL BOOT 外,还支持优先从外部 Flash 启动的模式, MODE 值为 110;

- [5]CPU 配置模式的 SCLK、WE_N 和 CLKHOLD_N 管脚与 SERIAL 配置模式共用，CPU 配置模式的数据总线管脚与 MSPI 和 SSPI 配置模式的管脚共用。

注！

关于配置管脚列表、配置管脚复用及配置管脚功能及应用信息请参考 4 配置管脚介绍。

3.2 GW2A(R)系列 FPGA 产品

GW2A(R)系列 FPGA 产品除了支持业界通用的 JTAG 配置模式外，还支持高云半导体特有的 GowinCONFIG 配置模式。每款器件支持的 GowinCONFIG 配置模式的多少取决于不同型号和封装形式。器件支持比特流数据加密和安全位设置功能，为用户设计提供了安全性保障。GW2A(R)系列 FPGA 产品支持比特流数据的解压缩功能，用户可以将比特流数据进行压缩以节约存储空间。

GW2A(R)系列 FPGA 产品支持的配置模式如表 3-2 所示。

表 3-2 配置模式

配置模式		MODE[2:0] ¹	相关说明
JTAG		XXX ²	外部 Host 通过 JTAG 接口对 GW2A(R)系列 FPGA 产品进行配置
GowinCONFIG	MSPI	000	FPGA 作为 Master，通过 SPI 接口 ³ 从外部 Flash（或其他器件）读取配置数据进行配置
	SSPI	001	外部 Host 通过 SPI 接口对 GW2A(R)系列 FPGA 产品进行配置
	SERIAL ⁴	101	外部 Host 通过 DIN 接口对 GW2A(R)系列 FPGA 产品进行配置
	CPU ⁴	111	外部 Host 通过 DBUS 接口对 GW2A(R)系列 FPGA 产品进行配置

注！

- [1]对于一些 MODE 管脚没有全部封装出来的器件，未封装出来的 MODE 默认已接地；
- [2]JTAG 配置模式与 MODE 输入值无关；MSPI 编程外部 Flash 的 MODE 值为 011；
- [3]SSPI 和 MSPI 模式的 SPI 接口是互相独立的；
- [4]CPU 配置模式的 SCLK、WE_N 和 CLKHOLD_N 管脚与 SERIAL 配置模式共用，CPU 配置模式的数据总线管脚与 MSPI 和 SSPI 配置模式的管脚共用。

注！

关于配置管脚列表、配置管脚复用及配置管脚功能及应用信息请参考 4 配置管脚介绍。

4 配置管脚介绍

高云半导体 **FPGA** 产品配置模式多样，包括通用型的 **JTAG** 配置、主动配置、被动配置、串行配置和并行配置等，可以满足用户不同外设环境下的各种需求。编程配置相关的管脚既能够完成配置功能，又可以设置为普通的 I/O，用户可根据实际使用情况进行选择。用户也可以根据配置管脚的功能对其灵活控制，满足一些特殊需求。

4.1 配置管脚列表及复用选项

4.1.1 配置管脚列表

高云半导体 **FPGA** 产品所有与配置相关的管脚如表 4-1 所示，表中也标注了每种配置模式使用到的管脚及芯片封装过程中的管脚共用情况。

表 4-1 配置管脚列表

管脚名称	I/O 类型	JTAG	GowinCONFIG					
			AUTO BOOT	SSPI	MSPI	DUAL BOOT	SERIAL	CPU
RECONFIG_N	I	√	√	√	√	√	√	√
JTAGSEL_N	I	√						
TDO	O	√						
TMS	I	√						
TCK	I	√						
TDI	I	√						
READY	I/O	√	√	√	√	√	√	√
DONE	I/O	√	√	√	√	√	√	√
MODE[2:0]	I		√	√	√	√	√	√
SCLK	I			√			√	√
CLKHOLD_N/DIN	I			√			√	√
WE_N/DOUT	O						√	√
MI/D7	I/O				√			√
MO/D6	I/O				√			√
MCS_N/D5	I/O				√			√
MCLK/D4	I/O				√			√
FASTRD_N/D3	I/O				√			√
SI/D2	I/O			√				√
SO/D1	I/O			√				√
SSPI_CS_N/D0	I/O			√				√

注！

- 不同型号和封装的器件支持的配置模式不同，关于不同器件支持的配置模式请参考 GW1N(R)系列 FPGA 产品编程配置手册/GW2A(R)系列 FPGA 产品编程配置手册；
- 关于不同配置模式下各管脚的定义请参考 5 配置模式介绍。

4.1.2 配置管脚复用

为最大化地提高 I/O 的利用率，高云半导体的 FPGA 产品支持将配置管脚设置为普通 I/O 使用。所有系列的 FPGA 上电后未进行任何配置操作之前，与配置相关的管脚均默认作为配置管脚使用。配置成功后，器件进入用户模式，按照用户选择的复用选项重新分配管脚的功能。

注！

用户设置管脚复用选项时，需确保管脚的外部初始连接状态不影响器件的配置过程。对于影响配置的连接，需要先进行隔离处理，等待 FPGA 进入用户模式后再进行修改。

配置管脚复用选项如表 4-2 所示。

表 4-2 配置管脚复用选项

设置名称	设置选项	说明
JTAG PORT	默认状态	TMS, TCK, TDI, TDO 作为专用配置管脚, JTAGSEL_N 作为 GPIO。
	设置为普通 I/O	JTAGSEL_N 作为专用配置管脚: <ul style="list-style-type: none"> ● JTAGSEL_N=0, TMS,TCK,TDI,TDO 作为配置管脚; ● JTAGSEL_N=1, TMS,TCK,TDI,TDO 在配置结束后作为 GPIO。
SSPI PORT	默认状态	SCLK, CLKHOLD_N, SSPI_CS_N, SI 和 SO 作为专用配置管脚。
	设置为普通 I/O	SCLK, CLKHOLD_N, SSPI_CS_N, SI 和 SO 在配置结束后作为 GPIO。
MSPI PORT	默认状态	FASTRD_N, MCLK, MCS_N, MO 和 MI 作为专用配置管脚。
	设置为普通 I/O	FASTRD_N, MCLK, MCS_N, MO 和 MI 在配置结束后作为 GPIO。
RECONFIG_N	默认状态	专用配置管脚。
	设置为普通 I/O	配置结束后作为 GPIO。
READY	默认状态	专用配置管脚。
	设置为普通 I/O	配置结束后作为 GPIO。
DONE	默认状态	专用配置管脚。
	设置为普通 I/O	配置结束后作为 GPIO。

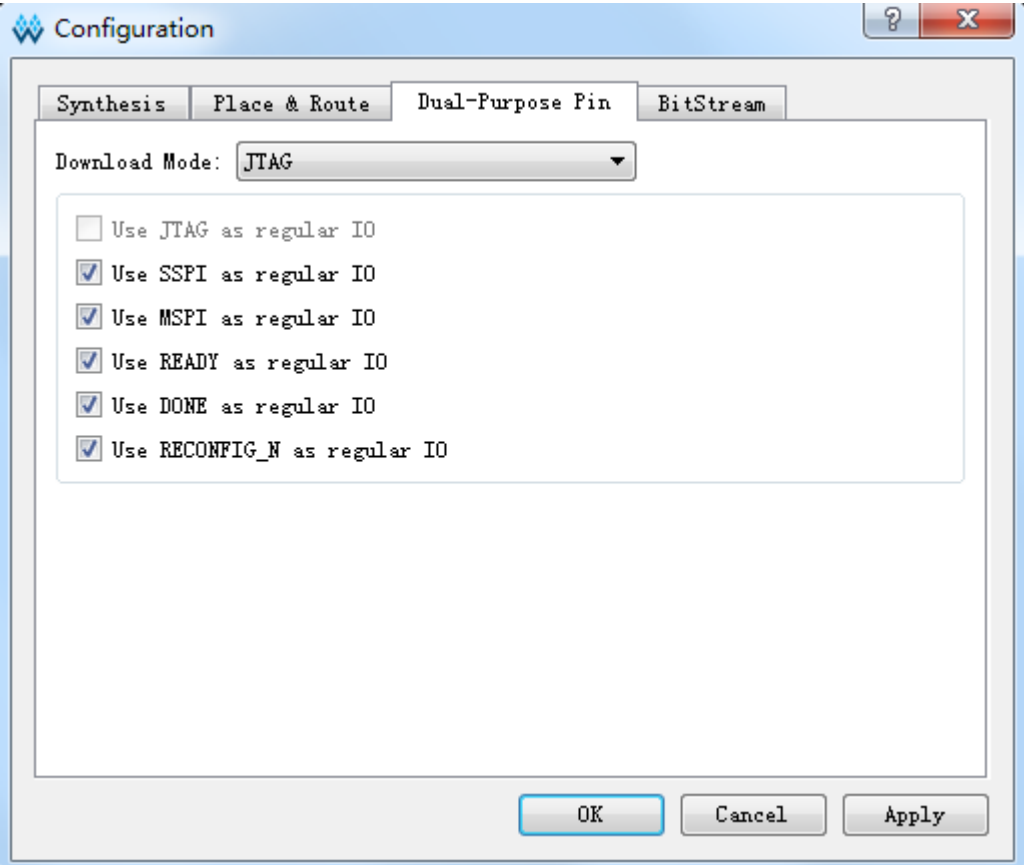
注!

- [1]对于 JTAGSEL_N 未封装出来的器件, 在调试 JTAG 管脚复用的案例时, 建议用户在 FPGA 上电前确保当前 MODE 值不会使 FPGA 进行配置操作, 以避免其他比特流数据影响配置过程。用户上电后手动进行 JTAG 配置后, 器件进入用户模式, JTAG 管脚变为 GPIO; 对于 GW1N(R/S)系列 FPGA, 当 MODE[0]=1 时, JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚 (TCK、TMS、TDI、TDO) 可以同时设置为 GPIO, 但是此时 JTAGSEL_N 无法将 JTAG 管脚恢复为配置 IO, 需要让器件重新进入编辑模式以恢复。
- [2]SERIAL 和 CPU 配置模式的管脚由于与其他配置模式共用, 无法单独设置为 GPIO, 但是当这些管脚工作在非共用配置模式时可以设置为 GPIO。

通过 Gowin 云源软件配置管脚复用：

- 1. 打开 Gowin 云源软件中相应的工程；
- 2. 在菜单栏中选择 “Project>Configuration>Dual-Purpose Pin”，如图 4-1 所示；
- 3. 勾选对应选项设置配置管脚的复用情况。

图 4-1 配置管脚复用设置



4.2 配置管脚功能及应用

RECONFIG_N、READY 和 DONE 管脚是每种模式都会用到的管脚。其他配置管脚可根据具体应用设置为配置专用管脚或普通管脚。

表 4-3 管脚功能

管脚名称	功能描述
RECONFIG_N	作为配置管脚时，类型为输入，具有内部弱上拉。低电平有效，相当于 FPGA 编程配置的复位功能， RECONFIG_N 拉低时 FPGA 无法进行任何方式的配置操作。 FPGA 上电过程中务必保持高电平，上电稳定 1ms 之后可以释放。 作为配置管脚时，需要一个脉冲宽度不少于 25ns 的低电平启动 GowinCONFIG 配置模式，使器件按照 MODE 设置值重新加载比特流数据。用户也可以通过编写逻辑控制此管脚，从而按照自身需求触发器件进行重新配置；作为 GPIO 时，只能用作 output

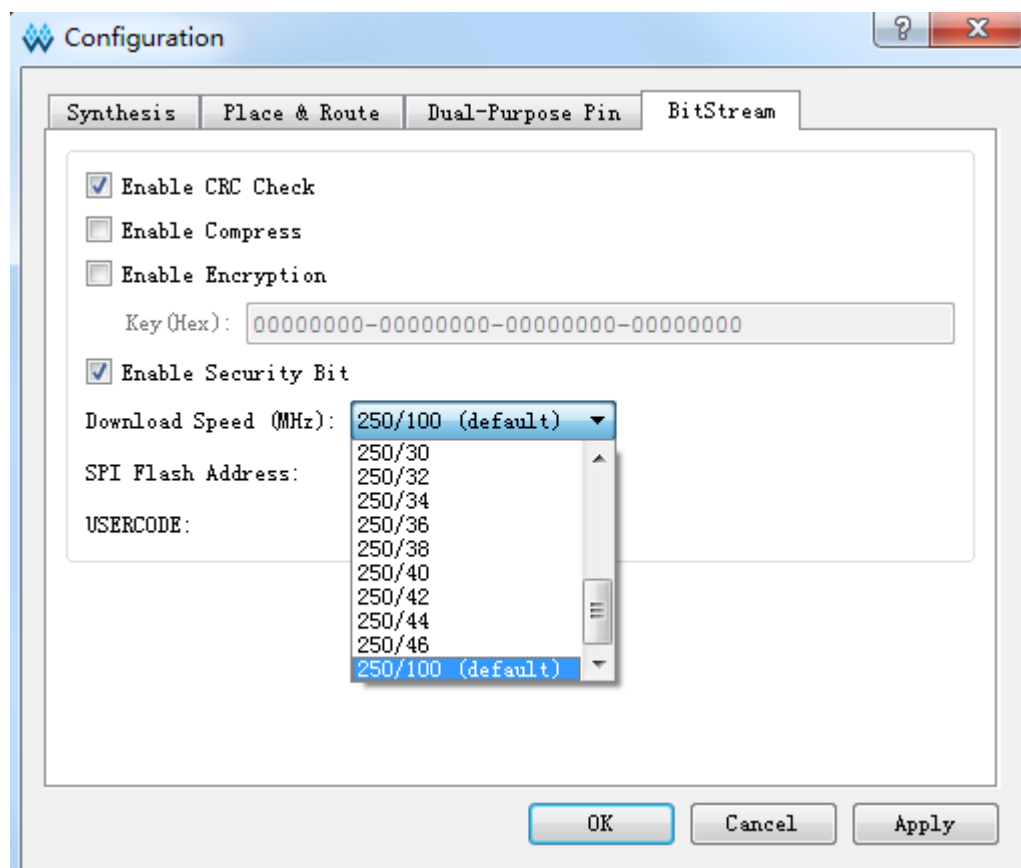
管脚名称	功能描述
	类型。 为保障配置过程顺利进行，用户复用 RECONFIG_N 管脚时需将其初始值置为高电平。
READY	<p>inout 类型管脚。高电平有效，只有 READY 拉高时 FPGA 才能进行配置操作，READY 信号拉低后采用器件上电或触发 RECONFIG_N 的方式恢复状态。</p> <p>作为配置管脚时，若为 output 类型，可以指示 FPGA 当前能否进行配置：当器件具备配置条件时，READY 信号为高电平；若配置失败，则 READY 信号变为低电平。若为 input 类型，用户可通过自身逻辑或在器件外部人为拉低 READY 信号以延迟配置过程。</p> <p>作为 GPIO 时，可用作 input 或 output 类型。READY 用作 input 类型的 GPIO 时需保证配置开始前其初始值为 1，否则 FPGA 无法进行配置。</p>
DONE	<p>inout 类型管脚。FPGA 配置成功的标志信号，配置成功后 DONE 信号拉高。</p> <p>作为配置管脚时，若为 output 类型，可以指示 FPGA 当前配置过程是否成功：当配置成功时，DONE 信号为高电平，器件进入工作状态；配置过程未完成或配置失败时，DONE 信号保持低电平状态。若为 input 类型，用户可通过自身逻辑或在器件外部人为拉低 DONE 信号以延迟其进入用户模式。</p> <p>RECONFIG_N 或 READY 保持低电平状态时，DONE 信号也会保持在低电平状态。使用 JTAG 电路配置 SRAM 的过程中，DONE 信号的值没有参考意义。</p> <p>作为 GPIO 时，可用作 input 或 output 类型。DONE 用作 input 类型的 GPIO 时需保证配置开始前其初始值为 1，否则配置结束后 FPGA 无法进入用户模式。</p>
MODE	<p>GowinCONFIG 配置模式选择信号。作为配置管脚时，类型为输入，内部弱上拉，最多可达 3-bit 位宽。</p> <p>FPGA 上电或低电平脉冲触发 RECONFIG_N 时，器件根据 MODE 值进入相应的 GowinCONFIG 状态，高云半导体每个系列的 FPGA 产品 MODE 值对应的配置模式略有不同，具体请参考相应器件的编程配置手册。由于每个封装类型的管脚数目不同，有些器件的 MODE 管脚未完全封装出来，未封装出来的 MODE 管脚在器件内部已接地，具体请参考相应器件的 PINOUT 手册。</p> <p>MODE 管脚作为 GPIO 时，可用作 input 或 output 类型。</p> <p>需要注意的是，当 MODE 值改变时，需要重新上电</p>

管脚名称	功能描述
	或低电平触发 RECONFIG_N 才能生效。
JTAGSEL_N	<p>作为配置管脚时，类型为输入，内部弱上拉。如果在云源软件中设置了 JTAG 管脚复用为 GPIO，则器件上电后进行一次成功的配置后 JTAG 管脚变为 GPIO，JTAG 配置功能失效，用户可通过拉低 JTAGSEL_N 进行恢复；如果用户未设置 JTAG 管脚复用，则 JTAG 配置功能一直可用。作为 GPIO 时，可用作 input 或 output 类型。</p> <p>注！ JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）设置为 GPIO 时存在互斥关系：JTAGSEL_N 设置为 GPIO 时，JTAG 管脚只能作为配置管脚；JTAG 管脚设置为 GPIO 时，JTAGSEL_N 只能作为配置管脚。 对于 GW1N(R/S)系列 FPGA，当 MODE[0]=1 时，JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）可以同时设置为 GPIO，但是此时 JTAGSEL_N 无法将 JTAG 管脚恢复为配置 IO，需要让器件重新进入编辑模式以恢复。</p>
TCK	<p>作为配置管脚时，类型为输入。</p> <p>JTAG 配置模式的串行时钟输入管脚。作为 GPIO 时，可用作 input 或 output 类型。</p>
TMS	<p>作为配置管脚时，类型为输入，内部弱上拉。</p> <p>JTAG 配置模式的串行模式输入管脚。作为 GPIO 时，可用作 input 或 output 类型。</p>
TDI	<p>作为配置管脚时，类型为输入，内部弱上拉。</p> <p>JTAG 配置模式的串行数据输入管脚。作为 GPIO 时，可用作 input 或 output 类型。</p>
TDO	<p>作为配置管脚时，类型为输出。</p> <p>JTAG 配置模式的串行数据输出管脚。作为 GPIO 时，可用作 input 或 output 类型。</p>
SCLK	<p>作为配置管脚时，类型为输入。</p> <p>SSPI、SERIAL 和 CPU 配置模式的时钟输入管脚。作为 GPIO 时，可用作 input 或 output 类型。</p>
CLKHOLD_N	<p>作为配置管脚时，类型为输入，内部弱上拉。</p> <p>SSPI 和 CPU 配置模式的时钟锁定管脚：当输入高电平时，SCLK 对应的操作有效；当输入低电平时，SCLK 对应的操作无效。作为 GPIO 时，可用作 input 或 output 类型。</p>
SSPI_CS_N	<p>作为配置管脚时，类型为输入，内部弱上拉。SSPI 配置模式的片选信号，低电平有效。作为 GPIO 时，可用作 input 或 output 类型。</p>
SI	<p>作为配置管脚时，类型为输入。SSPI 配置模式的串行数据输入管脚。作为 GPIO 时，可用作 input 或 output 类型。</p>

管脚名称	功能描述
SO	作为配置管脚时，类型为输出。 SSPI 配置模式的串行数据输出管脚。作为 GPIO 时，可用作 input 或 output 类型。
MCLK	作为配置管脚时，类型为输出。 MSPI 配置模式的输出时钟管脚，来源于 FPGA 内部晶振，晶振的输出频率范围从 2.5MHz~125MHz ，默认输出频率为 2.5MHz ， MSPI 配置模式不支持 125MHz 时钟。关于片内晶振的详细数据请参考相应器件的数据手册。 用户可通过云源软件界面修改 MCLK 的频率值，如图 4-2 所示：打开云源软件工程，在菜单栏中选择“ Project>Configuration ”，单击“ BitStream ”页签，在“ Download Speed ”下拉列表中选择 MCLK 的频率值。作为 GPIO 时，可用作 input 或 output 类型。
MCS_N	作为配置管脚时，类型为输出。 MSPI 配置模式的片选信号，低电平有效。作为 GPIO 时，可用作 input 或 output 类型。
MI	作为配置管脚时，类型为输入。 MSPI 配置模式的串行数据输入管脚。作为 GPIO 时，可用作 input 或 output 类型。
MO	作为配置管脚时，类型为输出。 MSPI 配置模式的串行数据输出管脚。作为 GPIO 时，可用作 input 或 output 类型。
FASTRD_N	作为配置管脚时，类型为输入。 MSPI 配置模式读取 SPI Flash 速度选择信号：当 FASTRD_N 为高电平时为普通读取模式（指令 0x03 ）；当 FASTRD_N 为低电平时为高速读取模式，各个厂家的 Flash 高速读取操作指令不同，具体请参考相应 Flash 的数据手册。作为 GPIO 时，可用作 input 或 output 类型。
WE_N	作为配置管脚时，类型为输入。 CPU 配置模式的读写使能信号选择管脚：当 WE_N 为高电平时表示读操作；当 WE_N 为低电平时表示写操作。作为 GPIO 时，可用作 input 或 output 类型。
D0~D7	inout 类型管脚。 CPU 配置模式的数据输入输出管脚， 8-bit 位宽。根据 WE_N 的值确定 D0~D7 的输入输出方向。作为 GPIO 时，可用作 input 或 output 类型。
DIN	作为配置管脚时，类型为输入，内部弱上拉。 SERIAL 配置模式的串行数据输入管脚。作为 GPIO 时，可用作 input 或 output 类型。

管脚名称	功能描述
DOUT	作为配置管脚时，类型为输出。 SERIAL 配置模式的串行数据输出管脚，只在 FPGA 级联时用作后一个器件的输入。作为 GPIO 时，可用作 input 或 output 类型。

图 4-2 MCLK 频率设置



5 配置模式介绍

高云半导体 **FPGA** 产品包含基于 **SRAM** 工艺的 **GW2A(R)**系列的高性能器件和嵌入 **Flash** 的 **GW1N(R/S)**系列的小容量非易失器件。基于 **SRAM** 工艺的器件掉电后器件内部的配置数据丢失，每次上电后需重新配置；嵌入 **Flash** 的非易失器件掉电后数据仍然存储在芯片内部，重新上电时可以通过自启动配置或双启动配置的方式由器件自动进行重新配置。

高云半导体 **FPGA** 产品封装类型丰富，每一种封装的器件支持的配置模式与封装出来的配置管脚数目有关：所有器件均支持通用的 **JTAG** 配置；只有非易失器件支持自启动或双启动配置；每种配置模式的 **MODE** 值各不相同。

5.1 配置须知

高云半导体 FPGA 产品目前分为 GW1N(R/S)和 GW2A(R)两大家族器件名称中是否包含 R 不影响配置特性，主要区别是带 R 的 FPGA 内部集成了 SDRAM/PSRAM。器件名称中包含 S 的 FPGA 除了双启动配置特性与 GW1N 系列略有差异之外，其他特性完全相同，关于双启动配置的详细信息，请参考 5.6 双启动配置。

上电及配置流程

当 FPGA 的 VCC、VCCIO、VCCX 供电电压满足最小供电幅值时，FPGA 进入启动流程：电压稳定且 RECONFIG_N 未被外部电路拉低>FPGA 内部电路拉低 READY 和 DONE 管脚>FPGA 初始化>READY 拉高并采样 MODE 值>根据配置模式读取配置数据并校验>FPGA 唤醒>DONE 拉高>进入用户模式。

FPGA 启动过程中需要保持供电稳定，FPGA 上电稳定后的 1ms 之内以及 FPGA 初始化过程中 RECONFIG_N 管脚不允许出现低电平，用户可选择将 RECONFIG_N 管脚悬空或外部上拉。FPGA 唤醒前所有普通 I/O 输出高阻态。

高云半导体 FPGA 产品按照配置数据的存储和指令的作用位置分为对 SRAM 的操作、对内置 Flash 的操作和对外部 Flash 的操作，其中，对内置 Flash 的操作只有 GW1N(R/S)系列产品支持，对 SRAM 和外部 Flash 的操作所有产品均可支持。

SRAM 操作

对 SRAM 的操作包括读取器件 ID CODE 和 USER CODE，读取器件状态寄存器信息以及 SRAM 配置。器件 ID 验证是配置操作的前提，只有 ID 验证成功的器件才能进行配置；USER CODE 是为方便用户对 ID CODE 相同的多个器件加以区分进行的编号标识；器件的状态寄存器记录着 FPGA 配置前后的状态信息，用户可据此分析器件状态，状态寄存器的含义请参考《Gowin Programmer 用户指南》。SRAM 配置操作时需要注意，只有未设置安全位的比特流数据支持验证功能。设置了安全位的数据任何用户无法进行回读验证。

内置/外部 Flash 操作

对内置 Flash 的操作包括擦除、擦除和编程以及擦除、编程和验证操作。只能通过 JTAG 接口操作内置 Flash，时钟速率限制在 2MHz~2.5MHz。

注！

使用内置 Flash 配置 SRAM 的操作（自启动配置和双启动配置）和内置 Flash 的编程操作过程中 FPGA 需要保持上电状态并且不能低电平触发 RECONFIG_N，否则可能会对内置 Flash 造成不可修复的破坏。

内置 Flash 的编程验证在配置 SRAM 操作之前完成，配置结束后设置了安全位的数据无法回读验证。

对外部 Flash 的操作包括擦除、编程以及擦除和编程。外部 Flash 操作前应将 MODE 值设置为“011”状态并使用低电平脉冲触发 RECONFIG_N 或者使 FPGA 重新上电。擦除操作将擦除整片 Flash，使用多重配置的用户写入多个比特流数据时需要选择不含擦除的编程操作。

GW1N(R/S)家族 A 版本的器件编程内嵌 Flash 或外部 Flash 时需要先清除 SRAM 中的内容，GW1N(R/S)家族 B 版本的器件增加了 JTAG 透明传输的特性，即器件支持在不影响现有工作状态的情况下通过 JTAG 接口编程内嵌 Flash 或外部 Flash 的操作，编程过程中器件可以按照原有的配置正常工作，编程完成后，低电平触发 RECONFIG_N 即可完成在线升级。此特性适合应用于在线时间长但又需要不定期升级的场所。

配置管脚复用

用户在使用不同配置模式时，需要根据配置管脚的作用，确保 FPGA 工作在已选择的配置模式下。用户端管脚数目不足时，可以通过其他连接方式灵活处理这些管脚，只保留数据传输相关的管脚即可。MODE[2:0]用来选择 GowinCONFIG 的编程配置模式，用户不需要改变模式时可以使用上拉或下拉的方式将其固定在特定的模式，上拉电阻推荐 4.7K，下拉电阻推荐 1K。

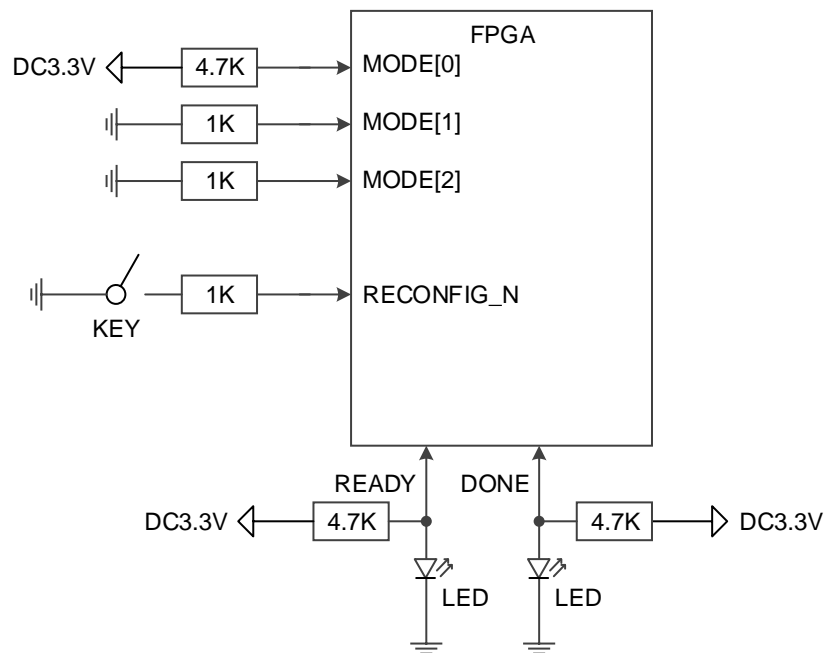
注！

RECONFIG_N、READY 和 DONE 管脚与每种配置模式相关，无论用户是否将它们设置为 GPIO，都需要保证在配置操作完成前它们的初始值或管脚连接状态满足编程配置条件。

固定管脚推荐接法

用户进行电路原理图设计时，推荐接法如图 5-1 所示。

图 5-1 固定管脚推荐接法



注！

- 用户需要改变 MODE 值时可增加拨码开关；部分器件 MODE 管脚未完全封装出来，未封装的 MODE 管脚已内部接地；
- JTAG 配置过程中 READY 和 DONE 信号的值没有参考意义；
- RECONFIG_N、READY 和 DONE 未封装出来的管脚已内部处理，不影响配置功能。

配置模式对应的 MODE 值

MODE[2:0]的值与配置模式的对应关系如表 5-1 所示。

表 5-1 配置模式对应的 MODE 值

配置模式		GW1N(R/S)	GW2A(R)
JTAG		XXX	XXX
GowinCONFIG	AUTO BOOT	000	XXX
	SSPI	001	001
	MSPI	010	000
	编程 SPI Flash	011	011
	DUAL BOOT	100/110	XXX
	SERIAL	101	101
	CPU	111	111

注！

- JTAG 配置模式与 MODE 值无关，GW2A(R)系列不支持 AUTO BOOT 和 DUAL BOOT。GW1N(R)系列有两种形式的 DUAL BOOT，GW1N(R)系列所有 FPGA 产品均支持 MODE 值为 100 的 DUAL BOOT 模式，但是只有 GW1N(R)-6 和 GW1N(R)-9 器件支持 MODE 值为 110 的 DUAL BOOT 模式；
- GW1N(R/S)和 GW2A(R)系列 FPGA 产品 MSPI 配置模式需要预先编程外部 SPI Flash，编程外部 Flash 的 MODE 值均为 011；
- GW1NS 系列 FPGA 产品内嵌 2 个 Flash 模块，1st Flash 存储 FPGA 的 bitstream，2nd Flash 通常情况用来存储 MCU 的数据文件或供给用户使用，但为了满足用户的特殊需求，2nd Flash 也可以存储 FPGA 的 bitstream，此种情况下，2nd Flash 不能存储 MCU 数据文件和用户数据，用户需要选择外部 Flash 存储数据。GW1NS 内嵌的 2 个 Flash 模块都分别只能存储 1 个 bitstream 文件。

重新上电及低电平脉冲触发 RECONFIG_N 时序图

重新上电和低电平脉冲触发 RECONFIG_N 的时序图如图 5-2 和图 5-3 所示。

图 5-2 重新上电时序图

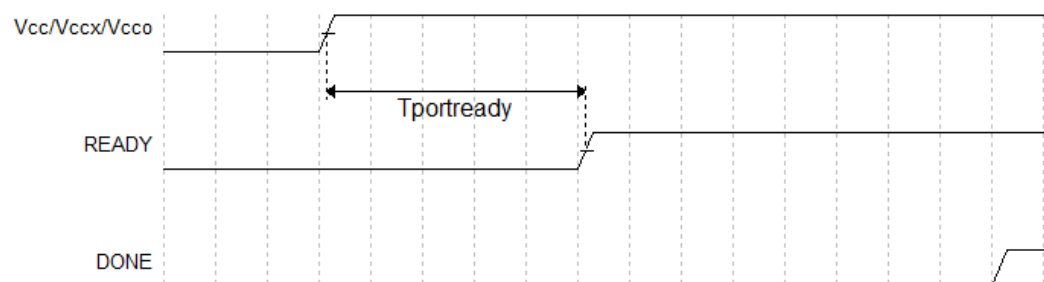
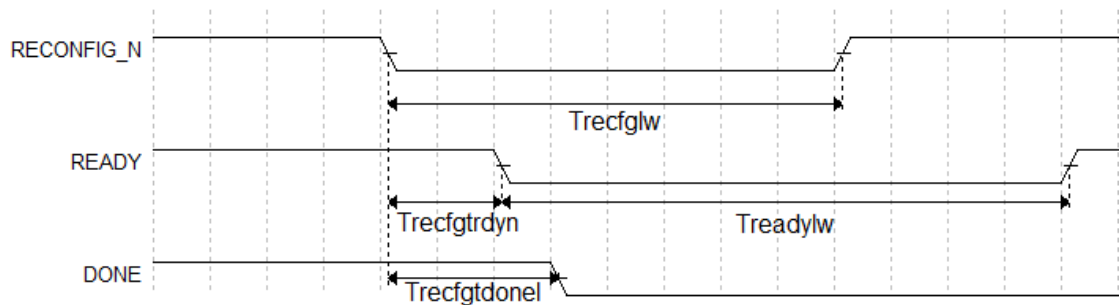


图 5-3 触发时序图



GW1N(R)系列 FPGA 产品相关的时序参数如表 5-2 所示。

表 5-2 GW1N(R)系列 FPGA 产品重新上电和 RECONFIG_N 触发时序参数

参数名称	参数含义	最小值	最大值
T _{portready} ¹	满足上电条件到 READY 的上升沿的时延（Time from application of V _{CC} , V _{CCX} and V _{CCO} to the rising edge of READY）	50μs	200μs
T _{recfglw}	RECONFIG_N 低电平脉冲宽度（RECONFIG_N low pulse width）	25ns	-
T _{recfgtrdyn}	RECONFIG_N 下降沿到 READY 变低电平的时延（Time from RECONFIG_N falling edge to READY low）	-	70ns
T _{readylw}	READY 低电平脉冲宽度（READY low pulse width）	TBD	-
T _{recfgtdonel}	RECONFIG_N 下降沿到 DONE 变低电平的时延（Time from RECONFIG_N falling edge to DONE low）	-	80ns

注！

MODE0=0 时器件的上电等待时间为 200μs，MODE0=1 时为 50μs。

GW2A(R)系列 FPGA 产品相关的时序参数如表 5-3 所示。

表 5-3 GW2A(R)系列 FPGA 产品重新上电和 RECONFIG_N 触发时序参数

参数名称	参数含义	最小值	最大值
T _{portready}	满足上电条件到 READY 的上升沿的时延（Time from application of V _{CC} , V _{CCX} and V _{CCO} to the rising edge of READY）	-	23ms
T _{recfglw}	RECONFIG_N 低电平脉冲宽度（RECONFIG_N low pulse width）	25ns	-
T _{recfgtrdyn}	RECONFIG_N 下降沿到 READY 变低电平的时延（Time from RECONFIG_N falling edge to READY low）	-	70ns
T _{readylw}	READY 低电平脉冲宽度（READY low pulse width）	TBD	-
T _{recfgtdonel}	RECONFIG_N 下降沿到 DONE 变低电平的时延（Time from RECONFIG_N falling edge to DONE low）	-	80ns

5.2 JTAG 配置

高云半导体 FPGA 产品的 JTAG 配置模式符合 IEEE1532 标准和 IEEE1149.1 边界扫描标准。

JTAG 配置模式是将比特流数据写入到高云半导体 FPGA 产品的 SRAM 中，掉电后配置数据丢失。高云半导体所有封装的 FPGA 产品均支持 JTAG 配置模式。

JTAG 配置模式管脚

JTAG 配置模式的相关管脚如表 5-4 所示。

表 5-4 JTAG 配置模式管脚定义

管脚名称	I/O 类型	说明
JTAGSEL_N ¹	I,内部弱上拉	将 JTAG 管脚从 GPIO 恢复为配置管脚，低电平有效
TCK ²	I	JTAG 串行时钟输入
TMS ²	I,内部弱上拉	JTAG 串行模式输入
TDI	I,内部弱上拉	JTAG 串行数据输入
TDO	O	JTAG 串行数据输出

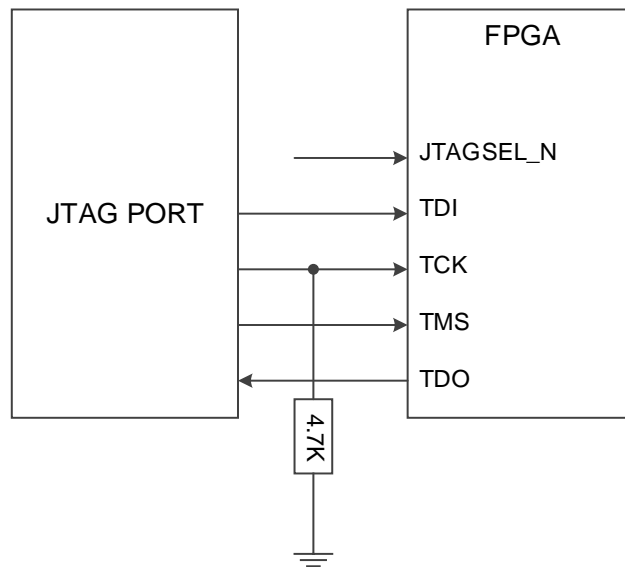
注！

- [1] JTAGSEL_N 信号只有当 JTAG 管脚设置为 GPIO 并且器件启动工作后才起作用；对于 GW1N(R/S)系列 FPGA，当 MODE[0]=1 时，JTAGSEL_N 管脚与 JTAG 配置的 4 个管脚（TCK、TMS、TDI、TDO）可以同时设置为 GPIO，但是此时 JTAGSEL_N 无法将 JTAG 管脚恢复为配置 IO，需要让器件重新进入编辑模式以恢复。
- [2] TCK 需在 PCB 上连接 4.7K 下拉电阻。

JTAG 配置模式连接示意图

JTAG 配置模式器件连接关系如图 5-4 所示。

图 5-4 JTAG 配置模式连接示意图



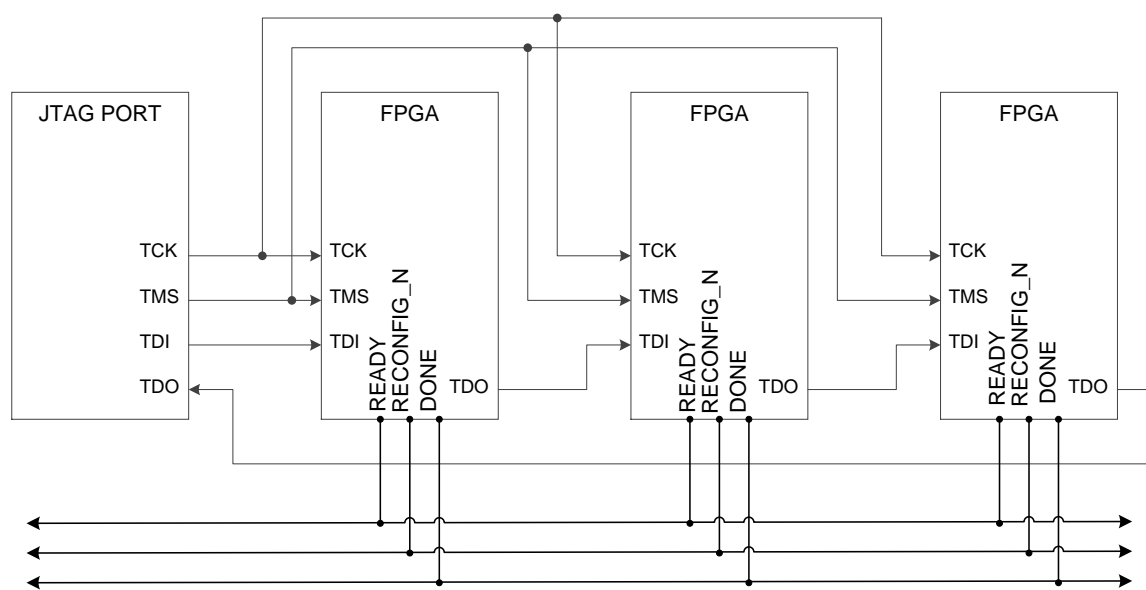
注！

- 对于 JTAGSEL_N 未封装出来的器件，用户在调试 JTAG 管脚复用的案例时，建议上电前将 MODE 值设置为非自动配置的模式（即非自启动、双启动和 MSPI）避免其他比特流数据影响配置过程，用户上电后手动进行 JTAG 配置后，器件进入用户模式，JTAG 管脚变为 GPIO；
- JTAG 配置模式时钟频率不能高于 40MHz。

除了进行常规的 JTAG 配置 SRAM 操作外，高云半导体非易失 FPGA 器件（GW1N(R/S)系列）的内置 Flash 和其他所有系列的 FPGA 产品的外部 SPI Flash 的编程操作也可通过 JTAG 管脚进行。非易失器件内置 Flash 的编程操作连线方式与 JTAG 配置模式相同，外部 SPI Flash 的编程操作请参考图 5-11。

此外，高云半导体 FPGA 产品支持 JTAG 菊花链操作，即，把一个 FPGA 的 TDO 管脚连接到下一个 FPGA 的 TDI 管脚，Gowin 编程软件会自动识别连接在一起的 FPGA 器件，依次进行配置。菊花链配置的连接示意图如图 5-5 所示。

图 5-5 JTAG 菊花链配置模式连接示意图

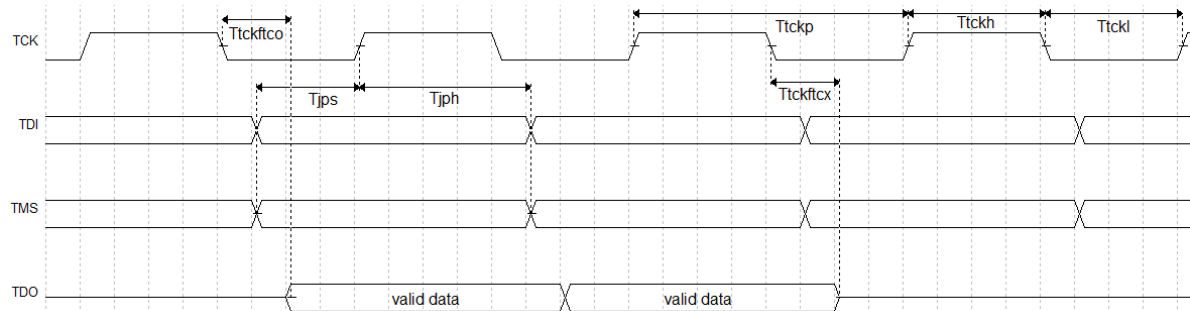


注！
DONE、RECONFIG_N 及 READY 信号视情况决定是否连接。

JTAG 配置模式时序图

JTAG 配置模式的时序图如图 5-6 所示。

图 5-6 JTAG 配置模式时序图



图中各个参数的含义如表 5-5 所示。

表 5-5 JTAG 配置模式时序参数

参数名称	参数含义	最小值	最大值
T_{tckftco}	TCK 下降沿到输出数据时延（Time from TCK falling edge to output）	-	10ns
T_{tckftcx}	TCK 下降沿到输出高阻时延（Time from TCK falling edge to high impedance）	-	10ns
T_{tckp}	TCK 时钟周期（TCK clock period）	40ns	-
T_{tckh}	TCK 时钟高电平时间（TCK clock high time）	20ns	-
T_{tckl}	TCK 时钟低电平时间（TCK clock low time）	20ns	-
T_{jps}	JTAG PORT 建立时间（JTAG PORT setup time）	10ns	-
T_{jph}	JTAG PORT 保持时间（JTAG PORT hold time）	8ns	-

5.3 自启动配置（仅 GW1N(R/S)系列支持）

自启动配置模式，即 AUTO BOOT 配置模式，是高云半导体针对 GW1N(R/S)系列非易失 FPGA 产品的瞬时接通特性推出的一种配置模式，GW2A(R)系列 FPGA 产品不支持自启动配置模式。自启动模式下，芯片上电后无需连接外部配置接口，FPGA 即可自行从内置 Flash 读取比特流数据完成配置。

用户使用自启动模式时，首先需要通过 JTAG 接口将配置数据编程到 FPGA 的内置 Flash 中（参考 JTAG 配置模式连接示意图，图 5-4），然后调节 MODE 值为“000”，当系统重新上电或低电平脉冲触发 RECONFIG_N 管脚时，芯片会自动读取比特流数据完成配置过程。用户将 MODE 值设置为“000”，使用 Gowin 编程软件编程内置 Flash 结束后 FPGA 会自动配置 SRAM 完成自启动。内置 Flash 的瞬时接通特性为配置过程节约了下载时间，提高了工作效率。

相比于 GW1N(R)系列的其他 FPGA 产品上电后只能支持一次自启动配置操作，GW1N(R)-6、GW1N(R)-9 和 GW1NS 系列 FPGA 支持重试两次自启动配置，即上电后自启动配置失败时，器件可以自动进行两次重新配置操作。导致配置失败的因素包括 ID 验证错误，CRC 校验错误和指令错误。

注！

内置 Flash 中只能保存一份比特流数据，配置重试地址无法修改。

5.4 SSPI 配置模式

SSPI（Slave SPI）配置模式，即 FPGA 作为从器件，由外部 Host 通过 SPI 接口对高云半导体 FPGA 产品进行配置的过程。

SSPI 配置模式管脚

SSPI 模式相关的配置管脚如表 5-6 所示。

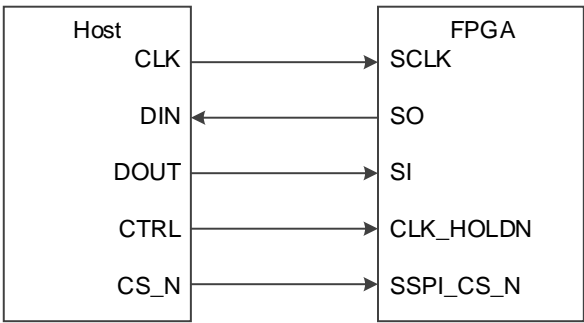
表 5-6 SSPI 配置模式管脚

管脚名称	I/O 类型	说明
RECONFIG_N	I, 内部弱上拉	低电平脉冲：启动 GowinCONFIG 配置
READY	I/O	高电平：当前可以对 FPGA 进行编程配置 低电平：禁止对 FPGA 进行编程配置
DONE	I/O	高电平：成功完成编程配置 低电平：未完成编程配置或编程配置失败
MODE[2:0]	I, 内部弱上拉	配置模式选择，READY 上升沿采样
SCLK	I	输入时钟
CLKHOLD_N	I, 内部弱上拉	高电平：SCLK 对应的 SPI 操作有效 低电平：SCLK 对应的 SPI 操作无效
SO	O	FPGA 输出数据到 Host
SI	I	Host 向 FPGA 输入数据
SSPI_CS_N	I, 内部弱上拉	SSPI 片选信号，低电平有效

SSPI 配置模式连接示意图

使用 SSPI 配置模式对高云半导体 FPGA 产品配置的连接示意图如图 5-7 所示。

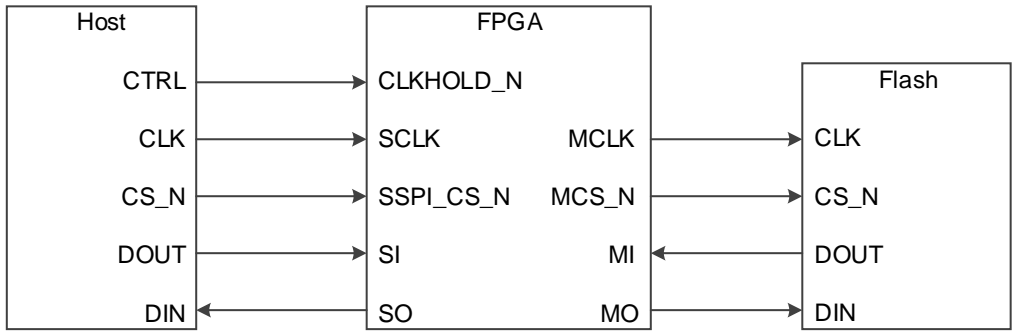
图 5-7 SSPI 配置模式连接示意图



注！
此图为 SSPI 配置模式的最小系统图，SSPI 模式 MODE 值为“001”，其他固定管脚的接法请参考图 5-1。

SSPI 配置管脚除了进行常规的 SRAM 配置操作外，还可编程 FPGA 外部的 SPI Flash，编程 Flash 操作的 MODE 值与 SSPI 配置模式的 MODE 值相同，用户可以在 Gowin 编程软件中选择将配置数据写入 SRAM 或外部 Flash。SSPI 接口编程外部 Flash 的连接示意图如图 5-8 所示。

图 5-8 SSPI 编程外部 Flash 连接示意图

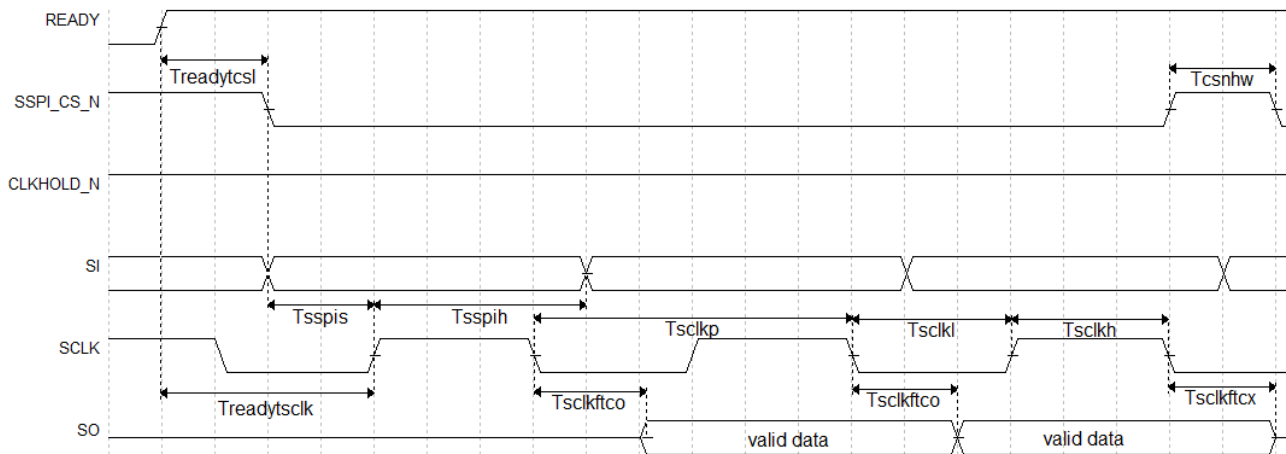


注！
目前仅 GW1N(R)-6 和 GW1N(R)-9 器件支持 SSPI 编程外部 Flash。

SSPI 配置模式时序图

SSPI 配置模式的时序图如图 5-9 所示。

图 5-9 SSPI 配置模式时序图



时序参数如表 5-7 所示。

表 5-7 SSPI 配置模式时序参数

参数名称	参数含义	最小值	最大值
T_{sclkp}	SCLK 时钟周期(SCLK clock period)	15ns	-
T_{sclkh}	SCLK 时钟高电平时间(SCLK clock high time)	7.5ns	-
T_{sclkl}	SCLK 时钟低电平时间(SCLK clock low time)	7.5ns	-
T_{sspis}	SSPI PORT 建立时间(SSPI PORT setup time)	2ns	-
T_{sspih}	SSPI PORT 保持时间(SSPI PORT hold time)	0ns	-
$T_{sclktco}$	SCLK 下降沿到数据输出时延(Time from SCLK falling edge to output)	-	10ns
$T_{sclktcx}$	SCLK 下降沿到输出高阻时延(Time from SCLK falling edge to high impedance)	-	10ns
T_{csnhw}	CSN 高电平脉冲宽度 (CSN high time)	25ns	-
$T_{readytcsi}$	READY 上升沿到 CSN 低电平时间(Time from READY rising edge to CSN low)	TBD	
$T_{readytsclk}$	READY 上升沿到第一个 SCLK 沿时间(Time from READY rising edge to first SCLK edge)	TBD	-

除满足上电要求外，SSPI 模式对高云半导体 FPGA 产品进行配置，还需满足以下条件：

- SSPI 接口使能
上电后初次配置或前一次配置时 RECONFIG_N 未设置为普通 I/O 状态。
- 启动新的配置
重新上电或低电平脉冲触发 RECONFIG_N 管脚。

5.5 MSPI 配置模式

MSPI (Master SPI) 配置模式，即 FPGA 作为主器件，通过 SPI 接口主动从外部 Flash 读取比特流数据完成配置的过程。MSPI 配置过程：

1. 将 MODE 管脚设置为编程外部 Flash 状态 (MODE 值 011)，通过 JTAG 接口将配置数据编程到外部 Flash 器件中；
2. 将 MODE 管脚设置为 MSPI 状态，将 FPGA 重新上电或低电平脉冲触发 RECONFIG_N 管脚，器件自行从外部 Flash 读取比特流数据，完成配置过程。

根据 MSPI 的配置特性，用户可以实现远程升级的需求：当 FPGA 启动工作后，若有升级需求，用户可以将配置数据远程写入 FPGA 外部的 Flash 器件中，当具备升级条件时触发 RECONFIG_N 或重新上电使系统完成升级。

注！

MSPI 配置模式通常需要设置两种 MODE 值 (编程外部 Flash 和从 Flash 读取数据)，用户进行原理图设计时需要预留 MODE 值的切换功能；MODE 值不方便切换时，也可固定为 MSPI 模式，使用边界扫描操作编程外部 Flash，具体方法请参考 8 边界扫描操作。

MSPI 配置模式管脚

MSPI 模式相关的配置管脚如表 5-8 所示。

表 5-8 MSPI 配置模式管脚定义

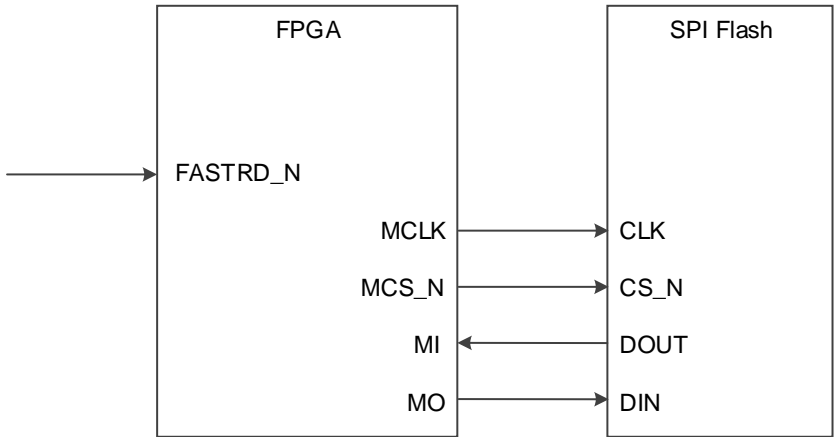
管脚名称	I/O 类型	说明
RECONFIG_N	I, 内部弱上拉	低电平脉冲：启动 GowinCONFIG 配置
READY	I/O	高电平：当前可以对器件进行编程配置 低电平：禁止对器件进行编程配置
DONE	I/O	高电平：成功完成编程配置 低电平：未完成编程配置或编程配置失败
MODE[2:0]	I, 内部弱上拉	MODE 选择信号，READY 上升沿采样
MCLK	O	FPGA 输出时钟
MCS_N	O	片选信号，低电平有效
MO	O	FPGA 输出数据到 Slave
MI	I	Slave 输入数据到 FPGA
FASTRD_N	I	READY 信号上升沿采样 高电平：普通 Flash 访问模式（采用 Flash 读指令 0x03） 低电平：高速 Flash 访问模式（采用 Flash 读指令 0x0B）

注！
MSPI 配置模式时钟频率最大不能大于 80MHz。当时钟频率大于 30MHz 小于 80MHz 时需要使用 Flash 的高速访问模式并外部拉低 FASTRD_N 管脚。时钟频率不高于 30MHz 时，FASTRD_N 管脚悬空即可。

MSPI 配置模式连接示意图

使用 MSPI 配置模式对高云半导体 FPGA 产品进行配置的连接示意图如图 5-10 所示。

图 5-10 MSPI 配置模式连接示意图

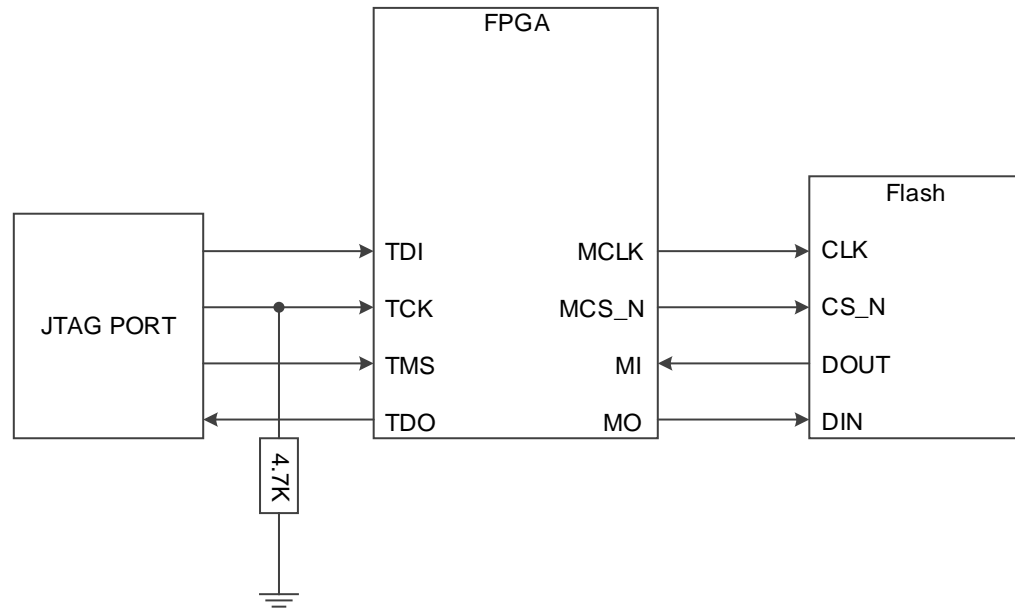


注！
此图为 MSPI 配置模式的最小系统图,MSPI 模式 MODE 值 GW1N(R)为 “010” ,GW2A(R)为 “000” ，其他固定管脚的接法请参考图 5-1。MSPI 配置模式时钟频率不高于 30MHz 时 FASTRD_N 管脚可悬空。

通过 JTAG 接口把配置数据编程到外部 Flash 器件中的连接示意图如图 5-11 所示，通过 JTAG 接口编程外部 Flash 需要设置特定的 MODE 值，请参考相关器件的编程配置手册。通过 SSPI 接口编程外部 Flash 的连接示意

图请参考图 5-8。

图 5-11 JTAG 接口编程外部 Flash 的连接示意图



注！

此图为 JTAG 接口编程外部 Flash 的最小系统图，MODE 值设置为“011”（边界扫描操作编程外部 Flash 不必关心 MODE 值），其他固定管脚的接法请参考图 5-1。

高云半导体 FPGA 产品通常上电之后只支持一次自动的 MSPI 配置操作，GW1N(R)-6 和 GW1N(R)-9、GW2A(R)-18 和 GW1NS 系列产品在此方面进行了增强处理：GW2A(R)-18 系列 FPGA 支持重试一次配置操作；GW1N(R)-6、GW1N(R)-9 和 GW1NS 系列 FPGA 支持重试两次配置操作。上电后 MSPI 配置失败时，器件可以按照支持的重试次数自动进行重新配置操作。导致配置失败的因素包括 ID 验证错误，CRC 校验错误和指令错误。用户可以指定重试配置操作的 SPI Flash 地址，通过 Gowin 云源软件界面写入。这一特性大大降低了配置失败的风险，为用户设计提供了更高的可靠性保障。

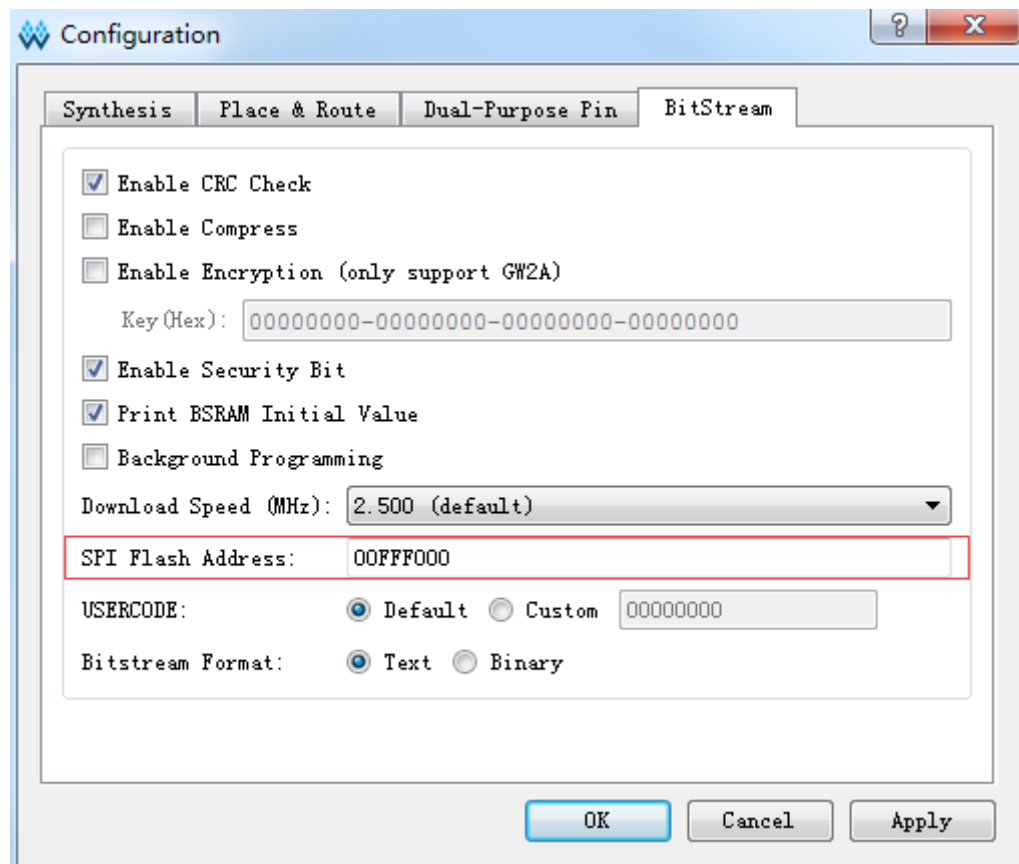
多重配置

多重配置（MULTI BOOT）是 MSPI 配置模式的衍生概念，是指 FPGA 从同一片外部 Flash 的不同地址读取比特流数据进行配置的过程。目前 Programmer 软件支持在不擦除的情况下将多个比特流数据依次编程到外部 Flash 中，初始编程地址为 0。用户在前一个比特流数据中写入后一次配置的比特流数据的加载地址，在器件不掉电的情况下通过触发 RECONFIG_N 切换数据流文件完成配置。支持 MSPI 配置模式的 FPGA 产品均支持此模式。

多重配置的具体操作流程如下：

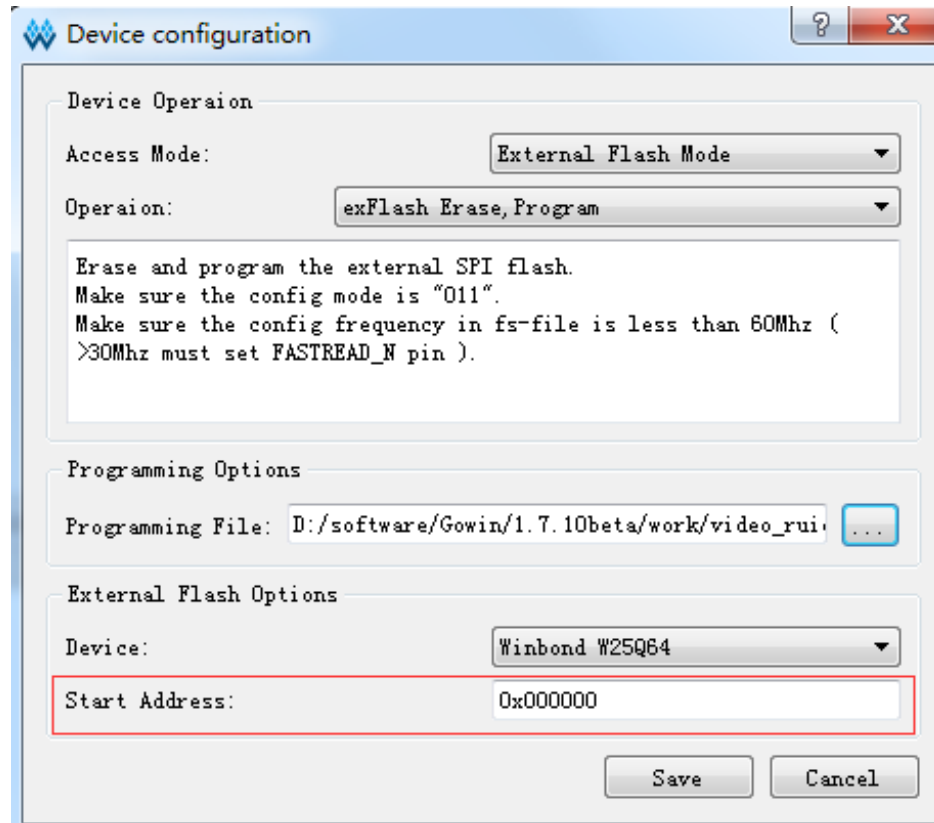
1. 在 GowinYunYuan 软件中打开 BitStream 的配置属性，在 SPI Flash Address 输入框内设置下一个 BitStream 的启动地址，如图 5-12 所示；

图 5-12 设置下一个 BitStream 的启动地址



2. 在 Programmer 软件中选择编程外部 Flash，并设置 BitStream 的起始编程地址，此处的编程地址应与 1 步骤中设置的启动地址相同。如图 5-13 所示；

图 5-13 设置外部 Flash 的编程地址



3. 单击“Save”，完成所有 BitStream 的启动地址和编程地址的设置；
4. 使用低电平脉冲触发 RECONFIG_N，实现多个 BitStream 功能的切换。

注！

- 多重配置需要在不掉电的情况下触发 RECONFIG_N 进行配置数据切换，器件掉电后启动地址清零；
- 用户使用多重配置前需计算好比特流数据的大小，确保启动地址不会被前一个比特流数据所覆盖；
- SPI Flash 启动地址低 12 位无效，用户可设置的是 ADDR[23:12]的地址空间。

除了上述介绍的一片 Flash 配置一片 FPGA 的情形，高云半导体的 FPGA 产品也支持一片 Flash 配置多片 FPGA 的情况：与 SPI Flash 直接相连的 FPGA 器件采用 MSPI 配置模式，其他 FPGA 采用 SSPI 或 SERIAL 配置模式。具体的操作方案后续版本会进行更新。连线示意图如图 5-14 所示。

注！

配置操作前需要将相关 FPGA 的 MODE 值调整为 MSPI 和 SERIAL 配置模式或者是 MSPI 和 SSPI 配置模式。高云半导体的 FPGA 产品尚不支持多片 Flash 配置同一片 FPGA 的情况。

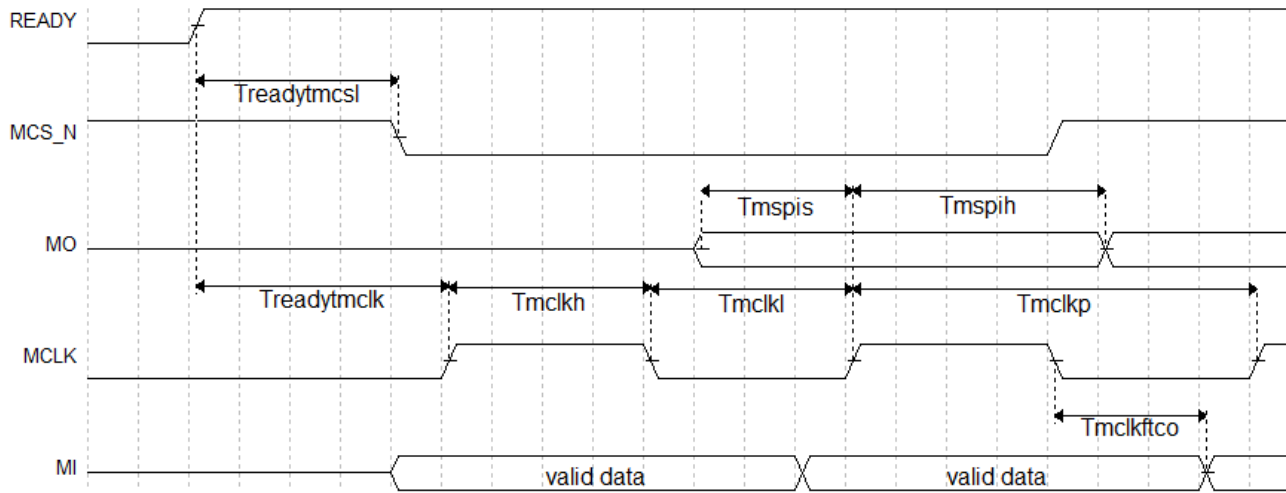
图 5-14 一片 Flash 配置多片 FPGA 连接示意图

TBD

MSPI 配置模式时序图

MSPI 下载模式时序图如图 5-15 所示。

图 5-15 MSPI 下载模式时序图



相关的时序参数如表 5-9 所示。

表 5-9 MSPI 配置模式时序参数

参数名称	参数含义	最小值	最大值
T _{mckp}	MCLK 时钟周期(MCLK clock period)	15ns	-
T _{mclkh}	MCLK 时钟高电平时间(MCLK clock high time)	7.5ns	-
T _{mckl}	MCLK 时钟低电平时间(MCLK clock low time)	7.5ns	-
T _{mspis}	MSPI PORT 建立时间(MSPI PORT setup time)	5ns	-
T _{mspih}	MSPI PORT 保持时间(MSPI PORT hold time)	1ns	-
T _{mckftco}	MCLK 下降沿到数据输出时延(Time from MCLK falling edge to output)	-	10ns
T _{readytmcs}	READY 上升沿到 MCS_N 低电平时间(Time from READY rising edge to MCS_N low)	100ns	200ns
T _{readytmclk}	READY 上升沿到第一个 MCLK 沿时间(Time from READY rising edge to first MCLK edge)	2.8μs	4.4μs

除满足上电要求外，使用 MSPI 模式对高云半导体产品进行配置，还需满足以下条件：

- MSPI 接口使能
上电后初次配置或前一次配置时 RECONFIG_N 未设置为普通 I/O 状态。
- 启动新的配置
重新上电或者低电平脉冲触发 RECONFIG_N 管脚。

5.6 双启动配置（仅 GW1N(R/S)系列支持）

双启动配置模式，即 DUAL BOOT 配置模式，是高云半导体 GW1N(R/S) 系列非易失 FPGA 产品支持的一种配置模式。双启动配置模式下，FPGA 自主选择从内置 Flash 或者外部 Flash 读取比特流数据完成配置。

注！

当内置 Flash 或外部 Flash 为空时会发生超时错误，导致配置操作失败。

双启动配置模式需要选择特定的 MODE 值，从内置 Flash 启动无须外部连线，从外部 Flash 启动的连线方案与 MSPI 配置模式相同，请参考图 5-10。双启动配置模式提供了更多的配置路径选择，用户可以按照自身需求选择配置数据的存储位置。

GW1N(R)系列 FPGA 支持两种方式的双启动配置模式：

- GW1N-1, GW1N(R)-6 和 GW1N(R)-9 器件 MODE 值为“100”时，优先选择从内置 Flash 启动，当内置 Flash 配置失败时，器件读取外部 Flash 的数据进行配置；
- 除此之外，GW1N(R)-6 和 GW1N(R)-9 器件支持 MODE 值为“110”时，器件优先选择从外部 Flash 启动，当外部 Flash 配置失败时，器件再选择读取内置 Flash 的数据进行配置；

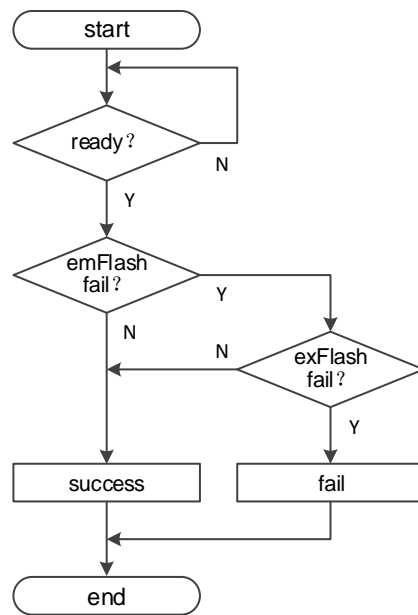
GW1NS 系列 FPGA 产品支持的双启动配置模式与 GW1N(R)系列略有区别：

- MODE 值为“100”时，优先选择从 2nd 内嵌 Flash 启动，当 2nd Flash 配置失败时，器件选择 1st 内嵌 Flash 启动；
- MODE 值为“110”时，器件优先选择从外部 Flash 启动，当外部 Flash 配置失败时，器件选择 1st 内嵌 Flash 启动。

GW1NS 系列 FPGA 产品双启动配置模式的其他特性与 GW1N(R)-6 和 GW1N(R)-9 相同，但 GW1NS 系列 FPGA 产品 2 个内嵌 Flash 模块都分别只能存储 1 个 bitstream 文件。

双启动配置模式的流程如图 5-16 所示。

图 5-16 双启动配置模式流程图



注！

- 此图为 MODE 值为“100”时双启动配置的流程图。MODE 值设置为“110”时 FPGA 优先选择从外部 Flash 启动。
- GW1NS 系列 FPGA 内嵌了 2 个 Flash 模块，出于节约用户 I/O 方面的考虑，建议使用 MODE 值为“100”的双启动配置模式。

对于 GW1N(R)-6、GW1N(R)-9 和 GW1NS 系列产品，无论是哪种模式的双启动配置，FPGA 均支持 4 次配置尝试：

- 优先选择的存储路径启动 3 次，3 次均失败后选择另一个路径进行配置。内置 Flash 的启动只能开始于 0 地址；
- MODE 值为“110”时，从外部 Flash 启动的 3 次尝试可以选择不同的启动地址，启动地址需要预先通过云源软件写入比特流数据，当外部的 3 次配置尝试都失败时器件选择从内置 Flash 启动。
- 对于 GW1NS 系列产品，可以支持启动失败后的多次重启尝试操作，但是无法修改启动地址。

注！

SPI Flash 启动地址低 12 位无效，用户可设置的是 ADDR[23:12]的地址空间。

GW1N(R)-2 和 GW1N(R)-4 器件目前尚不支持器件自动的双启动配置，高云半导体为用户提供了这两款器件的双启动配置方案，详细信息请参考手册《[基于高云半导体 GW1N-4 芯片的 DUAL BOOT 下载方案](#)》。

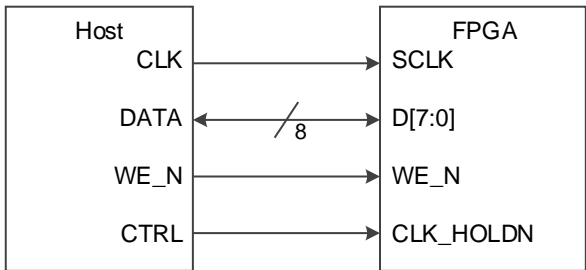
5.7 CPU 配置模式

CPU 配置模式下，Host 通过 8-bit 位宽的数据总线接口对高云半导体 FPGA 产品进行配置，CPU 配置模式的管脚如表 5-10 所示。

表 5-10 CPU 配置模式管脚

管脚名称	I/O 类型	说明
RECONFIG_N	I，内部弱上拉	低电平脉冲：启动 GowinCONFIG 配置
READY	I/O	高电平：当前可以对器件进行编程配置 低电平：禁止对器件进行编程配置
DONE	I/O	高电平：成功完成编程配置 低电平：未完成编程配置或编程配置失败
MODE[2:0]	I，内部弱上拉	配置模式选择信号，READY 上升沿采样
SCLK	I	输入时钟
CLKHOLD_N	I，内部弱上拉	高电平：CPU 操作有效 低电平：CPU 操作无效
WE_N	I	读写使能 0：写 1：读
D[7:0]	I/O	数据输入输出端口：CPU 配置模式时作为输入管脚，配置结束后可以转换为输出管脚进行验证

CPU 配置模式的连接示意图如图 5-17 所示。
图 5-17 CPU 配置模式连接示意图



注！
此图为 CPU 配置模式的最小系统图，MODE 值设置为“111”，其他固定管脚的接法请参考图 5-1。

除满足上电要求外，使用 CPU 模式对高云半导体 FPGA 产品进行配置，还需满足以下条件：

- CPU 接口使能
上电后初次配置或前一次配置时 RECONFIG_N 未设置为普通 I/O 状态。
- 启动新的配置
重新上电或者低电平脉冲触发 RECONFIG_N 管脚。

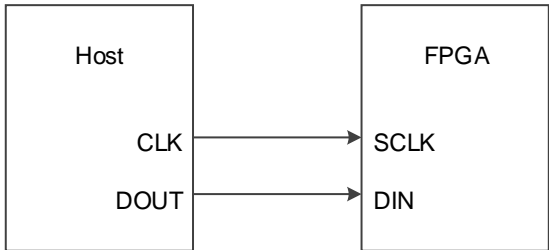
5.8 SERIAL 配置模式

SERIAL 配置模式，Host 通过串行接口对高云半导体 FPGA 产品进行配置。SERIAL 配置模式是使用管脚数量最少的配置模式。SERIAL 配置模式只能将比特流数据写入 FPGA，无法从 FPGA 器件回读数据，因此，SERIAL 配置模式无法读取 ID CODE 和 USER CODE 以及状态寄存器信息。SERIAL 配置模式的管脚定义如表 5-11 所示。

表 5-11 SERIAL 配置模式管脚定义

管脚名称	I/O 类型	说明
RECONFIG_N	I,内部弱上拉	低电平脉冲：启动 GowinCONFIG 配置
READY	I/O	高电平：当前可以对器件进行编程配置 低电平：禁止对器件进行编程配置
DONE	I/O	高电平：成功完成编程配置 低电平：未完成编程配置或编程配置失败
MODE[2:0]	I,内部弱上拉	配置模式选择信号，READY 上升沿采样
SCLK	I	输入时钟
DIN	I,内部弱上拉	输入数据
DOUT	O	输出数据，只用于 FPGA 级联时 SERIAL 配置模式

SERIAL 配置模式的连接示意图如图 5-18 所示。
图 5-18 SERIAL 配置模式连接示意图

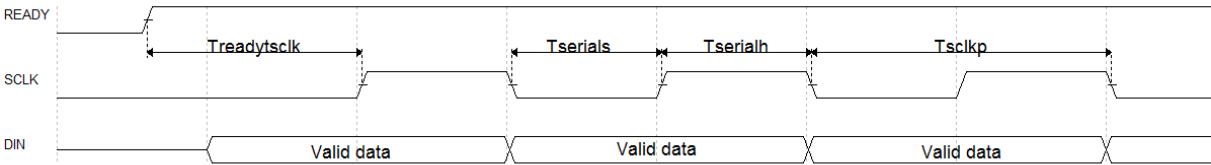


注！
此图为 SERIAL 配置模式的最小系统图，MODE 值为“101”，其他固定管脚的接法请参考图 5-1。

SERIAL 配置模式时序图

SERIAL 配置模式时序图 5-19 如所示。

图 5-20 SERIAL 配置模式时序图



相关的时序参数如图 5-12 所示。

表 5-13 SERIAL 配置模式时序参数

参数名称	参数含义	最小值	最大值
T _{sclkp}	SCLK 时钟周期(SCLK clock period)	15ns	-
T _{serials}	SERIAL PORT 建立时间(SERIAL PORT setup time)	2ns	-
T _{serialh}	SERIAL PORT 保持时间(SERIAL PORT hold time)	0ns	-
T _{readytsclk}	READY 上升沿到第一个 SCLK 沿时间(Time from READY rising edge to first SCLK edge)	TBD	-

除满足上电要求外，使用 SERIAL 模式对高云半导体 FPGA 产品进行配置，还需满足以下条件：

- SERIAL 接口使能
上电后初次配置或前一次配置时 RECONFIG_N 未设置为普通 I/O 状态。
- 启动新的配置
重新上电或者低电平脉冲触发 RECONFIG_N 管脚。

6 比特流文件配置

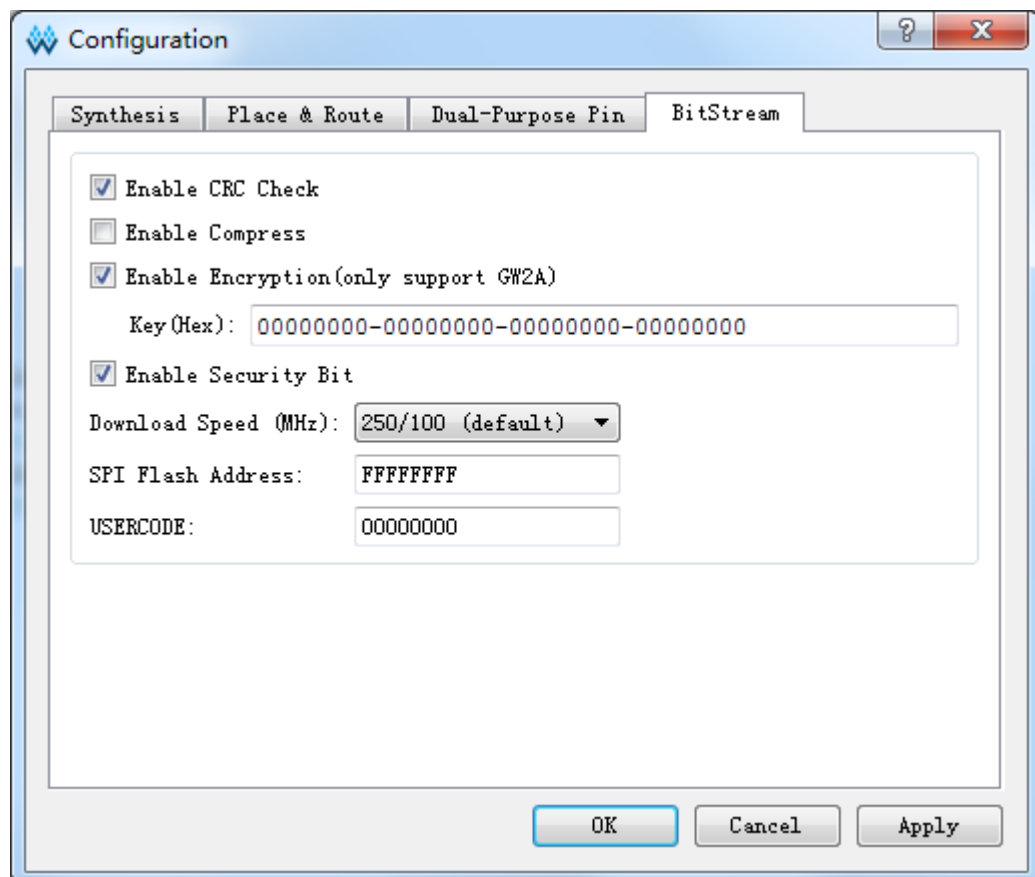
高云半导体 **FPGA** 产品编程配置相关的特性需要结合云源软件进行选项设置。配置主要包括配置管脚复用相关的选项和比特流文件配置相关选项。本章主要描述比特流文件配置相关信息，配置管脚复用相关信息请参考 [4.1.2 配置管脚复用](#)。

高云半导体为保障配置数据的安全准确传输，在 **FPGA** 产品的比特流文件中默认加入了 **CRC** 校验算法并设置了安全位。数据配置过程中实时校验输入数据是否出错，错误的数据无法唤醒器件，**DONE** 信号拉低。设置了安全位的比特流数据完成配置后，任何用户无法进行回读操作。

6.1 配置选项设置

比特流数据生成相关的设置界面请参考图 6-2，配置选项包括 CRC 校验使能、比特流数据压缩、加密密钥设置、安全位设置、MSPI 配置频率选择、多重配置模式下 SPI Flash 启动地址设置、USER CODE 设置等。SPI Flash 启动地址低 12 位无效，用户可设置的是 ADDR[23:12]的地址空间。

图 6-1 配置选项



注！

高云半导体云源软件勾选加密密钥设置选项后强制勾选安全位设置选项，用户使用这样的比特流数据进行配置，既可以保证数据传输过程的安全，又能够阻止任何回读操作，最大限度地保障了用户数据的安全性。

6.2 配置数据加密（仅 GW2A(R)系列支持）

高云半导体 GW2A(R)系列 FPGA 产品支持比特流数据加密，采用 128-bit 的 AES 加密算法。加密的比特流数据的配置流程如下：

1. 在 Gowin 云源软件输入加密密钥生成比特流文件；
2. 在 Gowin 编程软件输入解密密钥存入 FPGA；
3. 将加密的比特流数据加载到器件之后，器件会自行读取解密密钥进行数据解析。

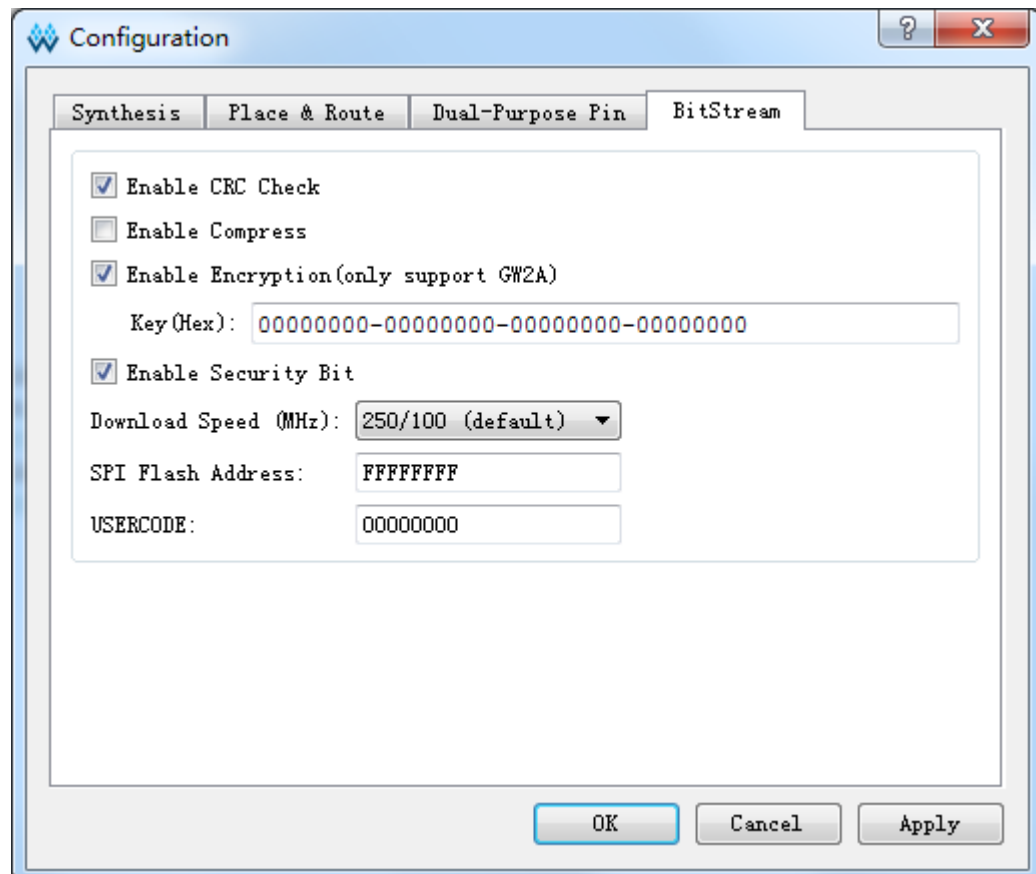
数据解析成功后，器件完成配置并正常工作；数据解析失败后，器件无法工作，READY 和 DONE 信号拉低。

输入加密密钥

在云源软件中输入加密密钥的方法如下：

1. 打开云源软件中相应的工程；
2. 在菜单栏中选择“Project>Configuration”；
3. 单击“BitStream”页签，勾选“Enable Encryption(only support GW2A)”并输入密钥值，如图 6-2 所示。

图 6-2 加密密钥设置方法



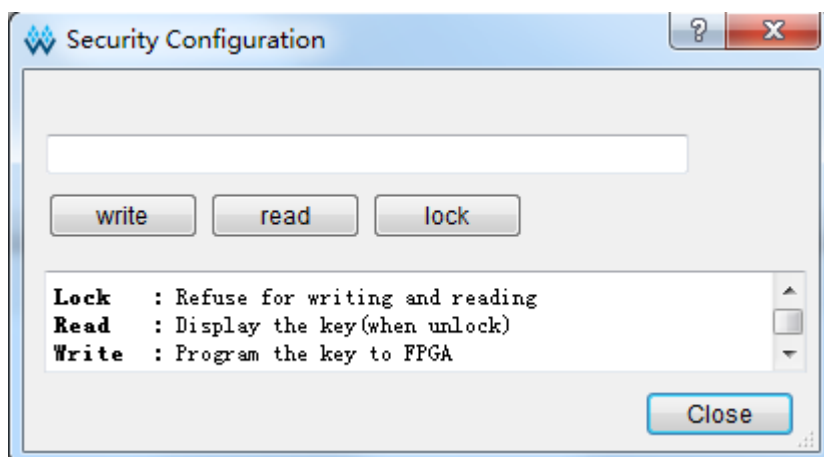
加密密钥设置成功后，还需要将解密的密钥写入到 FPGA 的密钥存储区，器件才能解析加密的比特流数据完成配置。

输入解密密钥

解密密钥的写入方法如下：

1. 打开 Gowin 编程软件；
2. 扫描 FPGA 器件；
3. 右键单击器件选择 Configure Security；
4. 在弹出的界面上输入之前加密的密钥值并单击“write”将其写入到 FPGA，如图 6-3 所示。

图 6-3 解密密钥设置方法



解密密钥写入成功后可以选择界面上的读取指令回读写入的密钥进行验证。

密钥写入成功后,用户也可选择 **lock** 命令将密钥“锁死”在 **FPGA** 内部,之后任何对密钥的读取和写入操作都将无效: 密钥值无法进行修改,读取的密钥所有位全部为“1”。

设置解密密钥后,加密的比特流数据只有与解密密钥匹配成功后才能唤醒。非加密比特流数据的配置不受密钥影响。

注!

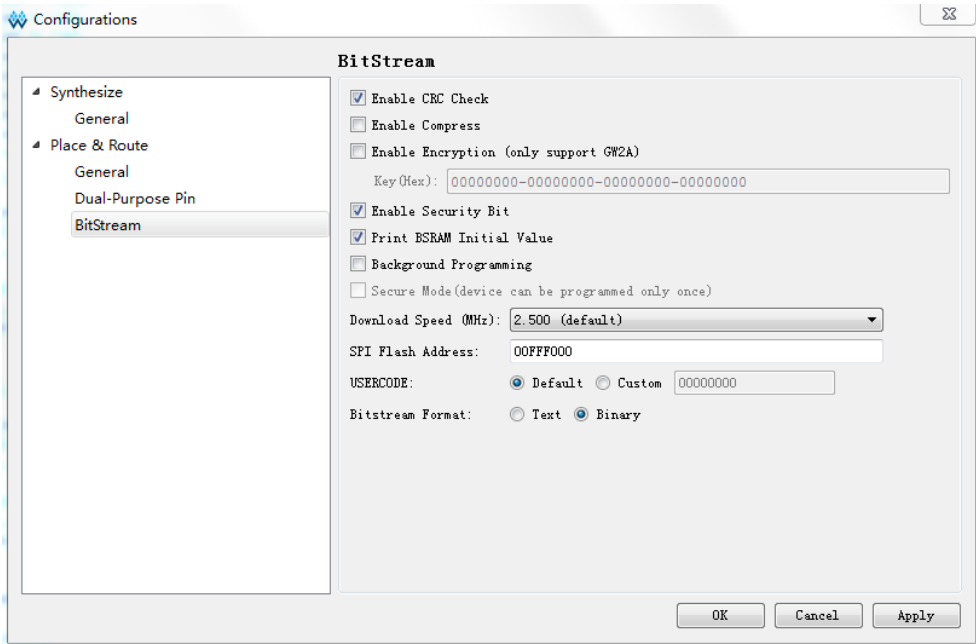
- 高云半导体 **FPGA** 的密钥初始值所有位全部为 0, 当把密钥值的某一位修改为 1 后便无法改回 0。例如, 用户的某次操作中写入的密钥值为 00000000-00000000-00000000-00000001, 之后修改此器件的密钥时最低位也必须是 1。
- 详细信息请参考 **GW2A(R)** 系列 **FPGA** 产品 **AES** 密钥编程指南。

6.3 配置文件大小

高云半导体 **FPGA** 产品配置数据流文件的存储格式，包括携带注释信息的文本格式的文件和不携带注释信息的二进制格式的文件。文本格式的文件后缀名为.fs，二进制格式的文件的后缀名为.bin。用户可以在 **Gowin** 云源软件中设置存储格式：

- 1. 打开 **Gowin** 云源软件；
- 2. 在 **Process** 选项卡上右键单击 **Place&Route** 选择 **Configuration** 中的 **bitstream**；
- 3. 在 **Bitstream Format** 选项中选择 **Text** 或 **Binary** 格式即可，如图 6-4 所示。

图 6-4 比特流格式生成



高云半导体支持比特流数据的压缩，压缩比例与用户的设计相关，本文档只提供未压缩的配置文件大小，如表 6-1 所示。

表 6-1 高云半导体 **FPGA** 产品配置文件大小

器件名称	配置文件大小（含 EBR）
GW1N-1(S)	84 KBytes
GW1NS(R/E)-2(C)	99 KBytes
GW1N(R)-4	217 KBytes
GW1N(R)-9	435 KBytes
GW2A(R)-18	887 KBytes
GW2A-55	2269 KBytes

注！

表中的数据是二进制格式的文件大小，并且配置文件未进行压缩。使用 **SPI Flash** 存储数据流文件时需要留出一些余量。

7 安全性考虑

用户使用 **FPGA** 进行设计，安全性问题是一个关键的考虑因素，高云半导体的编程软件结合器件特性开发了一系列安全保护措施，为用户的比特流数据提供了完善的安全性保障机制。

安全措施大致分为三个阶段：

- 配置开始前，编程软件自动检查比特流数据的合法性；
- 配置过程中，器件实时校验传输数据的正确性；
- 配置完成后，器件进入工作状态，屏蔽一切形式的回读请求。

三个阶段的详细描述信息如下：

配置开始前

使用高云半导体的编程软件进行配置操作，请参见以下步骤：

1. 进行配置电路的硬件连接；
2. 启动编程软件进行器件扫描，软件自动识别已连接的 **FPGA** 产品；
3. 选择比特流数据和编程配置模式进行器件的编程配置。

上述过程中，编程软件首先读取已连接器件的 **ID**，然后将其与用户选择的比特流数据中的 **ID** 进行比较，只有二者一致才能进行操作，否则，用户选择的比特流数据被判定为非法数据，无法进行编程配置。

注！

高云半导体 **FPGA** 产品具有特定的 **ID**，以便与其他系列产品进行区分。使用 **Gowin** 云源软件生成的比特流数据中自动添加了器件的 **ID** 验证指令，用户只需在建立工程时选择具体器件即可。

配置过程中

配置过程开始后，器件首先读取比特流数据的 **ID** 信息进行校验，校验通过后开始编程配置过程。为防止比特流数据被篡改的情况和传输过程中可能发生的错误，高云半导体器件采用 **CRC** 校验的方式确保比特流文件中的所有数据位正确写入 **FPGA**，具体过程如下：

Gowin 云源软件生成的比特流数据中每段地址后都加入了该段地址对应

数据的 CRC 校验码，高云半导体器件在接收数据的过程中也会不断地生成校验码，与器件接收的校验码进行比较，一旦发现校验错误，之后的数据将被忽略，配置完成后 DONE 指示灯不会被点亮，编程软件界面上弹出 CRC 校验出错的提示。

配置完成后

配置完成后，根据用户选择的编程配置模式，器件的比特流数据加载到 SRAM 中完成启动或者存储在内置 Flash 中（仅 GW1N（R）系列 FPGA 产品支持存储在内置 Flash 中。）。

- 对于加载到 SRAM 中的数据，Gowin 云源软件在生成比特流数据的过程中自动设置了安全位，任何用户都无法读取 SRAM 中的数据；
- 对于存储在内置 Flash 中的数据，软件完成 Flash 的编程操作后，Flash 配置为自启动模式，禁止所有的读取请求。

此外，GW1N(R)系列 FPGA 产品的自启动配置模式，由于不需要与外部下载接口进行连接，从而大大降低了配置过程中数据被截获的风险，为用户提供了更高的安全保障。双启动模式为用户提供了一种备份选择，用户可以根据自身需要将配置数据备份在外部 Flash 中。

注！

高云半导体不对外置 Flash 的存储安全性负责。

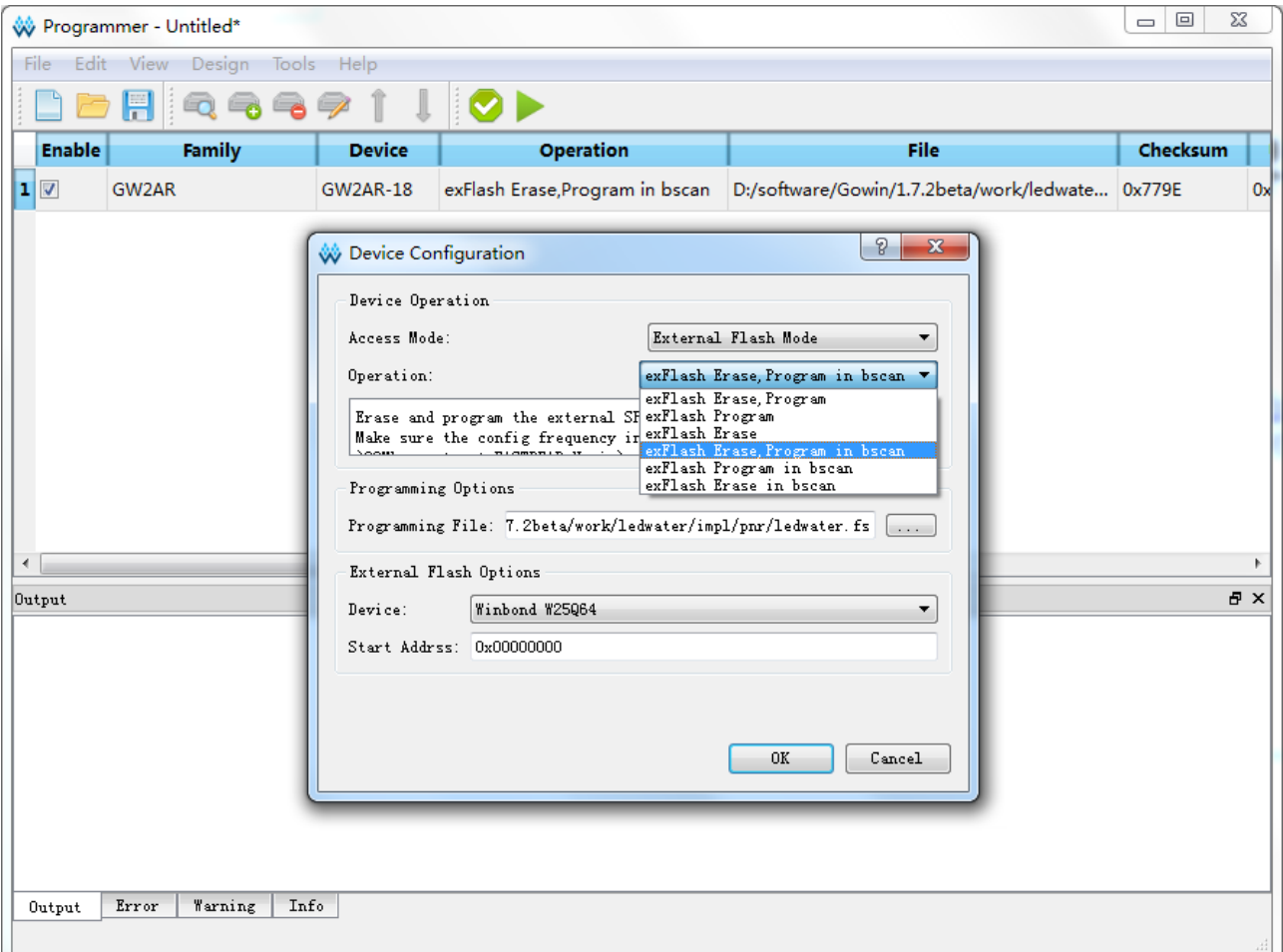
8 边界扫描操作

边界扫描操作是 JTAG 配置模式的扩展，扫描链分为长链和短链：长链主要结合 BSDL 文件进行器件的测试工作；短链主要针对 FPGA 链上的外部 Flash 进行擦除和读写操作。

边界扫描操作步骤如下：

1. 将 FPGA 开发板连接到 PC 并上电；
2. 打开 Gowin 编程软件扫描已连接的器件；
3. 在 Operation 下方双击选择外部 Flash 操作，并选择相关的 bscan 操作，如图 8-1 所示。

图 8-1 边界扫描操作示意图



边界扫描操作只能对 FPGA 外部 Flash 进行操作，无法对内置 Flash 或 SRAM 进行编程配置。边界扫描操作编程外部 Flash 时不必关心 FPGA MODE 值的设置，但是相比于 MSPI 操作中编程外部 Flash 的方法，边界扫描操作的编程速度较慢。

9 SPI Flash 选择

高云半导体 FPGA 产品支持的外部 SPI Flash 器件操作指令如表 9-1 所示，市场上常见的 Mxic 和 Winbond 的产品均符合要求。

表 9-1 SPI Flash 操作指令

操作	指令
bulk_erase	C7
page_program	02
read	03
fast_read	0B
write_enable	06
write_disable	04

注！

高云半导体 FPGA 支持的 Flash 读指令必须至少有一种是 03 或 0B，当时钟频率不高于 30MHz 时使用普通读指令；当时钟频率高于 30MHz 时，使用快速读指令，快速读取需要将 FASTRD_N 管脚拉低，时钟频率不能高于 80MHz。

