

WIKIPEDIA

Flip-flop

Da Wikipedia, l'enciclopedia libera.

I **flip-flop** (o *bistabili*) sono circuiti elettronici sequenziali molto semplici, utilizzati nell'elettronica digitale come dispositivi di memoria elementare. Il nome deriva dal rumore che facevano i primi circuiti di questo tipo, costruiti con relè che permettevano il cambiamento di stato.

Possono essere utilizzati anche come circuito anti-rimbalzo per i contatti di un pulsante, un interruttore o un relè, indispensabili per esempio nelle funzioni di START e STOP nei cronometri digitali: infatti, la chiusura dei contatti elettrici può non avvenire in modo definitivo, ma dopo una serie di rimbalzi, i quali generano altrettanti impulsi, che, interpretati erroneamente dal circuito logico, porterebbero ad errori di funzionamento. L'uso di un flip flop, di solito SR, il quale commuta la sua uscita al primo impulso e ignora i successivi, risolve il problema. Le tabelle di verità possono essere ricavate dalle equazioni caratteristiche.

Esistono diversi tipi: SR (Set Reset), JK (evoluzione del flip flop SR), T (Toggle-Tasto), D (Delay)...

Indice

Flip-flop SR

Flip-flop JK

Flip-flop T (toggle)

Flip-flop D (Delay)

Circuiti integrati flip-flop

Note

Bibliografia

Altri progetti

Flip-flop SR

È il flip-flop più semplice dal punto di vista circuitale e fu anche il primo ad essere realizzato. La versione attiva alta ha due ingressi *s* (*Set*) e *r* (*Reset*, detto anche *Clear*) e due uscite *q* e *q*_̄ (*q* complementato). È una rete sequenziale asincrona che si evolve in accordo alle seguenti specifiche: quando lo stato d'ingresso è *s*=0 e *r*=1 il flip-flop si resetta, cioè porta a 0 il valore della variabile d'uscita *q* e a 1 la variabile d'uscita *q*_̄; quando lo stato d'ingresso è *s*=1 e *r*=0 il flip-flop si setta cioè porta a 1 il valore della variabile d'uscita *q* e a 0 la variabile d'uscita *q*_̄; quando lo stato d'ingresso è *s*=0 e *r*=0 il flip-flop conserva, cioè mantiene inalterato il valore di entrambe le variabili d'uscita. La combinazione *s*=1 ed *r*=1 non viene

utilizzata in quanto instabile (il risultato dipende infatti da quale delle porte che compongono il circuito interno del flip flop viene commutata prima).

Quando entrambi i valori R e S sono bassi, il flip-flop si trova nello stato neutro e mantiene il valore delle uscite, in questo caso si dice che "fa memoria" (mantiene cioè in uscita il dato precedente memorizzato). Quando invece entrambi gli ingressi hanno valore 1, si ha una condizione logicamente non definita. Elettronicamente, con gli ingressi S e R contemporaneamente a 1, il circuito del flip-flop SR si trasforma in un oscillatore astabile la cui frequenza dipende dal ritardo di trasmissione delle porte logiche componenti; le uscite del flip-flop SR emettono allora due onde quadre di pari frequenza e sfasate di 180°. Questa "perdita di senso logico" che è possibile nei flip-flop SR è il motivo principale per cui, di norma, si impiegano flip-flop JK o D nei circuiti digitali.

Tabella di verità (Q+ e Qn+ (uscita negata) indicano gli stati futuri della memoria all'istante t+1 in base agli ingressi all'istante t):

S	R	Q+	Qn+	Descrizione
0	0	Nc	Nc	Nessuna Commutazione (LATCH)
0	1	0	1	Reset
1	0	1	0	Set
1	1	-	-	Combinazione proibita

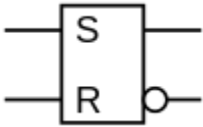
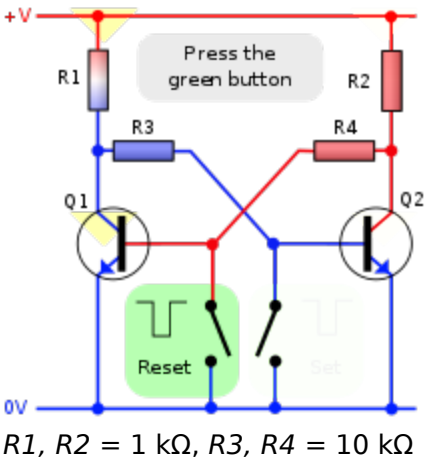
Flip-flop JK

È caratterizzato da due ingressi, due uscite complementari e un ingresso di sincronizzazione. Ha funzioni di memoria, reset, set. A differenza dei Flip-flop SR non ha stati proibiti, ovvero le due entrate possono assumere qualsiasi valore (0-0,0-1,1-0,1-1).

Equazione caratteristica: $Q+ = K nQ + J Qn$

Tabella di verità

J	K	Q+	Qn+	Descrizione
0	0	Q	Qn	Memoria (nessun cambiamento)
0	1	0	0	Reset
1	0	1	1	Set

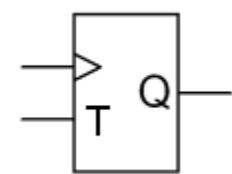


Simbolo
circuitale
tradizionale del
flip-flop SR

1	1	Qn	Q	Toggle (complemento)
---	---	----	---	----------------------

Quindi, quando J e K valgono entrambi 1, le uscite vengono completamente scambiate (ossia se erano 1 diventano 0 e viceversa), trasformandosi in un flip-flop T; quando valgono zero, vengono mantenute in memoria.

Flip-flop T (toggle)



Simbolo circuitale per flip-flop di tipo T, dove > è l'ingresso del clock, T è l'ingresso *toggle* e Q è l'uscita del dato memorizzato.

Ha un ingresso, due uscite complementari e un ingresso di sincronizzazione. Ha funzioni di memoria e toggle, che consiste nella negazione del valore precedentemente memorizzato. Può venir realizzato con un flip-flop JK, con i due ingressi J e K collegati assieme e formanti quindi l'ingresso T.

Equazione caratteristica: $Q+ = TnQ + TQn = T \oplus Q$

Proprietà: Se T=1 l'uscita Q ha frequenza dimezzata rispetto al clock.

Applicazioni: È il componente base dei contatori, infatti collegando a cascata vari flip-flop T ad ogni uscita si ottiene un clock dimezzato rispetto al clock precedente.

Tabella di verità:

T	Q+	Descrizione
0	Q	Memoria (nessun cambiamento)
1	Qn	Toggle (complemento)

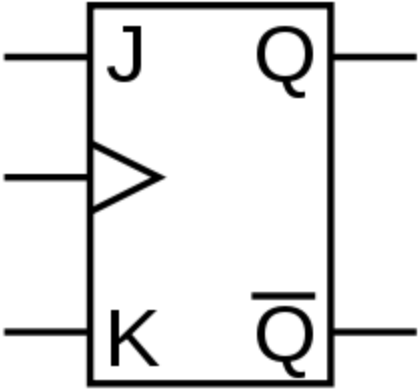
Flip-flop D (Delay)

Ha un ingresso per il dato, un ingresso di sincronizzazione (clock) e un'uscita. In corrispondenza del comando di clock, trasferisce l'ingresso in uscita e ve lo mantiene fin quando non cambia il suddetto ingresso.

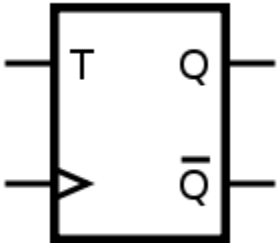
Equazione caratteristica: $Q+=D$

Applicazioni: per le sue caratteristiche è il componente base delle memorie (veloci) e registri (normali, a scorrimento, ad anello).

Tabella di verità:



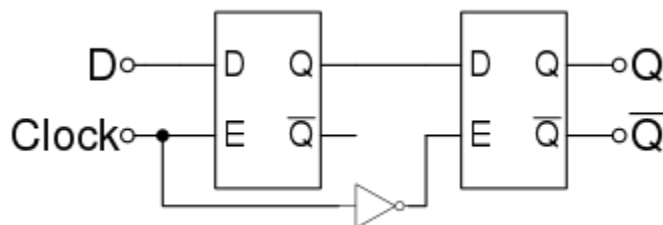
Simbolo circuitale (ISO) per flip-flop di tipo JK, dove > è l'ingresso del clock, J e K sono gli ingressi dei dati, Q è l'uscita del dato memorizzato, e Q' è l'inverso di Q.



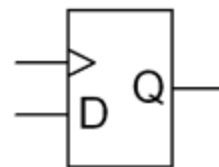
Altro simbolo circuitale (ISO) del flip-flop T con uscita Q ed uscita complementata

D	Q+	Descrizione
0	0	reset
1	1	set

La realizzazione di questo tipo di flip-flop può essere effettuata ponendo in modalità master-slave due Latch CD, negando l'ingresso C (E in figura) del primo flip-flop nel caso in cui si volesse un FF-D pilotato sul fronte di salita, mentre negando il secondo nel caso in cui si volesse realizzare un FF-D di tipo pilotato sul fronte di discesa.



Flip Flop D falling edge triggered



Simbolo
circuitale (ISO)

per flip-flop di tipo D, dove > è l'ingresso del clock, D è l'ingresso del dato e Q è l'uscita del dato memorizzato.

Circuiti integrati flip-flop

Sono disponibili circuiti integrati che contengono flip-flop singoli oppure multipli. Ad esempio il flip-flop di tipo D è disponibile come integrato con otto unità logiche ma con l'ingresso di clock in comune.^[1]

Generalmente non sono disponibili in commercio flip-flop di tipo T, poiché sono facilmente realizzabili utilizzando un flip-flop JK con i due ingressi collegati tra di loro.

Note

- ↑ (**EN**) *Circuito integrato 74HC374 costituito da otto flip-flop di tipo D con ingresso di clock in comune ed in più un controllo (prioritario) di abilitazione/disabilitazione delle uscite* (**PDF**), **ON Semiconductor Corp.** URL consultato il 4 giugno 2010.

Bibliografia

- G. Licata, *Sistemi digitali*, pagg. 512, Thecna, ISBN 88-395-1377-9, ISBN 978-88-395-1377-9
- Giuliano Ortolani ed Enzo Venturi (a cura di), *Manuale di elettrotecnica e automazione, seconda edizione*, Milano, Hoepli, 2010. ISBN 978-88-203-4456-6.

Altri progetti

- W Wikizionario contiene il lemma di dizionario «**Flip-flop**»
- Wikimedia Commons (https://commons.wikimedia.org/wiki/?uselang=it) contiene immagini o altri file su **Flip-flop** (https://commons.wikimedia.org/wiki/Category:Flip-

flops?uselang=it)

**Controllo di
autorità**

GND (DE) 4135907-0 (<https://d-nb.info/gnd/4135907-0>)

Estratto da "<https://it.wikipedia.org/w/index.php?title=Flip-flop&oldid=105312858>"

Questa pagina è stata modificata per l'ultima volta il 2 giu 2019 alle 03:36.

Il testo è disponibile secondo la [licenza Creative Commons Attribuzione-Condividi allo stesso modo](#); possono applicarsi condizioni ulteriori. Vedi le [condizioni d'uso](#) per i dettagli.