



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ ИНФОРМАТИКА И СИСТЕМЫ УПРАВЛЕНИЯ
КАФЕДРА ПРОГРАММНОЕ ОБЕСПЕЧЕНИЕ ЭВМ И ИНФОРМАЦИОННЫЕ
ТЕХНОЛОГИИ (ИУ7)
НАПРАВЛЕНИЕ ПОДГОТОВКИ 09.03.04 ПРОГРАММНАЯ ИНЖЕНЕРИЯ

ОТЧЕТ

По лабораторной работе № 2

Название: Исследование дешифраторов

Дисциплина: Архитектура ЭВМ

Студент

ИУ7-44Б

(Группа)

Н. А. Гурова

(Подпись, дата)

(И.О. Фамилия)

Преподаватель

(Подпись, дата)

(И.О. Фамилия)

Москва, 2021

Цель работы

Изучить принципы построения и методы синтеза дешифраторов.

Задание

1. Исследовать работу линейного двухвходового дешифратора с инверсными выходами

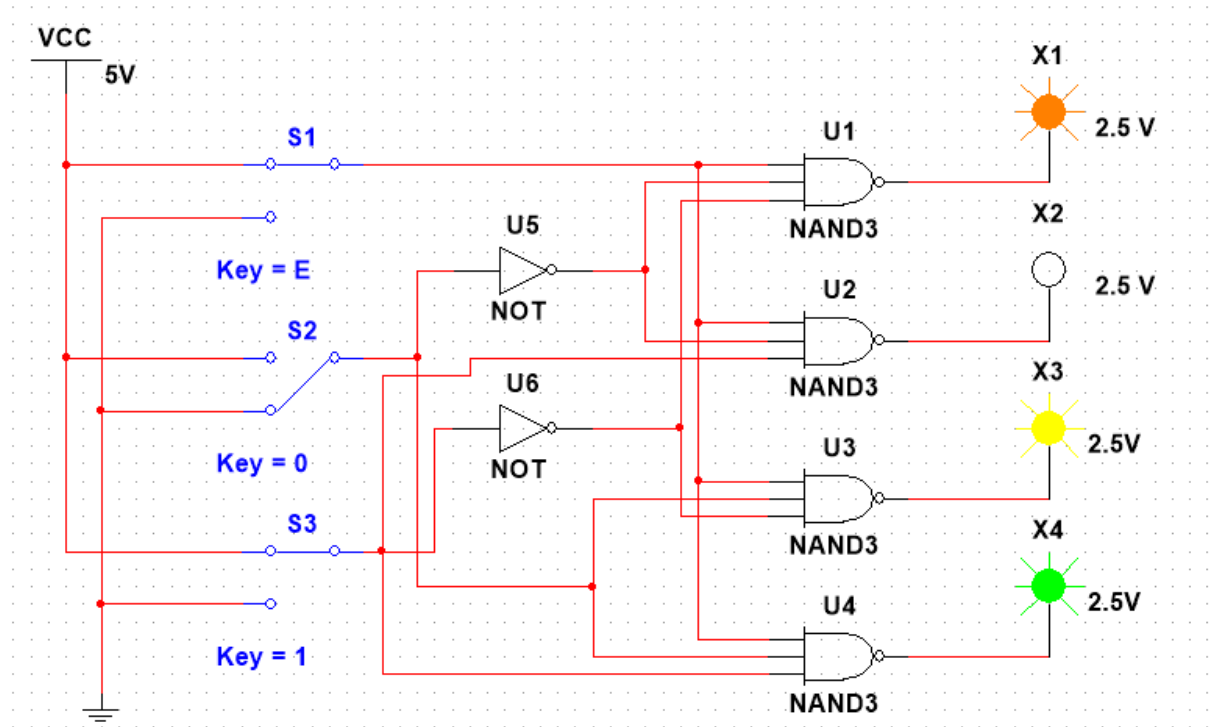


Рис. 1 (схема линейного стробируемого дешифратора на элементах И-НЕ)

Таблица истинности						
Входы			Выходы			
E	A_0	A_1	F_1	F_2	F_3	F_4
0			1	1	1	1
1	0	0	0	1	1	1
1	0	1	1	0	1	1
1	1	0	1	1	0	1
1	1	1	1	1	1	0

Рис. 2 (таблица истинности линейного стробируемого дешифратора)

Построение временной диаграммы:

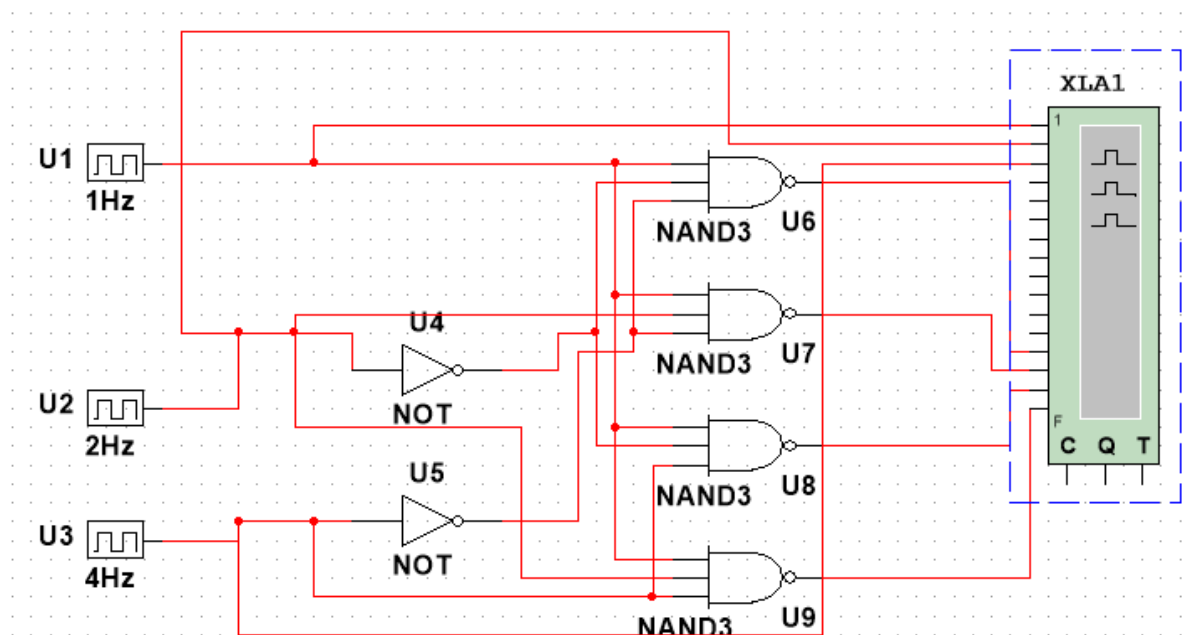


Рис. 3 (схема линейного стробируемого дешифратора на элементах И-НЕ)

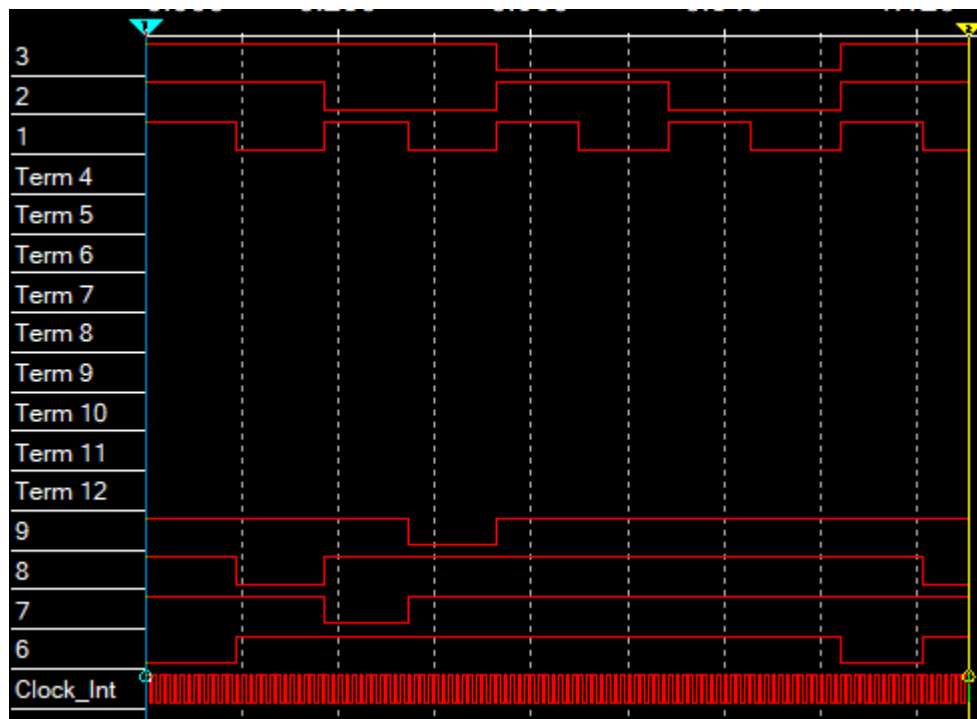


Рис. 4 (временная диаграмма для схемы на рис.2)

Определение длительности помех:

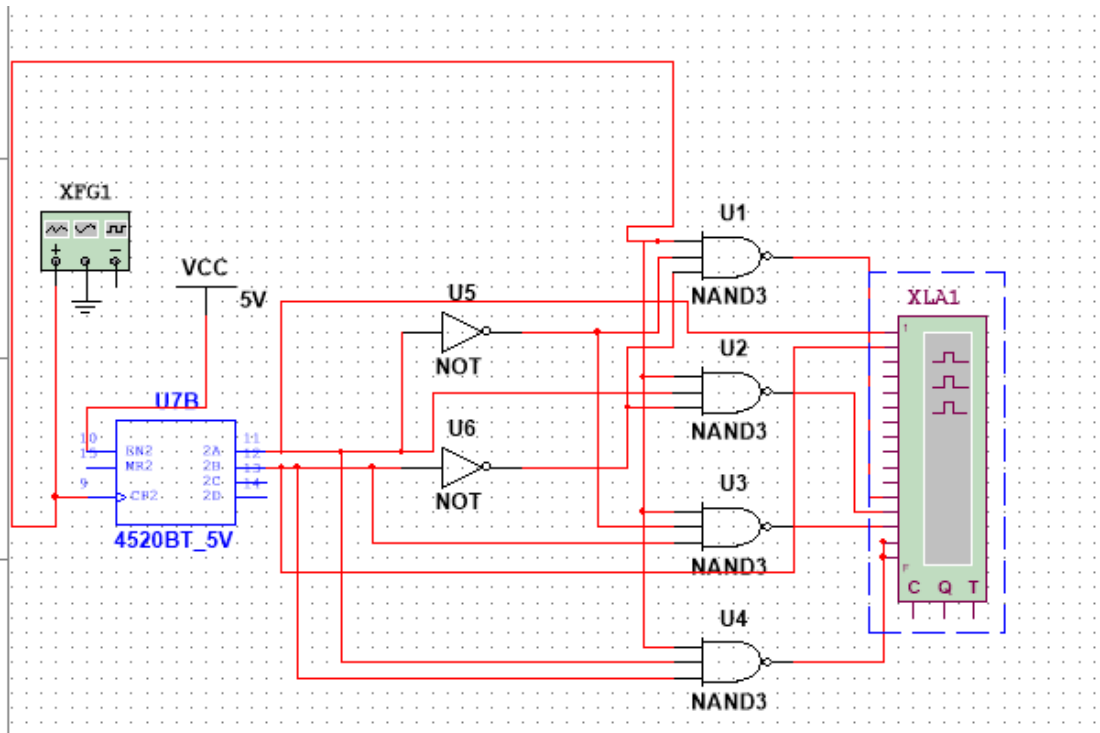


Рис. 5 (схема для выявления длительности помех)

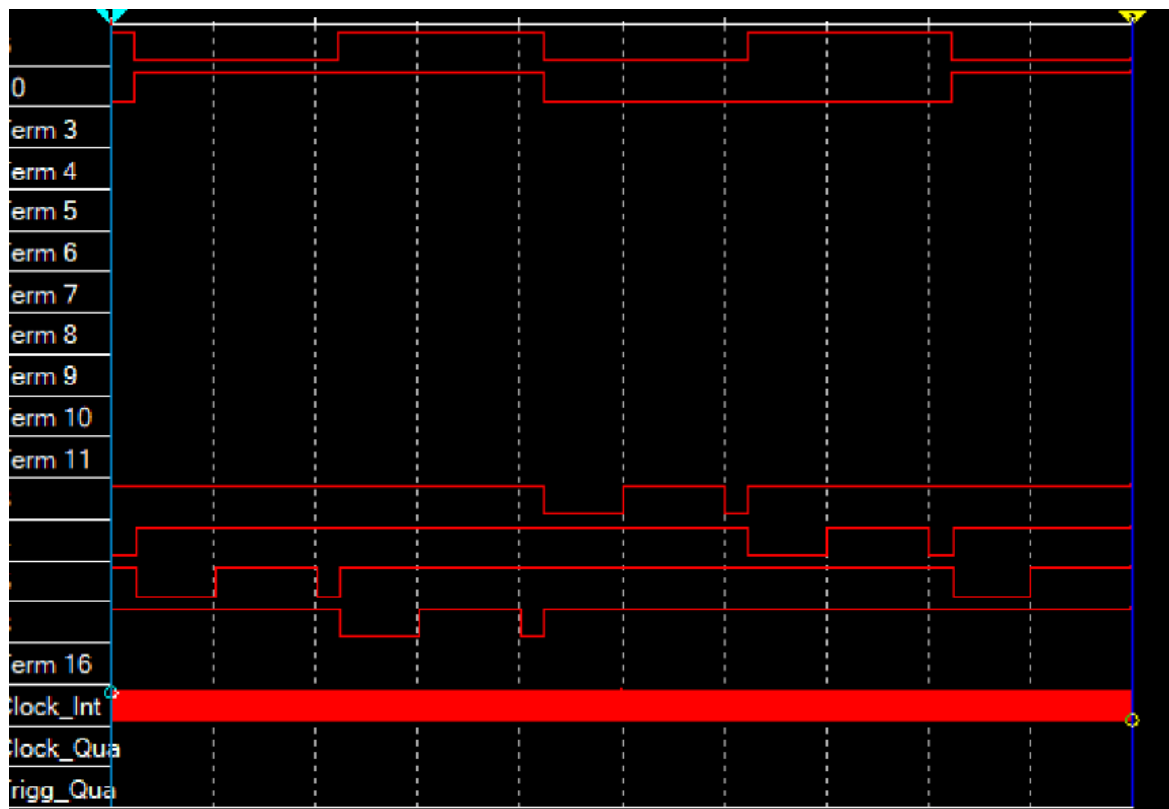


Рис. 6 (временная диаграмма для схемы на рис.5)

Длительность помех равна 265 ns.

[illegible]

Определение времени задержки:

Время задержки должно быть больше, чем суммарная задержка всех элементов в цепи от входа до выхода дешифратора. Время задержки, необходимое для исключения помех на выходах равно половине длительности помех. То есть примерно $265 / 2 = 133 \text{ ns}$.

Для проверки этого утверждения построим еще одну схему, куда добавим еще один NOT и настроим добавленные NOT-ы следующим образом:

+ (rise_delay = 132n fall_delay = 132n)

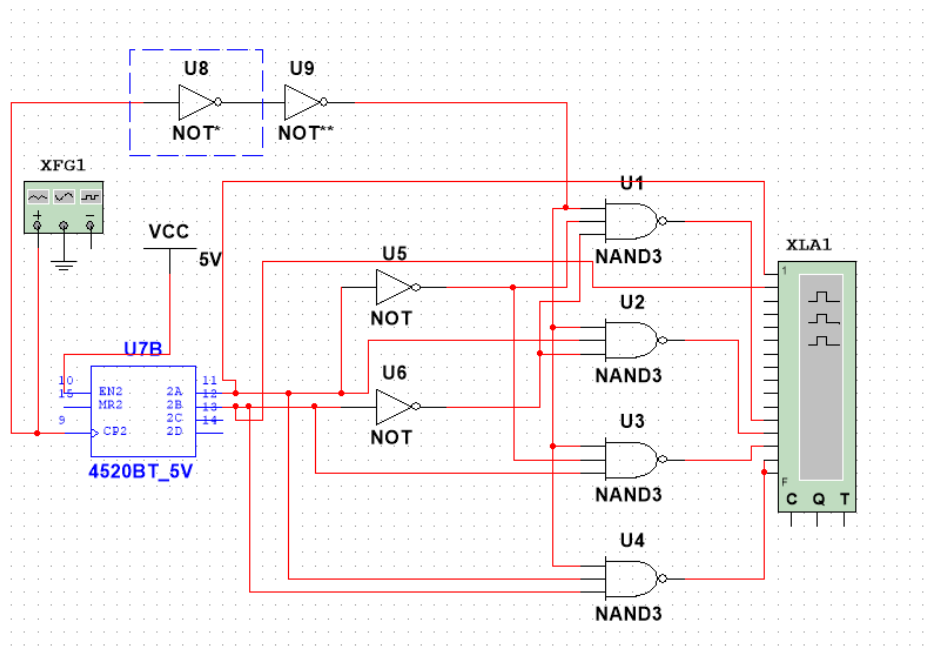
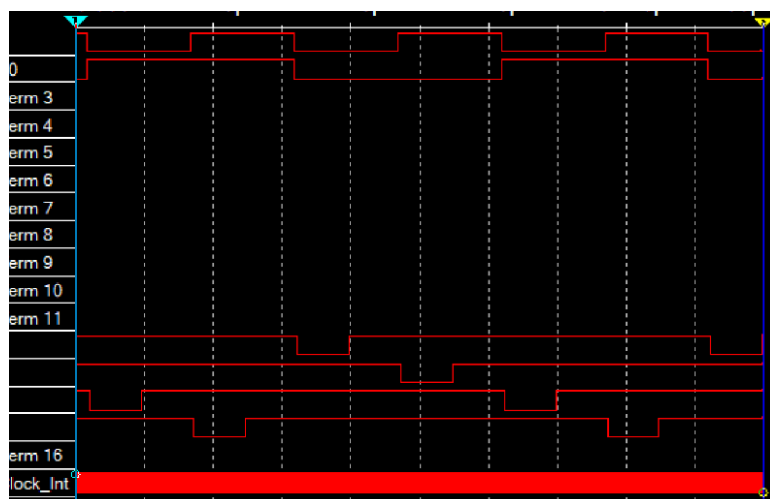


Рис. 9 (схема для проверки правильности определения времени задержки)



Помехи не возникли, значит наши вычисления верны.

Рис. 10 (временная диаграмма для схемы на рис.9)

2. Исследование дешифраторов ИС K155ИД4 (74LS155)

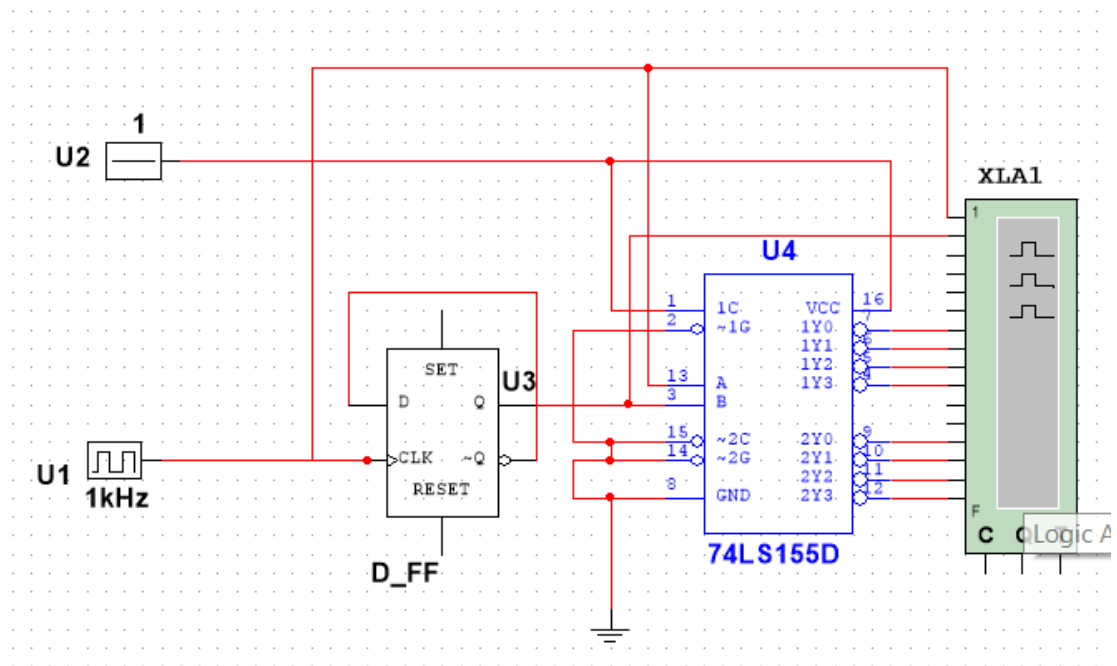


Рис. 11 (Схема подключенного дешифратора K155ИД4 (74LS155))

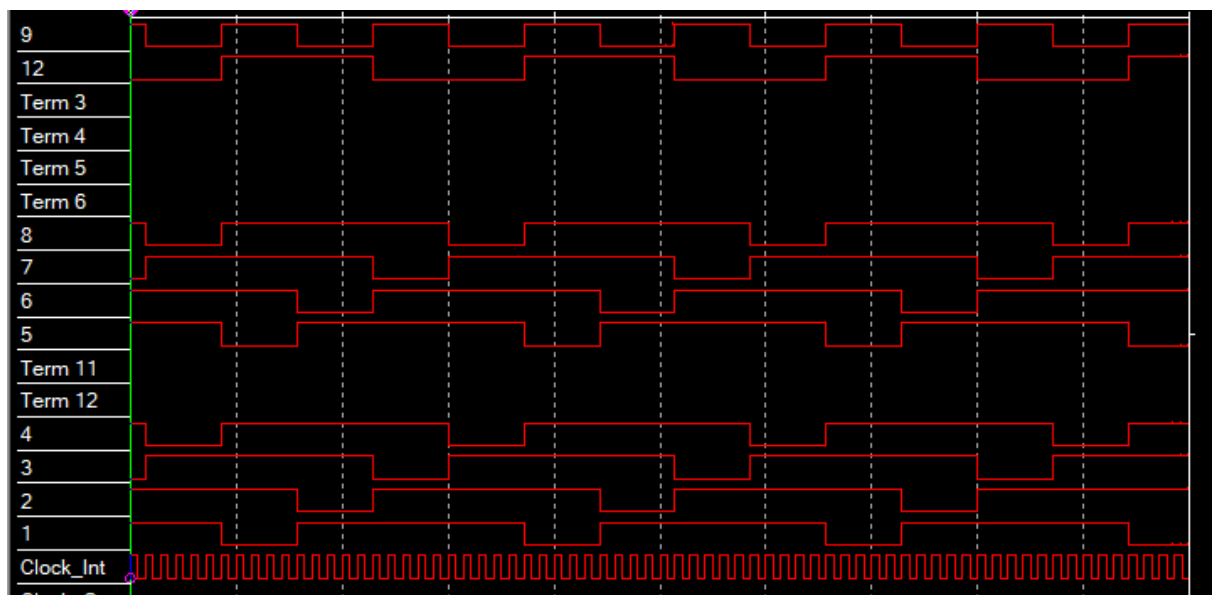


Рис. 12 (временная диаграмма для схемы на рис.11)

Данная схема не позволяет выявить помехи.

The diagram illustrates a 4-bit parallel adder circuit. It consists of two 74LS155 counters (U7B and U4) and a 74LS154 decoder (U5). The 74LS155 counters are configured to add two 4-bit numbers. The 74LS154 decoder provides the carry-in for the second counter. The output of the second counter is connected to a 4-bit parallel adder (XLA1). The circuit is powered by a 5V supply (VCC) and includes a ground connection (GND).

The timing diagram illustrates the data and address signals for a 16-bit bus system. The signals are organized into two columns of eight rows each. The left column contains data signals, and the right column contains address signals. The signals are labeled as follows:

- Data Signals (Left Column):** 6, 10, Term 3, Term 4, Term 5, Term 6, 13, 12, 11, 7, Term 11, Term 12, 4, 5, 8, 3.
- Address Signals (Right Column):** 14, 15, Term 1, Term 2, Term 7, Term 8, Term 9, Term 10, 9, 1, 2, 16, 0, 17, 18, 19.

The diagram shows the timing relationships between these signals, with vertical dashed lines indicating specific time points. The signals are represented by red lines on a black background, with green lines indicating the bus width for each signal.

Длительность помех 269.4 ns => время задержки примерно 132ns.

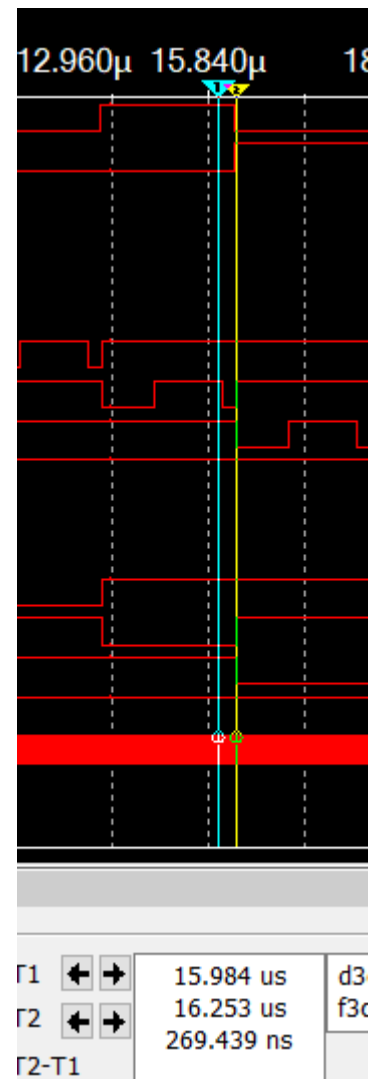


Схема с двумя доп элементами, которые позволяют устранить помехи:

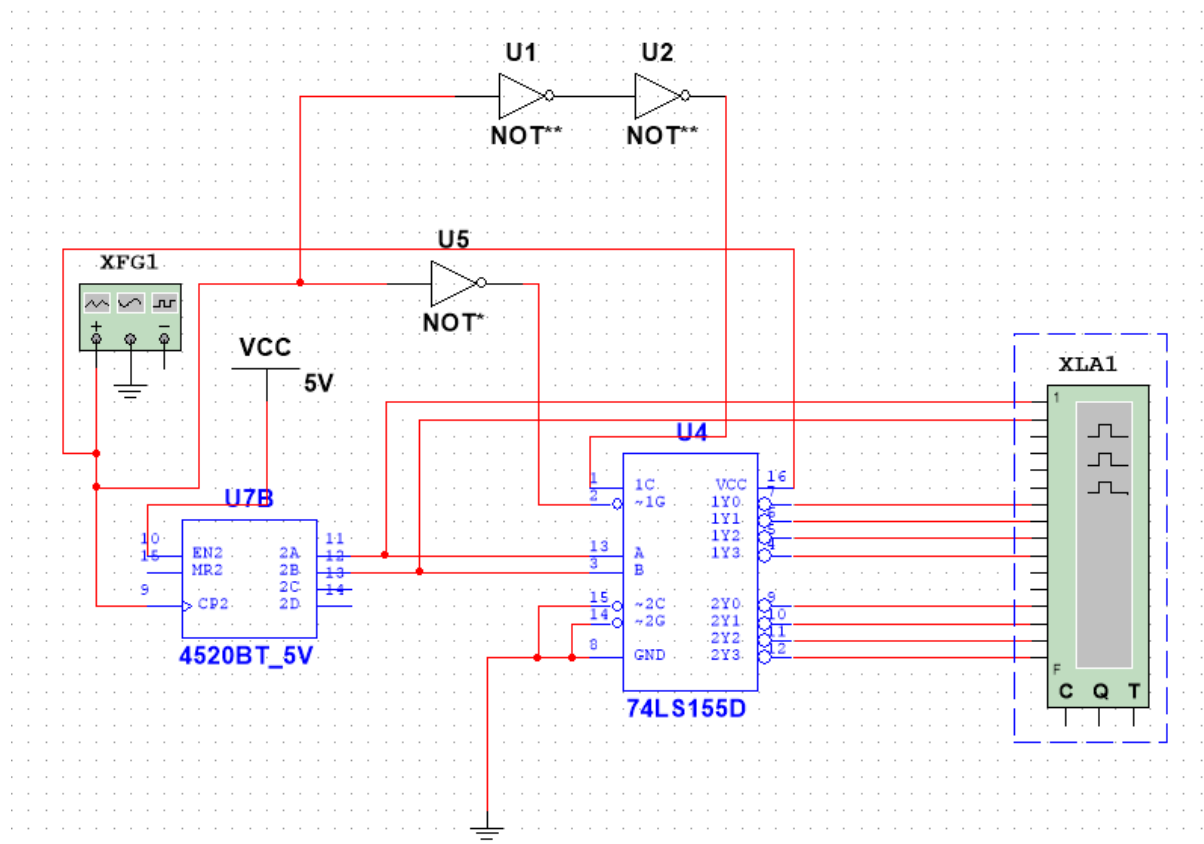


Рис. 15 схема с задержкой, вычисленной выше)

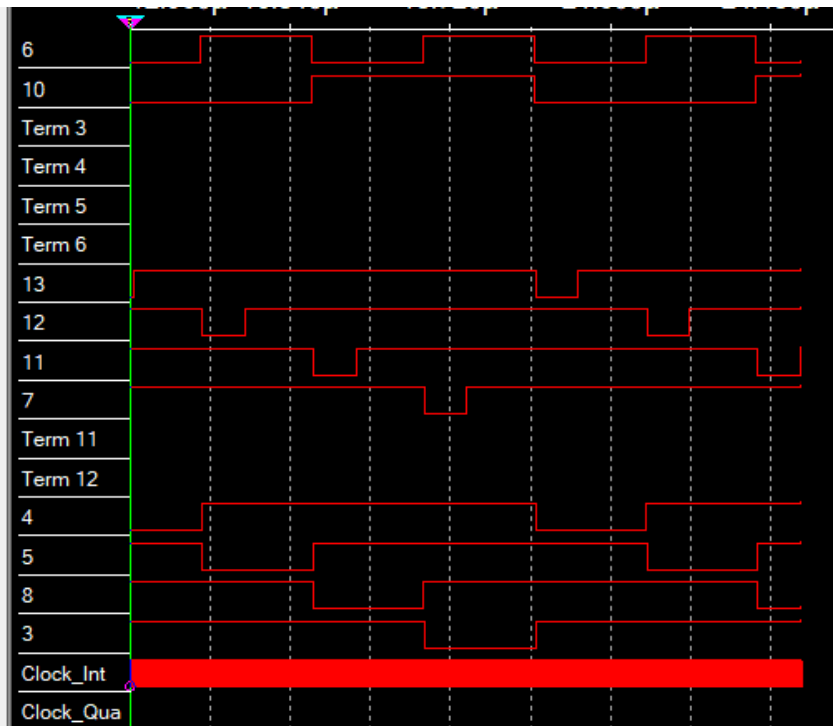


Рис. 16 (временная диаграмма для схемы на рис.15)

Видно, что помехи устранены.

Схема трехвходового дешифратора

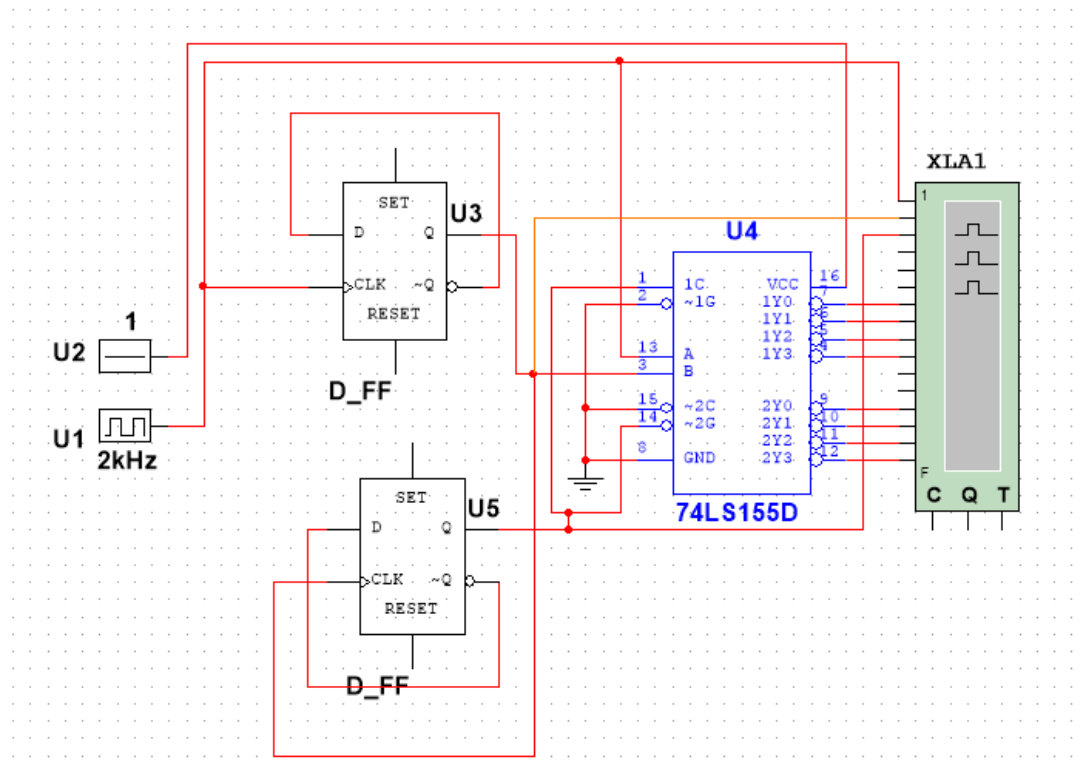


Рис. 17 (схема трехвходового дешифратора, на основе дешифратора К155ИД4)

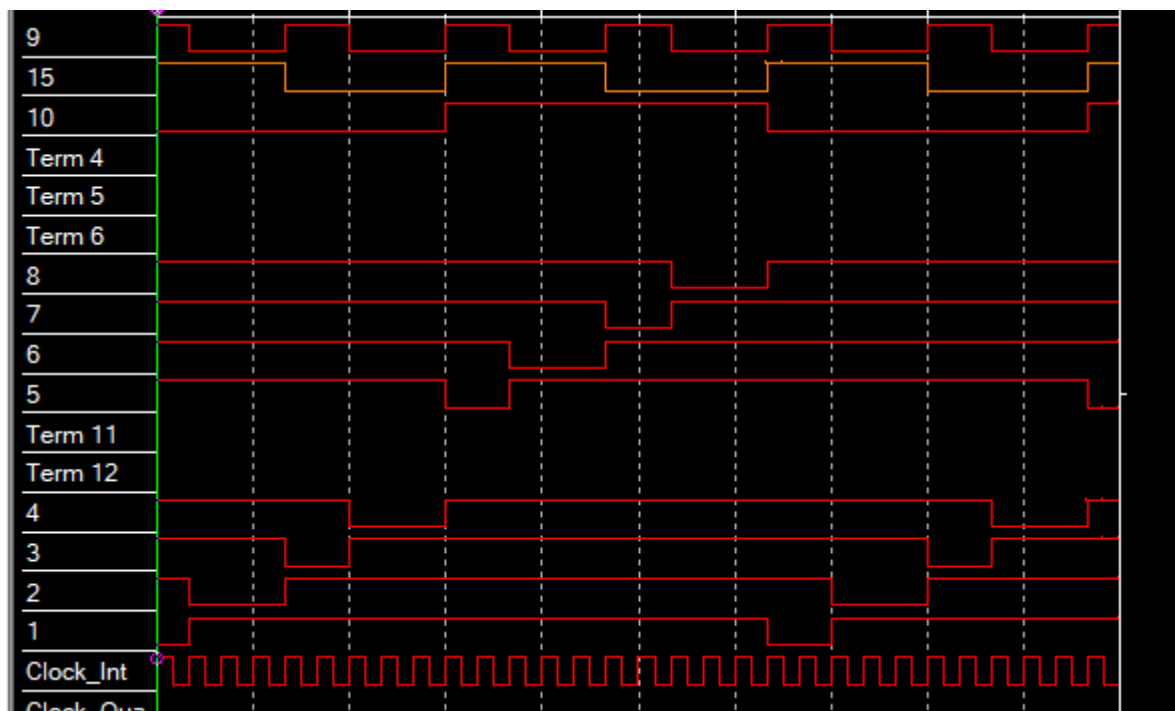


Рис. 18 (временная диаграмма для схемы на рис.17)

Таблица истинности										
Входы			Выходы							
A_1	A_2	A_3	F_1	F_2	F_3	F_4	F_5	F_6	F_7	F_8
0	0	0	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	1	1	1	1
0	1	0	1	1	0	1	1	1	1	1
0	1	1	1	1	1	0	1	1	1	1
1	0	0	1	1	1	1	0	1	1	1
1	0	1	1	1	1	1	1	0	1	1
1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	0

Рис. 19 (таблица истинности трехвходового дешифратора)

3. Исследовать работу дешифратора ИС КР531ИД14.

ИС 74LS139 содержит два дешифратора DC 2-4 с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции, ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.

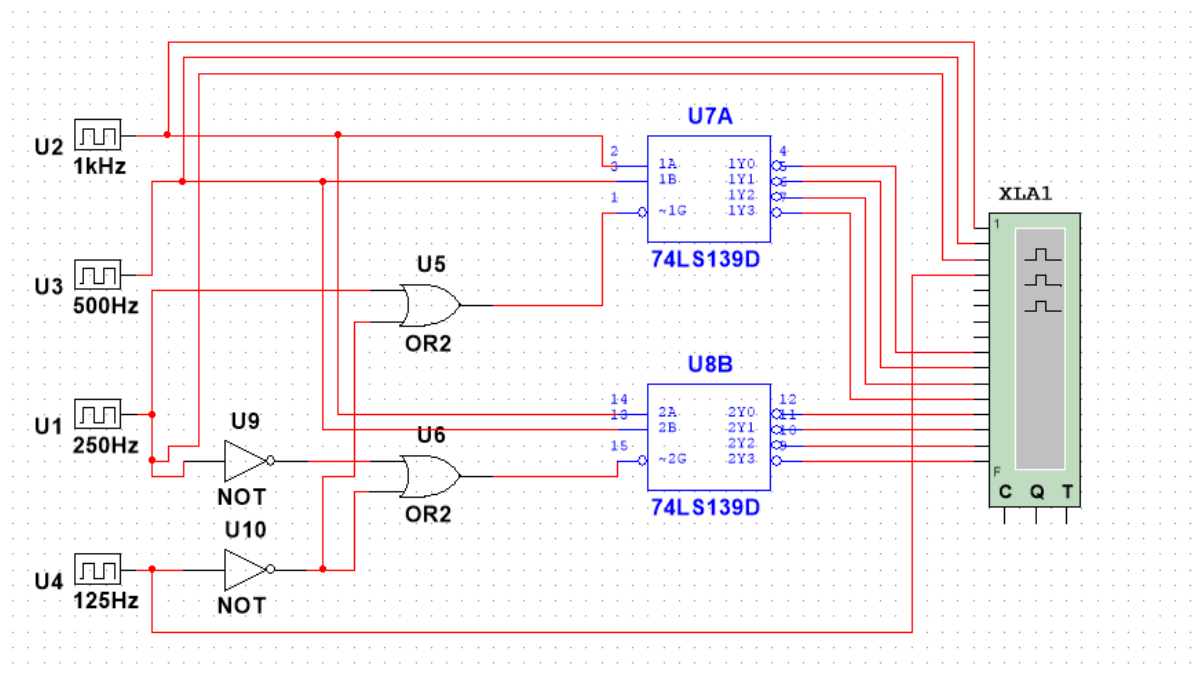


Рис. 20 (схема построение дешифратора ИС КР531ИД14)

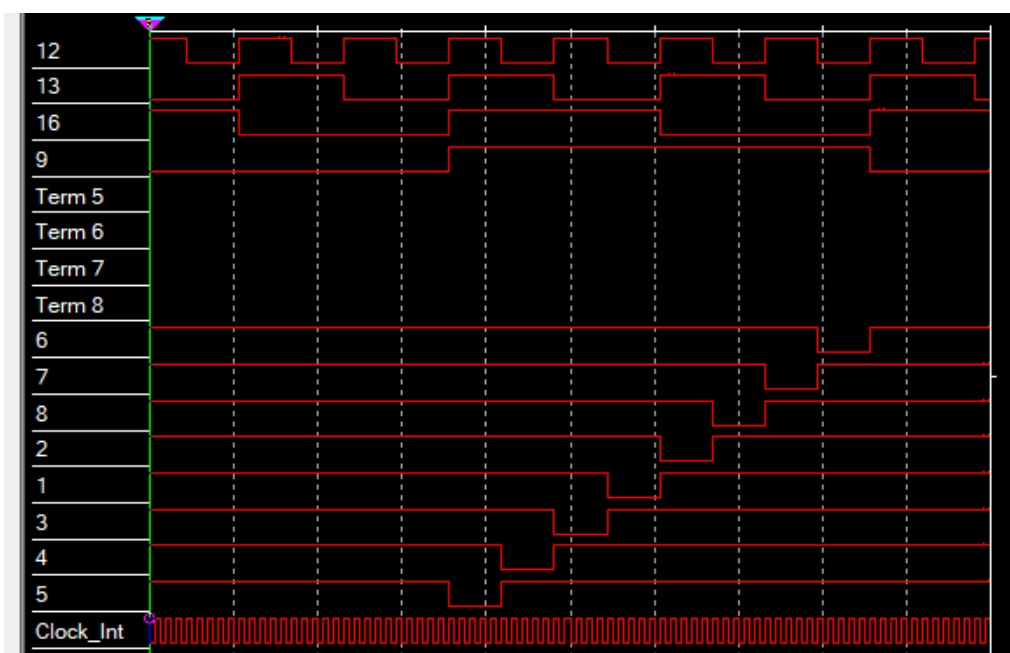


Рис. 21 (временная диаграмма для схемы на рис.20)

4. Исследовать работу дешифратора ИС 533ИД7.

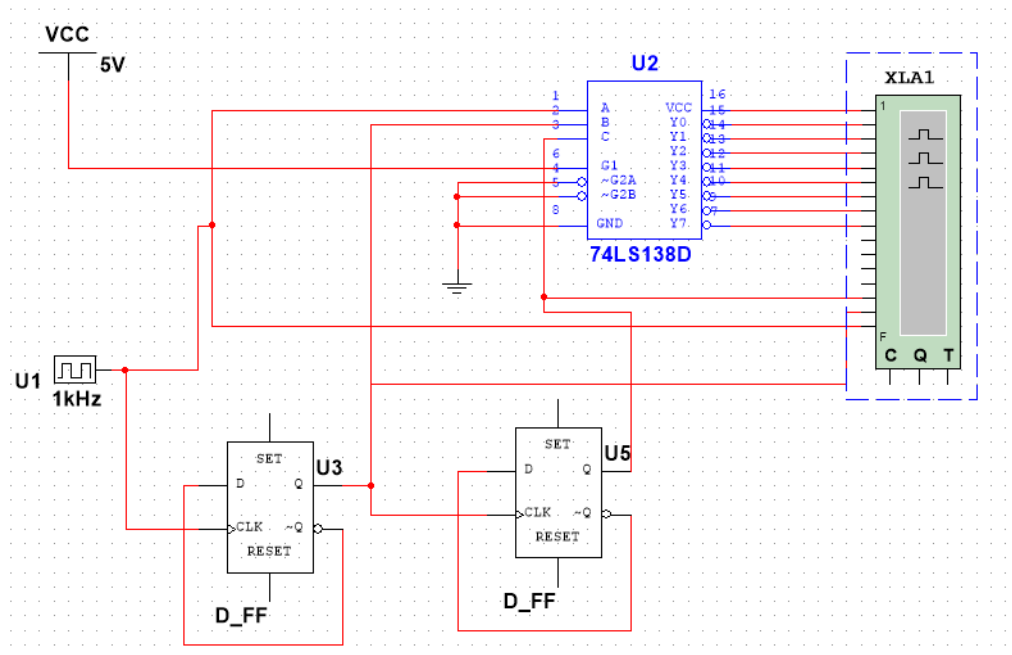


Рис. 22 (схема построение дешифратора ИС 533ИД7)

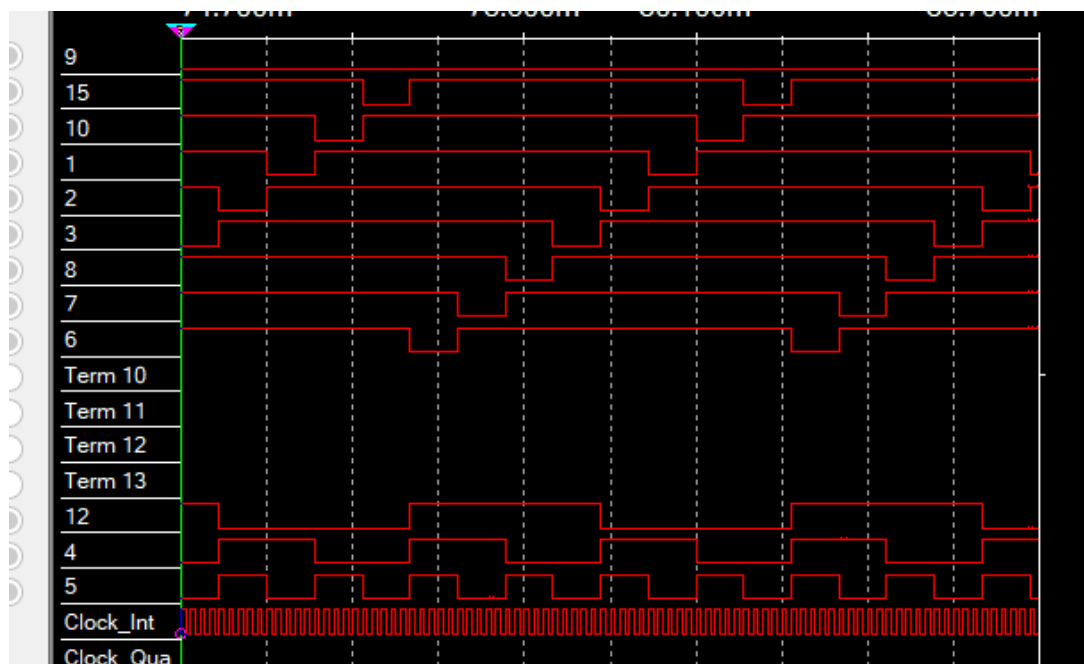


Рис. 23 (временная диаграмма для схемы на рис.22)

5. Схема дешифратора DC 5-32 согласно методике наращивания числа входов

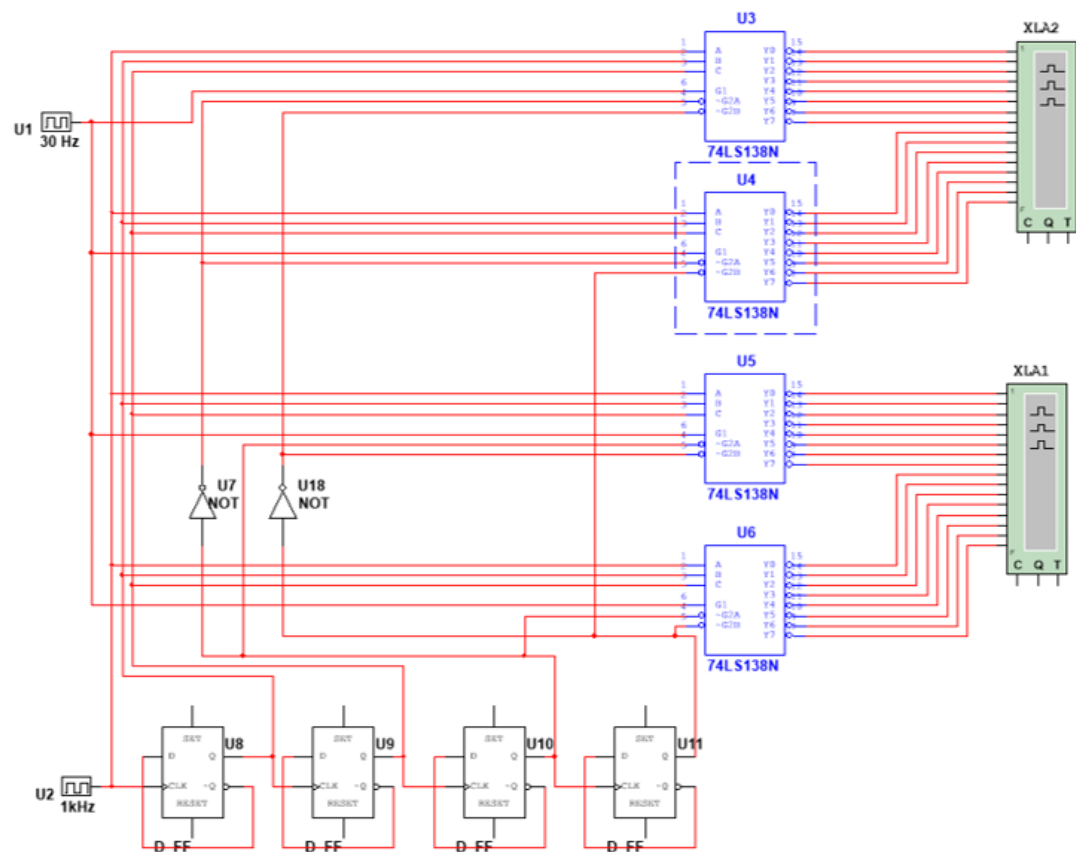
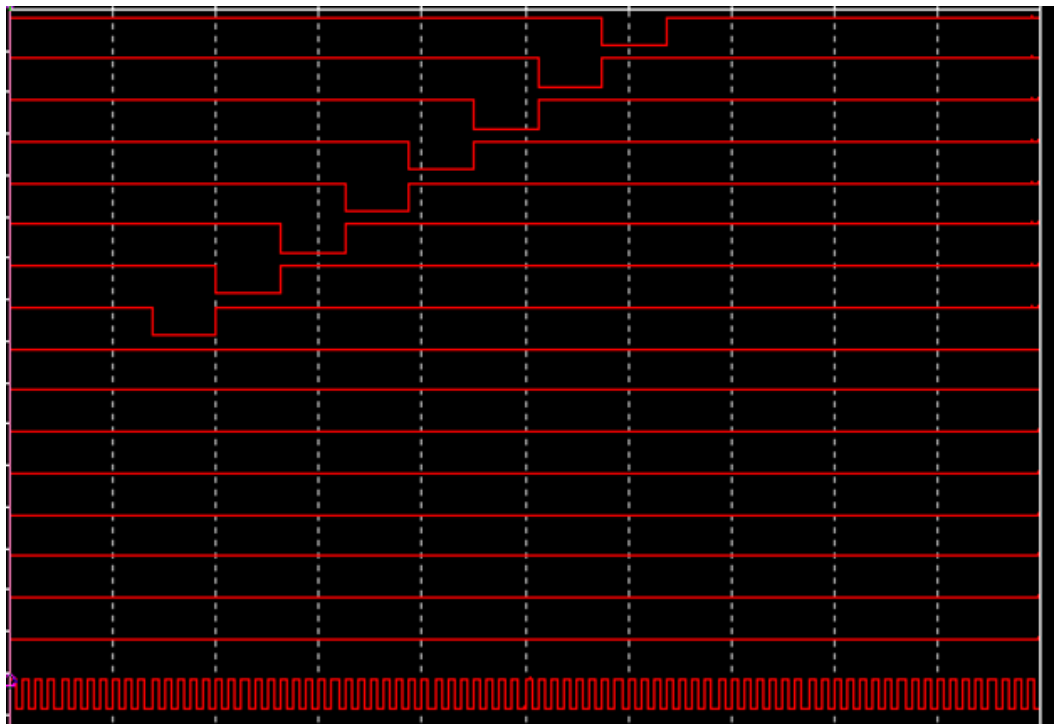


Рис. 24 (схема построение дешифратора)



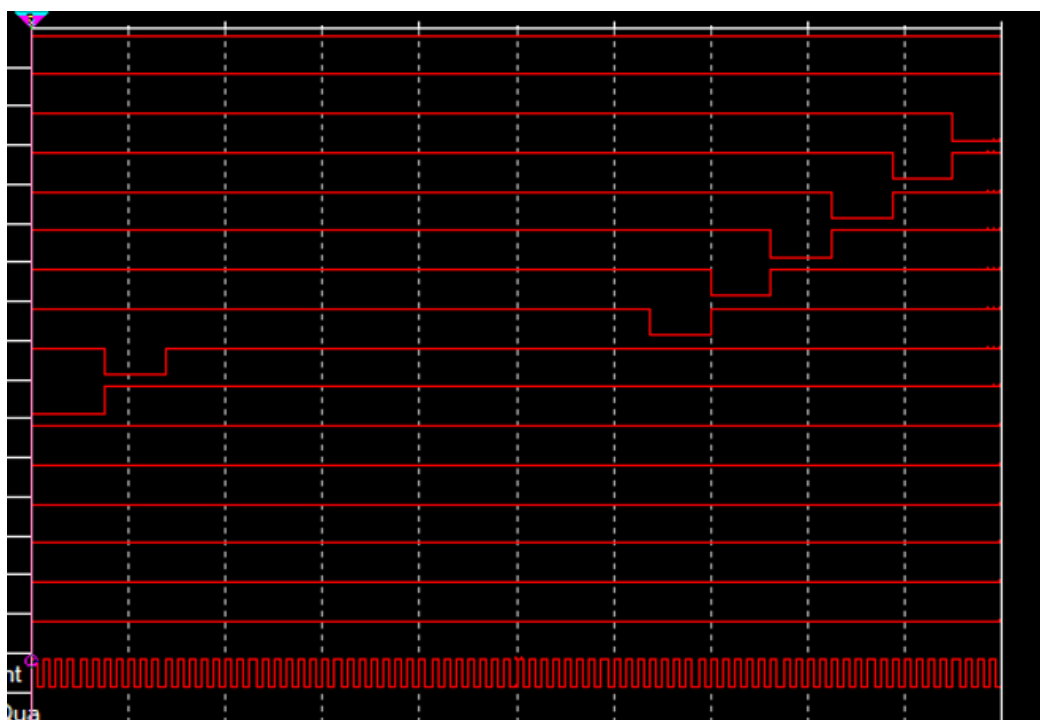


Рис. 25-26 (временные диаграммы для схемы на рис.24)

Вывод

В результате данной лабораторной работы были изучены принципы построения и практического применения, а также экспериментально исследованы триггеры.

Контрольные вопросы

1. Что называется дешифратором?

Дешифратор - это комбинационный узел с n входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору.

2. Какой дешифратор называется полным (неполным)?

Полный – $N = 2^n$, при меньшем числе выходов - неполный.

3. Определите закон функционирования дешифратора аналитически и таблично. Функционирование дешифратора определяется таблицей истинности:

Входы							Выходы					
EN	A_{n-1}	A_{n-2}	A_{n-3}	...	A_1	A_0	F_0	F_1	F_2	...	F_{N-2}	F_{N-1}
0	x	x	x	...	x	x	0	0	0	...	0	0
1	0	0	0	...	0	0	1	0	0	...	0	0
1	0	0	0	...	0	1	0	1	0	...	0	0
1	0	0	0	...	1	0	0	0	1	...	0	0
...
...

4. Поясните основные способы построения дешифраторов.

Линейный дешифратор строится в соответствии с системой из предыдущего вопроса, и представляет собой конъюнкторов или логических элементов (ЛЭ) ИЛИ-НЕ с входами каждый при отсутствии стробирования и с входами - при его наличии.

Пирамидальный дешифратор. Строится на основе последовательной (каскадной) реализации выходных функций. На первом этапе реализуются конъюнкции двух переменных. На втором – все конъюнкции трех переменных путем логического умножения каждой ранее полученной конъюнкции двух переменных на переменную. На третьем этапе каждую из полученных выше конъюнкций трех переменных умножают на и т.д. Таким образом, на каждом следующем этапе получают вдвое больше конъюнкций, чем на предыдущем. Пирамидальные дешифраторы независимо от числа их входов строятся на основе только двухвходовых конъюнкторов.

5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками? Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками). Стробирующий сигнал на этом входе не должен быть активным во время переходных процессов в дешифраторе.

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Пусть для построения сложного дешифратора $n - N$ используются простые дешифраторы $n_1 - N_1$, причем $n_1 \ll n$, следовательно и $N_1 \ll N$.

1. Число каскадов равно n / n_1 . Если K – целое число, то во всех каскадах используются полные дешифраторы $n_1 - N_1$. Если K – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор $n_1 - N_1$.

2. Количество простых дешифраторов $n_1 - N_1$ в выходном каскаде равно N / N_1 , в предвыходном - $N / (N_1)^2$, в предпредвыходном - $N / (N_1)^3$ и т.д.; во входном каскаде - $N / (N_1)^K$. Если $N / (N_1)^K$ – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.

3. В выходном каскаде дешифрируются n_1 младших разрядов адреса сложного дешифратора, в предвыходном – следующие n_1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n_1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n_1 младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.

4. Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т.д.