

数 字 逻 辑

Digital Logic Circuit

丁 贤 庆

ahhfdxq@163.com

第二次实验时间

地点：电气楼**507**房间

信安1班：本周六上午8:00---9:40

信安2班：本周六上午10:10---11:50

计科1班：本周六下午14:00---15:40

计科2班：本周日上午8:00---9:40

计科3班：本周日上午10:10---11:50

Home work (P350)

- ✎ 1、本周六/周日有实验。地点：电气实验楼507房间
- ✎ 2、期末考试里，第六章有30分左右的考题。
- ✎ 3、本周四课上，会有10分钟的课堂小测。
- ✎ 5、本次的作业(不用抄题目)
 - ✎ 6.5.13
 - ✎ 6.5.15
 - ✎ 6.5.19

(2)设计二进制同步加1计数器

直接分析状态表，采用T触发器实现

T触发器特性方程:

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

T	Q^{n+1}
0	Q^n
1	\overline{Q}^n

T=0时:

$$Q^{n+1} = Q^n$$

T=1时:

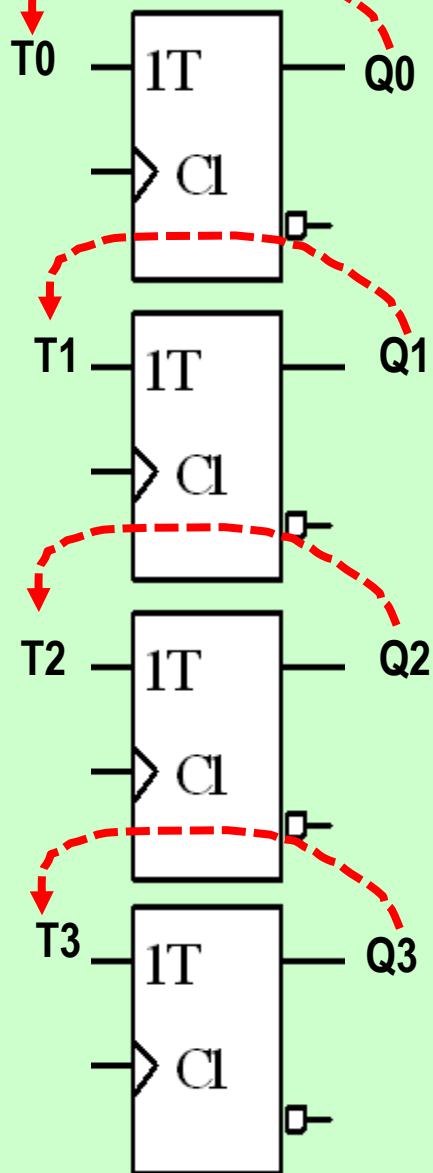
$$Q^{n+1} = \overline{Q}^n$$

反之，就是说：如果要保持Q值不变，只要使T=0即可。要保持Q值状态翻转，只要使T=1即可。

计数顺序	电路状态				进位输出
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	1
16	0	0	0	0	0

(2)设计二进制同步加1计数器

直接分析状态表，采用T触发器实现



计数顺序	电路状态				进位输出
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	1
16	0	0	0	0	0

(2)设计二进制同步加1计数器

直接分析状态表，采用T触发器实现

Q_0 在每个CP都翻转一次

FF_0 可采用 $T_0=1$ 的T触发器

Q_1 仅在 $Q_0=1$ 后的下一个CP到来时翻转

FF_1 可采用 $T_1=Q_0$ 的T触发器

Q_2 仅在 $Q_0=Q_1=1$ 后的下一个CP到来时翻转

FF_2 可采用 $T_2=Q_0Q_1$ 的T触发器

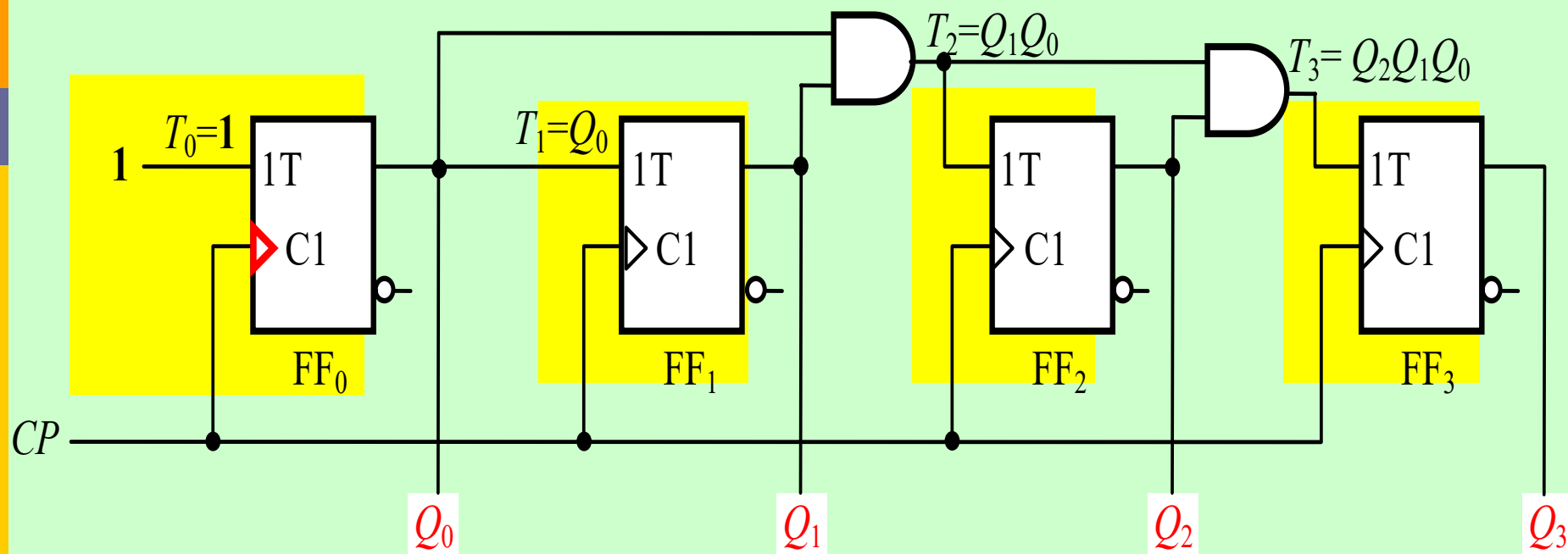
Q_3 仅在 $Q_0=Q_1=Q_2=1$ 后的下一个CP到来时翻转

FF_3 可采用 $T_3=Q_0Q_1Q_2$ 的T触发器

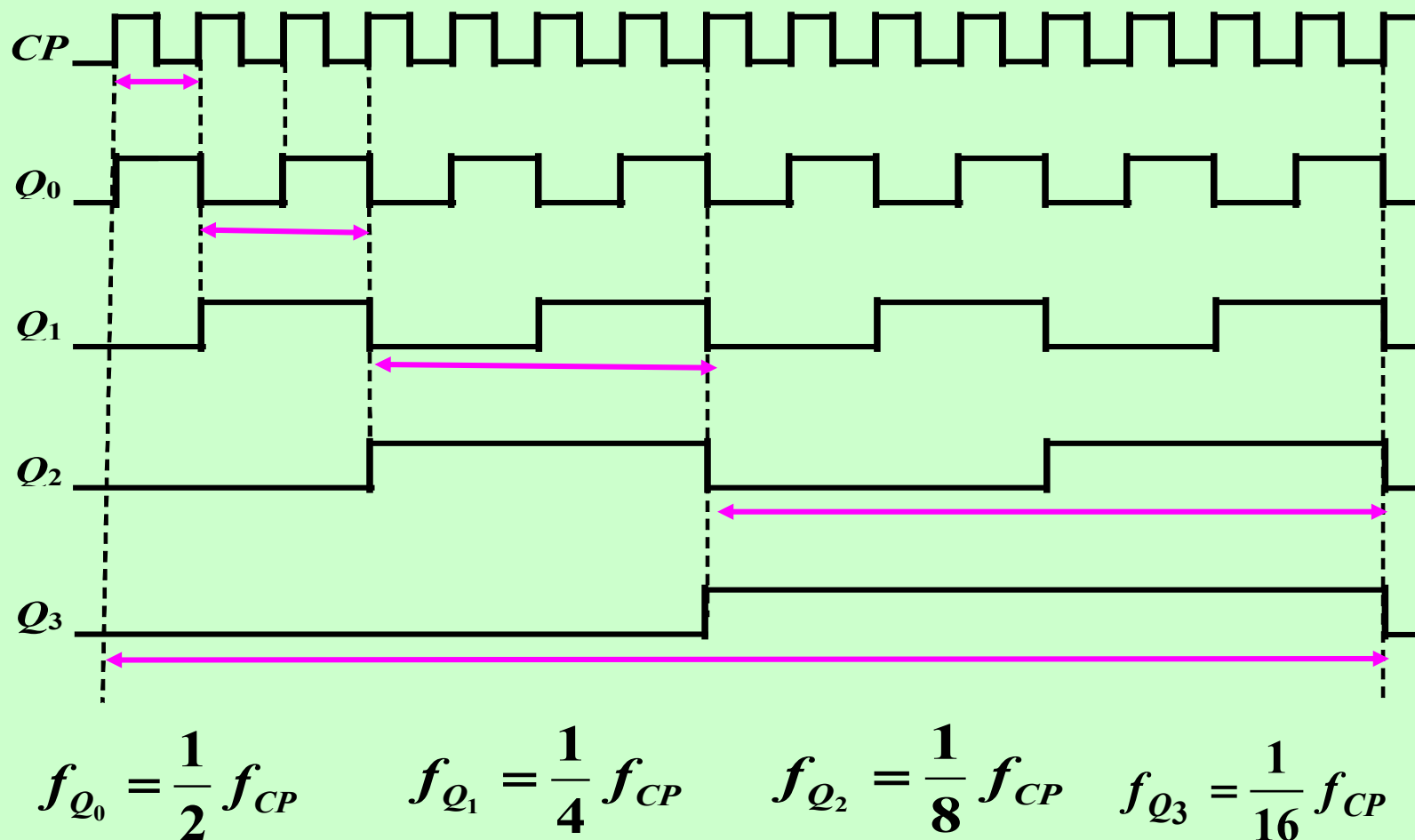
计数顺序	电路状态				进位输出
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	1
16	0	0	0	0	0

(a) 4位二进制同步加计数器逻辑图---由T触发器构成

$$\begin{cases} T_0 = 1 \\ T_1 = Q_0 \\ T_2 = Q_1 Q_0 \\ T_3 = Q_2 Q_1 Q_0 \end{cases}$$



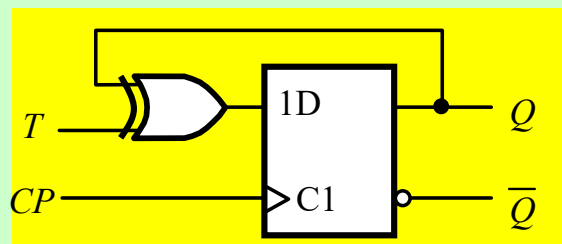
4位二进制同步加计数器时序图



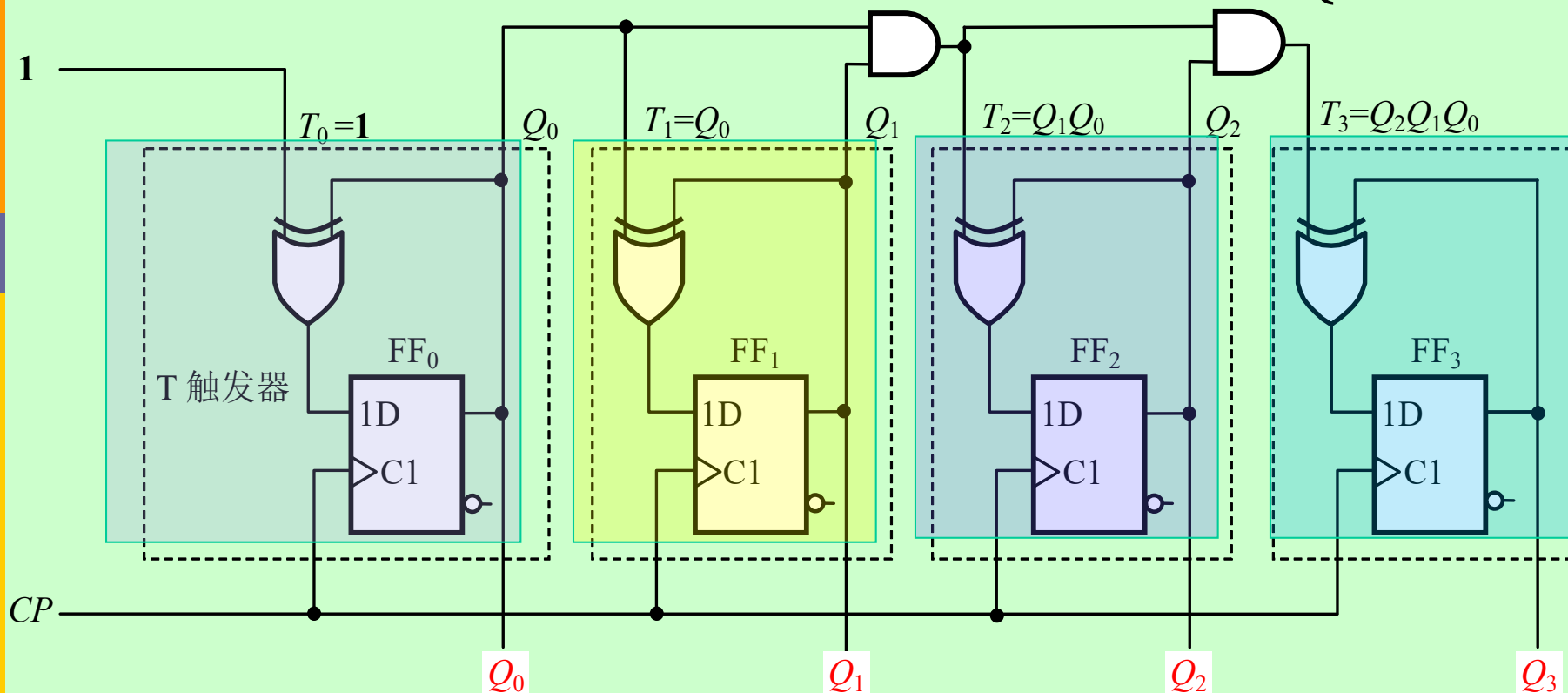
结论: ➤ 计数器的功能: 不仅可以计数也可作为分频器。

(b) 4位二进制同步加计数器逻辑图---由D触发器构成

$$Q^{n+1} = D = T\overline{Q^n} + \overline{T}Q^n$$



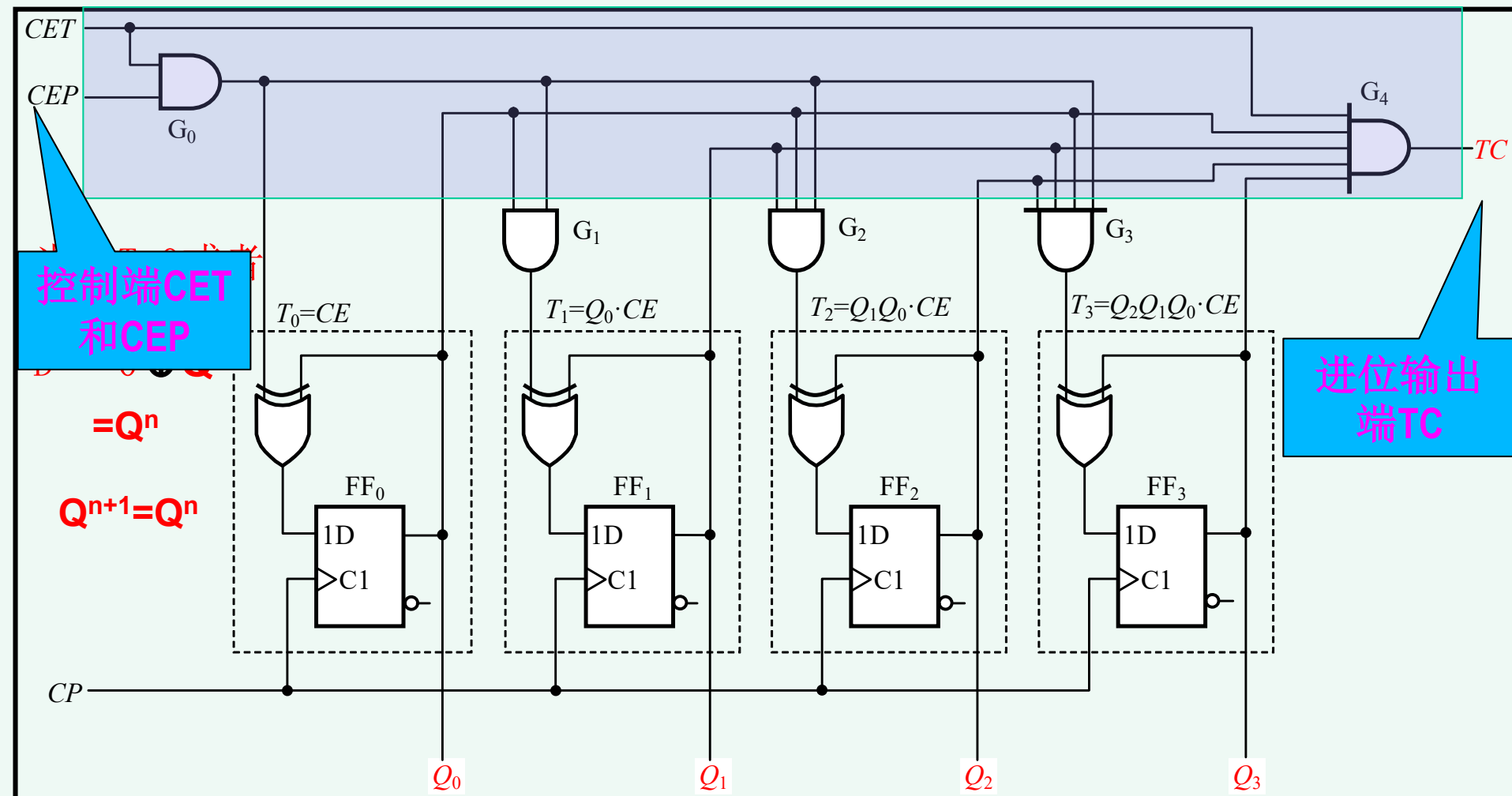
$$\begin{cases} T_0 = 1 \\ T_1 = Q_0 \\ T_2 = Q_1 Q_0 \\ T_3 = Q_2 Q_1 Q_0 \end{cases}$$



(c) 在上页电路基础上添加计数使能和并行进位引脚，如下图：

计数使能引脚：控制停止计数（保持不变， $Q^{n+1}=Q^n$ ）和允许计数

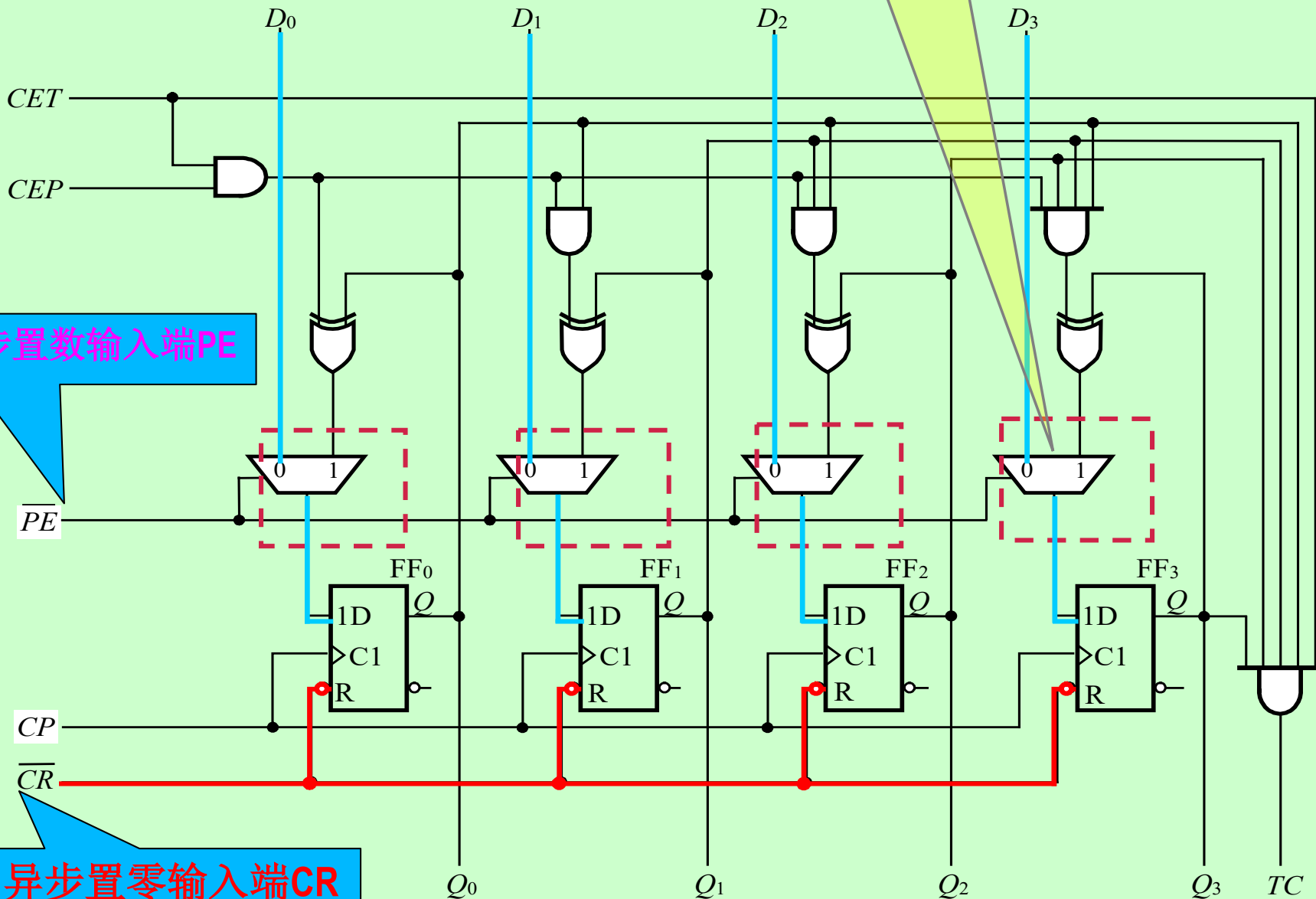
引脚CET、CEP为计数使能，并行进位： $TC = Q_3 Q_2 Q_1 Q_0 \cdot CET$



芯片74LVC161

2选1数据选择器

同步置数输入端PE



清零

异步置零输入端CR

根据此图可以写出74LVC161的4个工作特性（参见下页的表格）

计数器芯片74LVC161 逻辑功能表

输 入									输 出				
清零	预置	使能		时钟	预置数据输入				计 数				进位
\overline{CR}	\overline{PE}	\overline{CEP}	\overline{CET}	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	TC
L	×	×	×	×	×	×	×	×	L	L	L	L	L
H	L	×	×	↑	D_3	D_2	D_1	D_0	D_3	D_2	D_1	D_0	*
H	H	L	×	×	×	×	×	×	保 持				*
H	H	×	L	×	×	×	×	×	保 持				*
H	H	H	H	↑	×	×	×	×	计 数				*

\overline{CR} 的作用?

清零端

\overline{PE} 的作用?

并行置数端

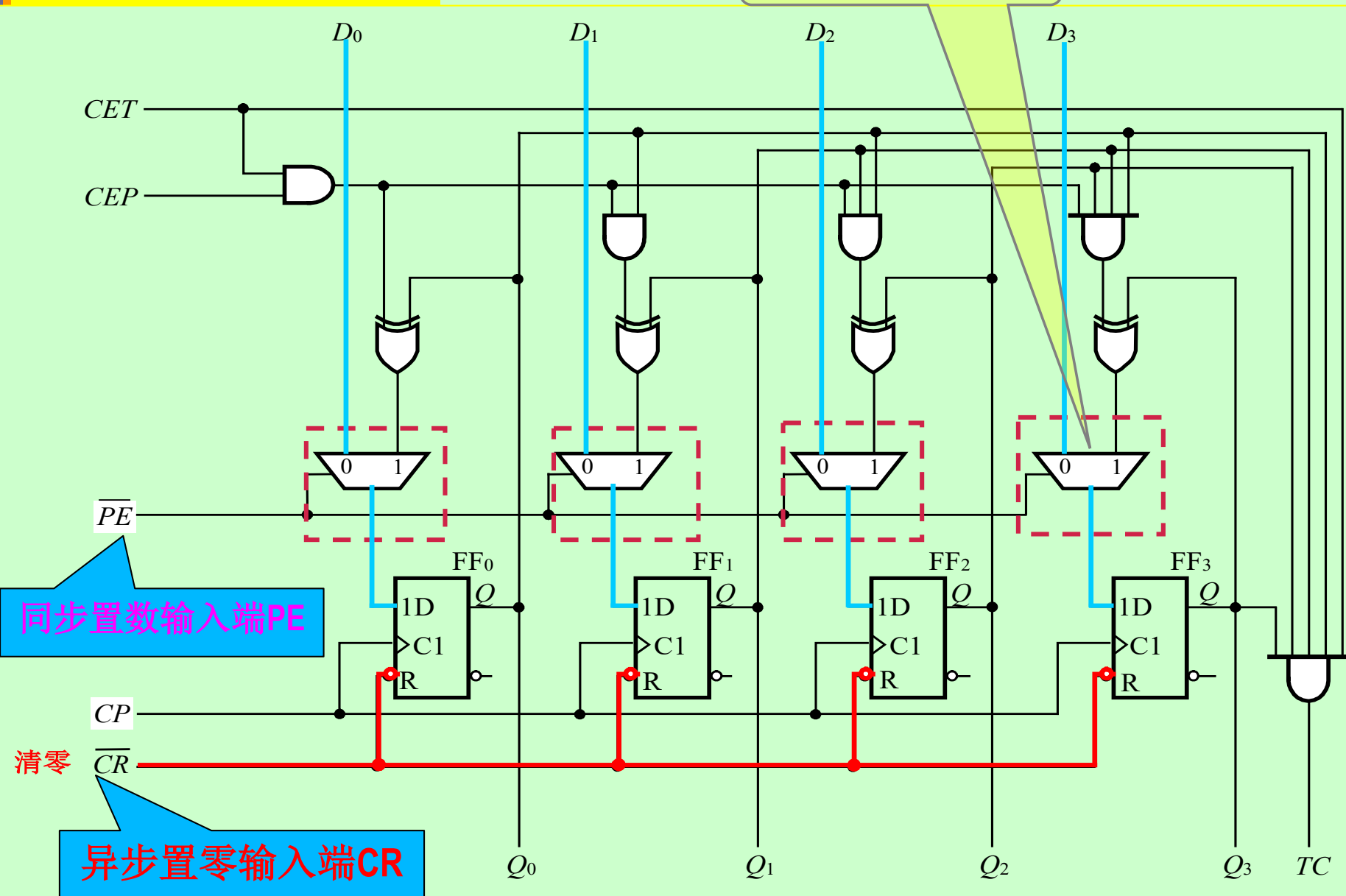
计数器

二进制同步加1计数器状态转换表:

计数顺序	电路状态				进位输出
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	0
11	1	0	1	1	0
12	1	1	0	0	0
13	1	1	0	1	0
14	1	1	1	0	0
15	1	1	1	1	1
16	0	0	0	0	0

芯片74LVC161

2选1数据选择器



根据此图可以写出74LVC161的4个工作特性（参见下页的表格）

计数器芯片74LVC161 逻辑功能表

输 入									输 出				
清零	预置	使能		时钟	预置数据输入				计 数				进位
\overline{CR}	\overline{PE}	\overline{CEP}	\overline{CET}	CP	D_3	D_2	D_1	D_0	Q_3	Q_2	Q_1	Q_0	TC
L	×	×	×	×	×	×	×	×	L	L	L	L	L
H	L	×	×	↑	D_3	D_2	D_1	D_0	D_3	D_2	D_1	D_0	*
H	H	L	×	×	×	×	×	×	保 持				*
H	H	×	L	×	×	×	×	×	保 持				*
H	H	H	H	↑	×	×	×	×	计 数				*

\overline{CR} 的作用？

清零端

\overline{PE} 的作用？

并行置数端

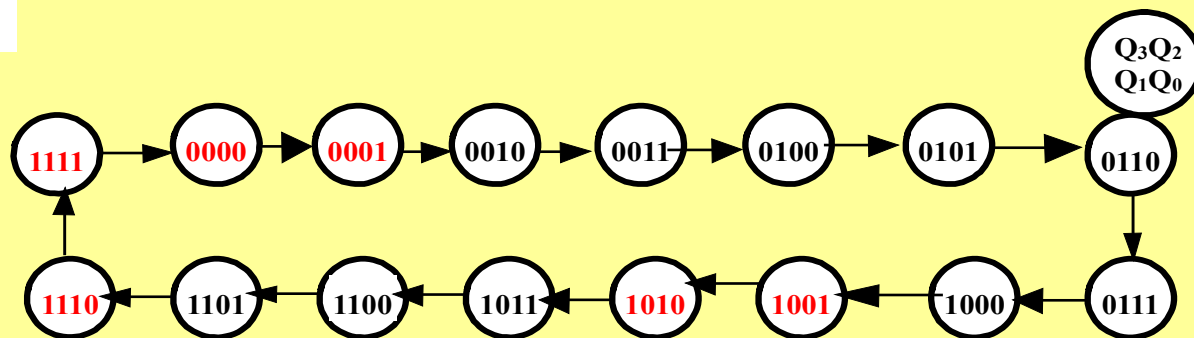
74LVC161的功能表。

输入					功能	
CP	\overline{CR}	\overline{PE}	CEP	CET	说明	解释
×	0	×	×	×	异步复位	$Q_3Q_2Q_1Q_0=0000$
↑	1	0	×	×	同步置数	$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}=D_3D_2D_1D_0$
×	1	1	0	1	保持	保持
×	1	1	×	0		保持
↑	1	1	1	1	计数	加1计数

如何才能得到N进制计数器？

1、反馈清零法：利用异步清零输入端**CR**，得到**N**进制计数器

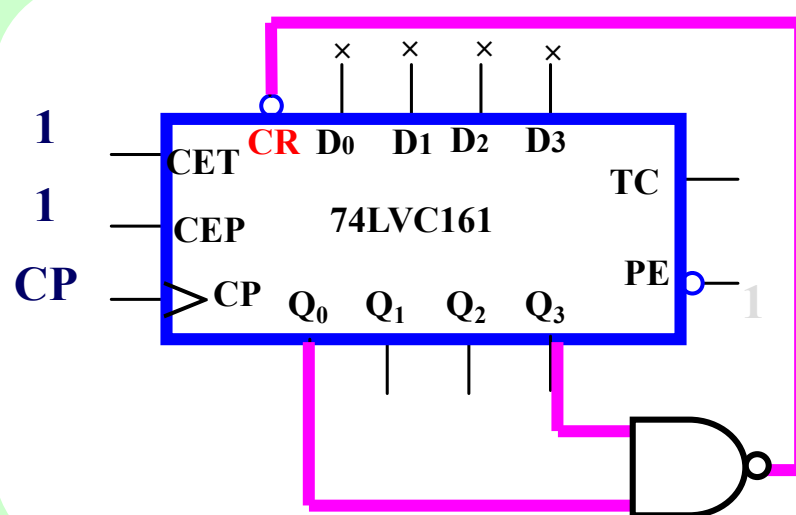
2、反馈置数法：利用同步置数端**PE**，在**M**进制计数器的计数过程中，跳过**M-N**个状态，得到**N**进制计数器



(4) 应用 例 用74LVC161构成九进制加计数器。

(a) 反馈清零法：利用异步清零输入端，在M进制计数器的计数过程中，跳过M-N-1个状态，得到N进制计数器的方法。

CP	Q ₃	Q ₂	Q ₁	Q ₀
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
...
8	1	0	0	0
9	1	0	0	1
...
15	1	1	1	1



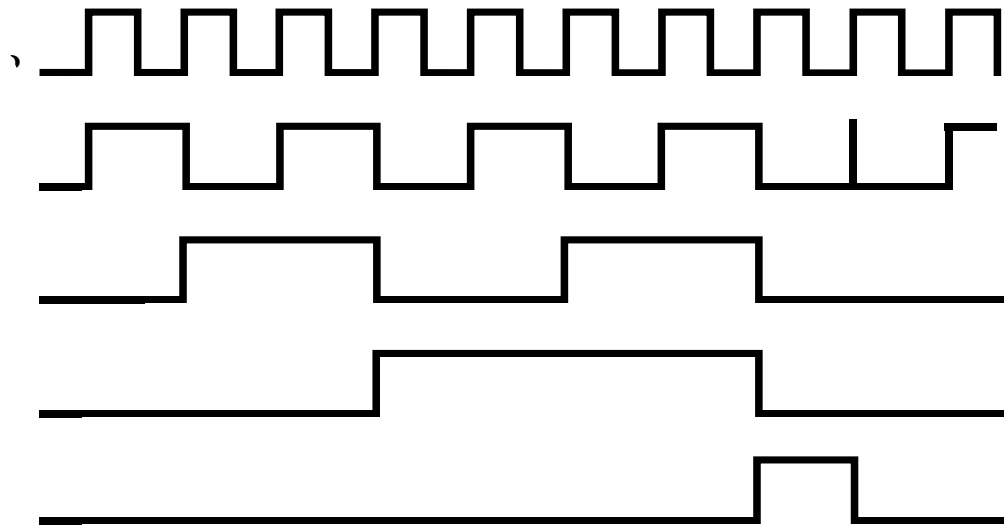
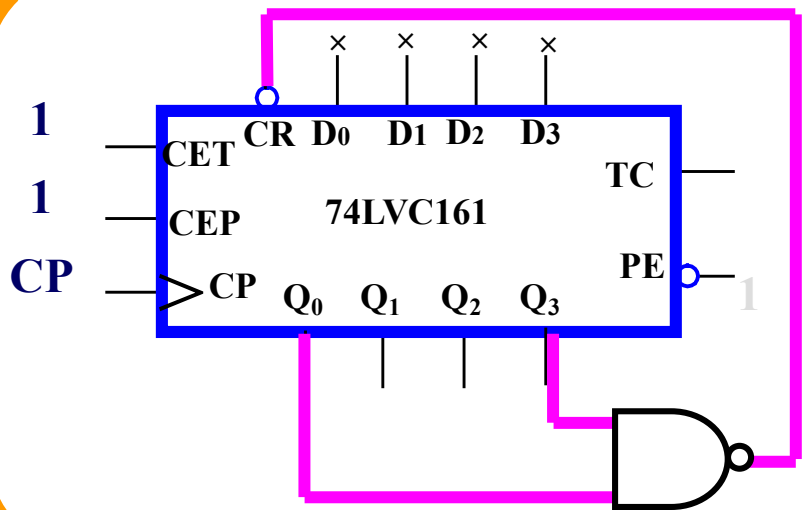
$$CR = \overline{Q_0 \cdot Q_3} = 0$$

采用异步清零法时，由于异步清零最后一个状态保持时间很短，通常忽略不计。

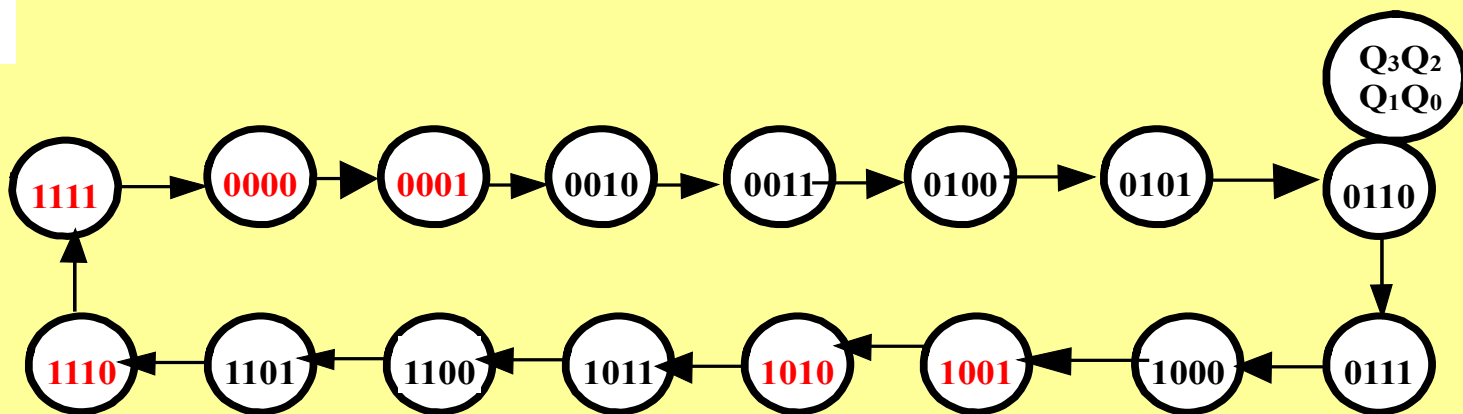
设法跳过16-10=6个状态

计数器的模：计数器状态图中闭合圈包含的稳定的有效状态的数目。本题中最后得到的是模9计数器

工作波形



状态图

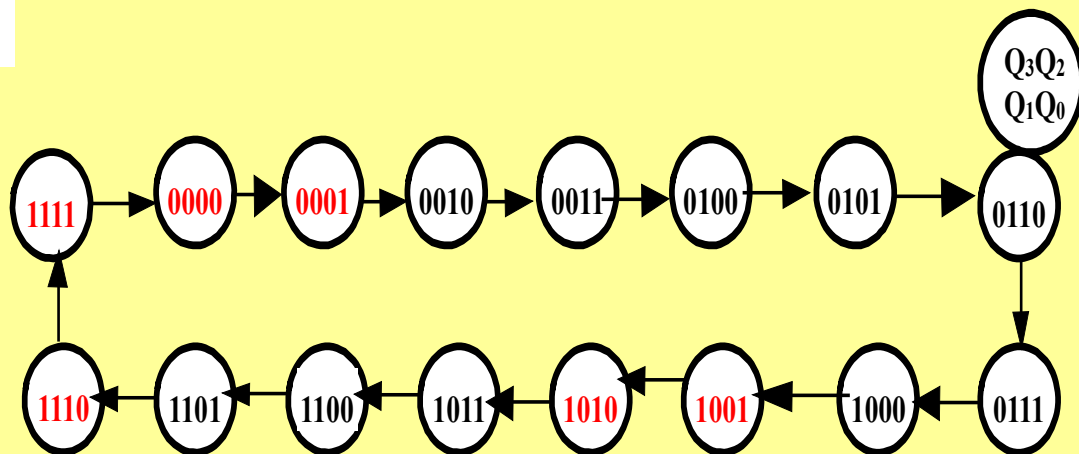
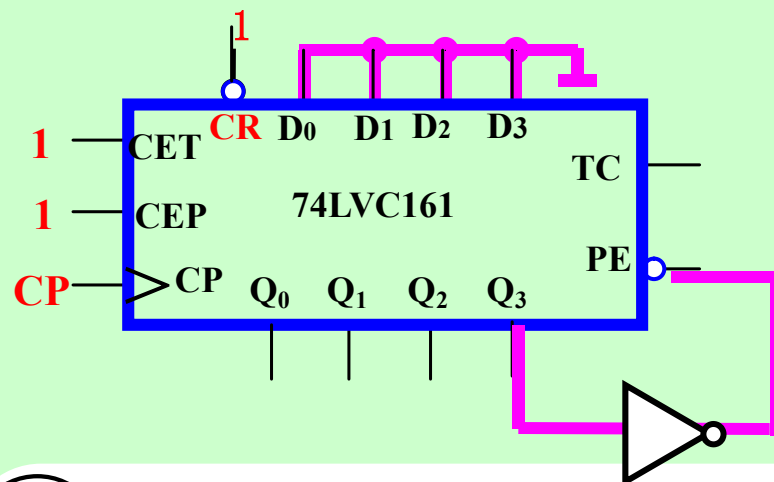


利用同步置数端构成九进制计数器

(b) 反馈置数法:利用同步置数端, 在M进制计数器的计数过程中, 跳过M-N个状态, 得到N进制计数器的方法。

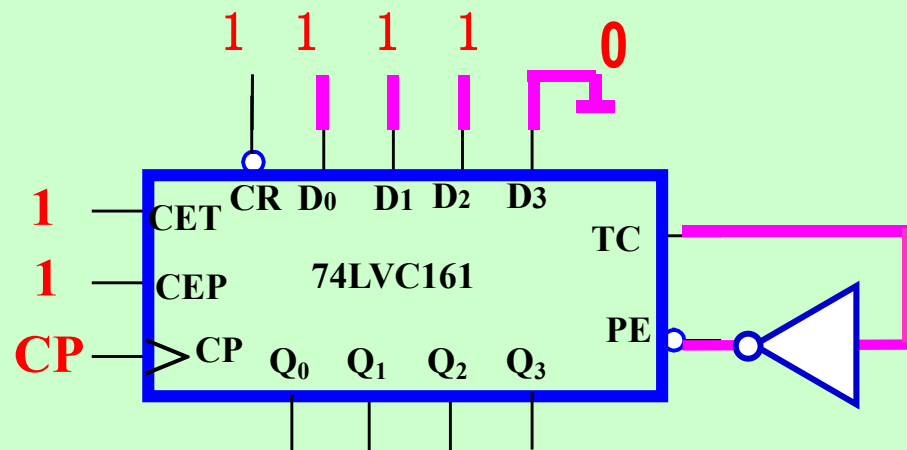
CP	Q ₃	Q ₂	Q ₁	Q ₀
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
...
8	1	0	0	0

$$PE = \overline{Q_3} = 0$$

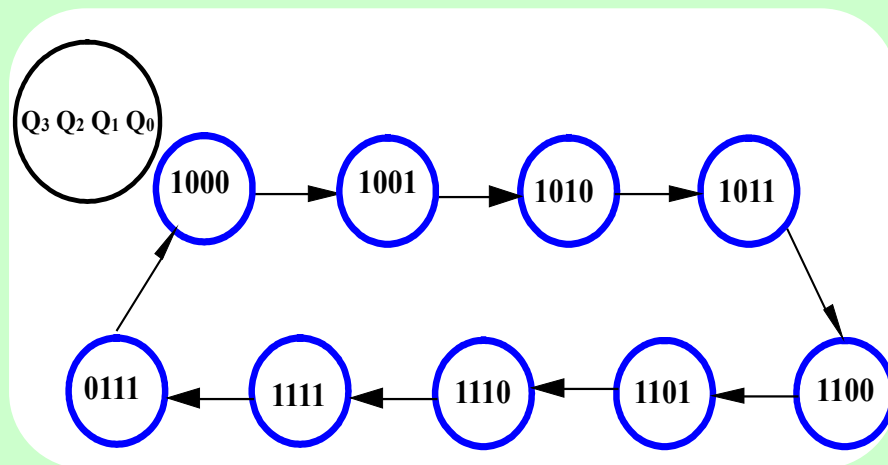


采用后九种状态作为有效状态，用**反馈置数法** 构成九进制加计数器。

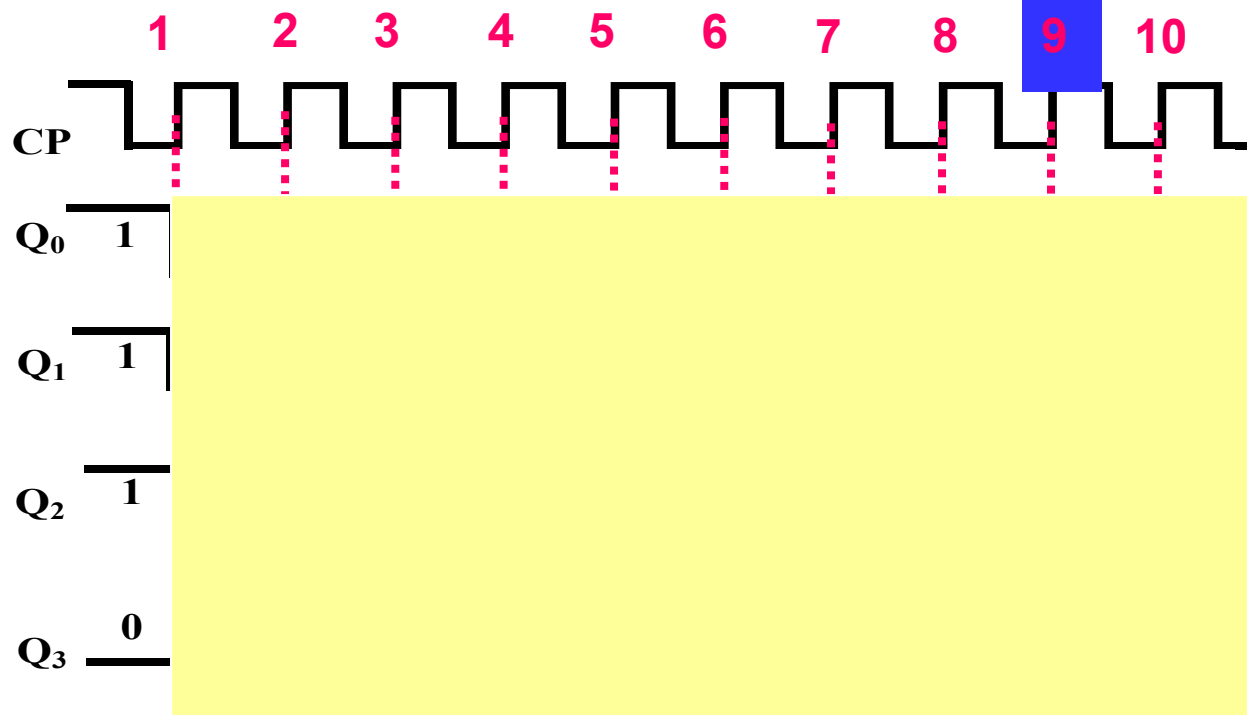
Q_3	Q_2	Q_1	Q_0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1



$$TC = CET \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0 = 1$$



波形图:

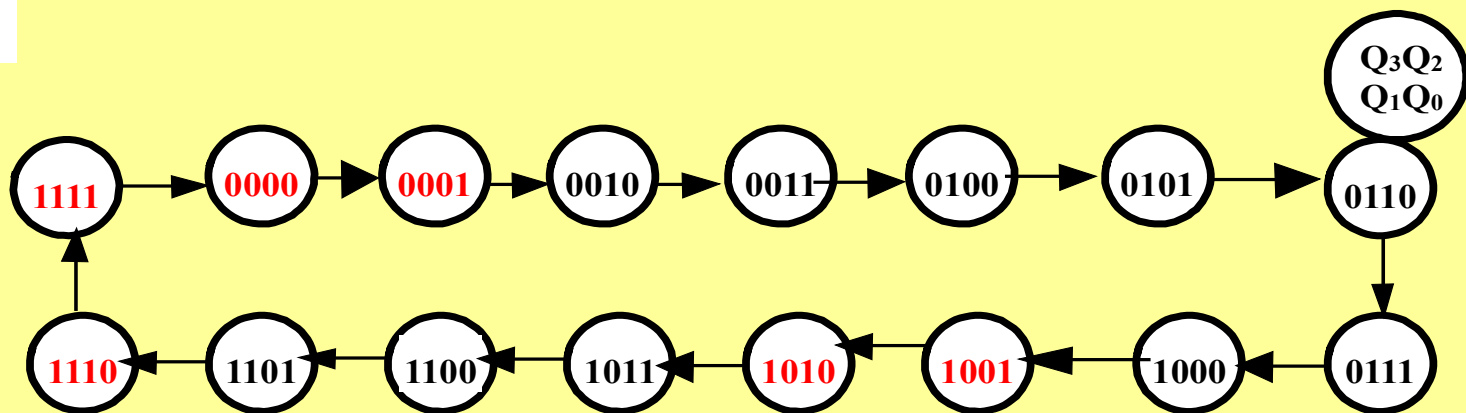


该计数器的模为9。

计数器的模：计数器状态图中闭合圈包含的稳定的有效状态的数目。本题中最后得到的是模9计数器

M=12

```
graph LR; 1111((1111)) --> 0000((0000)); 0000 --> 0001((0001)); 0001 --> 0010((0010)); 0010 --> 0011((0011)); 0011 --> 0100((0100)); 0100 --> 0101((0101)); 0101 --> 0110((0110)); 0110 --> 0111((0111)); 0111 --> 1000((1000)); 1000 --> 1001((1001)); 1001 --> 1010((1010)); 1010 --> 1011((1011)); 1011 --> 0000; 1110((1110)) --> 1111; 1101((1101)) --> 1110; 1100((1100)) --> 1101; 1100 --- Q3Q2Q1Q0((Q3Q2<br/>Q1Q0));
```

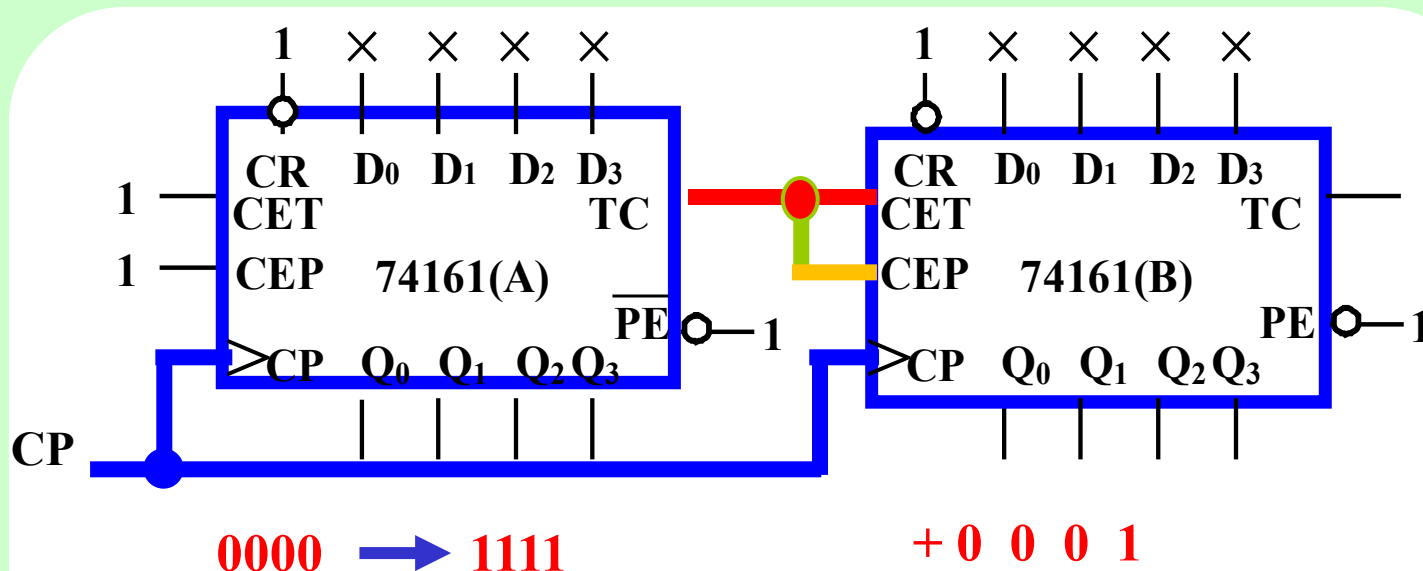


例 用74VC161组成256进制计数器。

解：设计思想

- 1片74161是16进制计数器
- $256 = 16 \times 16$
- 所以256进制计数器需用两片74161构成
- 片与片之间的连接通常有两种方式：
 - 并行进位（低位片的进位信号作为高位片的使能信号）
 - 串行进位（低位片的进位信号作为高位片的时钟脉冲，即异步计数方式）

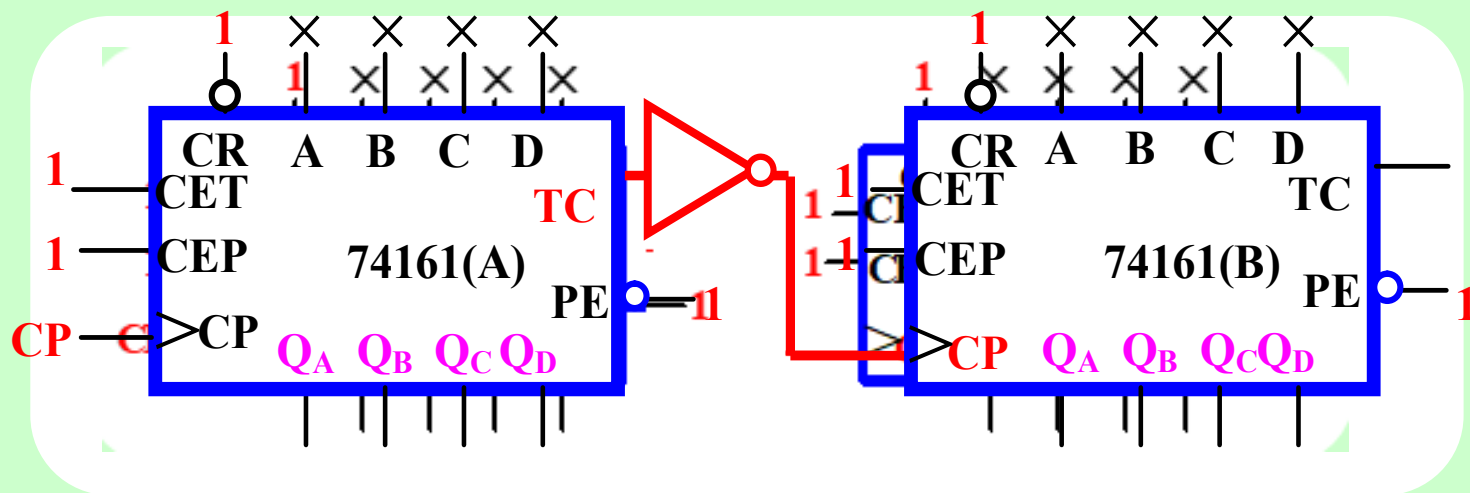
并行进位： 低位片的进位作为高位片的使能(采用同步时钟)



计数状态 : 0000 0000 ~ 1111 1111

N = 16 × 16 = 256

串行进位：低位片的进位作为高位片的时钟



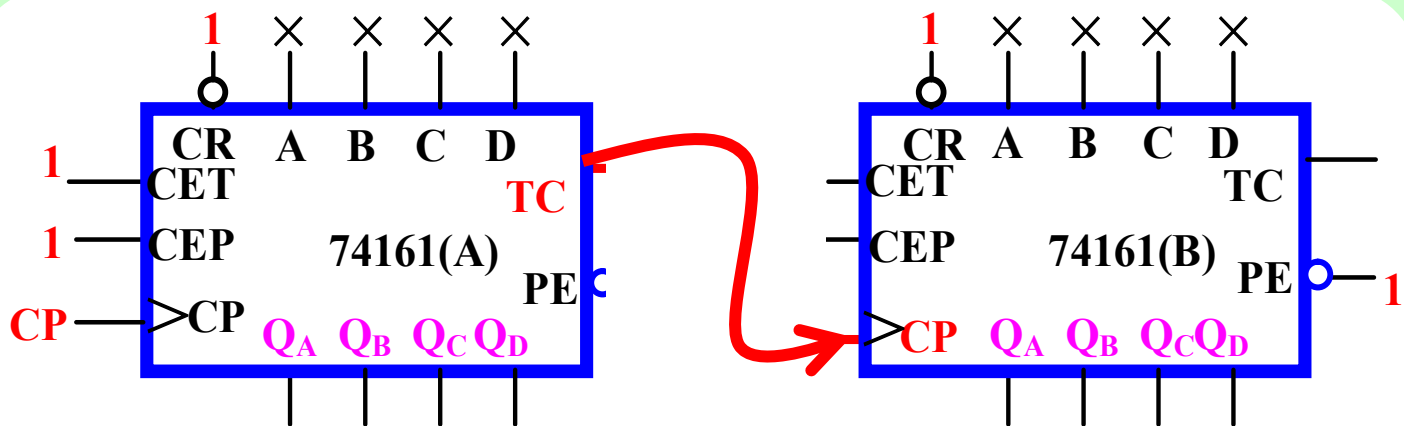
0000 → 1111 + 0 0 0 1

计数状态：0000 0000 ~ 1111 1111

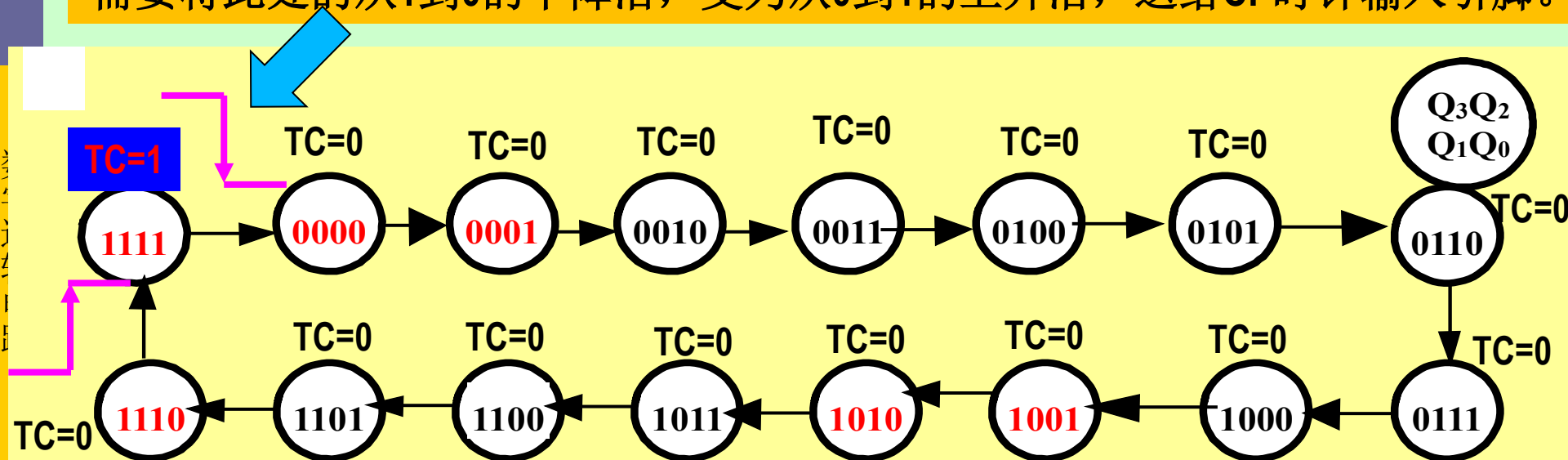
采用串行进位时，为什么低TC要经反相器后作为高位的CP？

加个反相器，是将TC由1变0的下降沿，变成161芯片所需要的由0变1的上升沿。

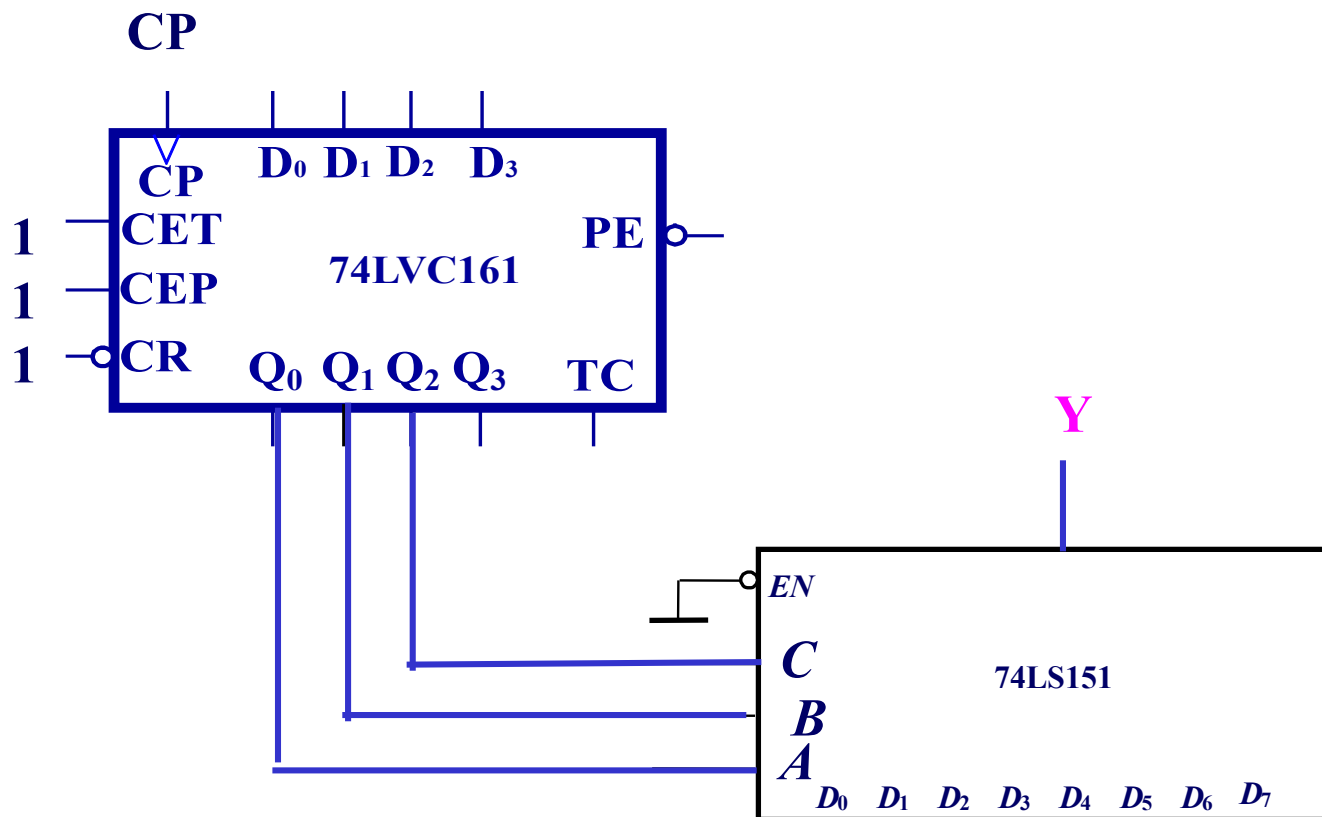
串行进位：低位片的进位作为高位片的时钟



需要将此处的从1到0的下降沿，变为从0到1的上升沿，送给CP时钟输入引脚。



在CP的作用下，Y端产生00010111循环序列信号



如要求Y端产生10110010循环序列信号，如何改变电路的连接？

3. 环形计数器

(1) 工作原理

① 基本环形计数器

Q_3 连线到 D_0 ，就构成基本环形计数器

置初态 $Q_3Q_2Q_1Q_0=0001$ ，

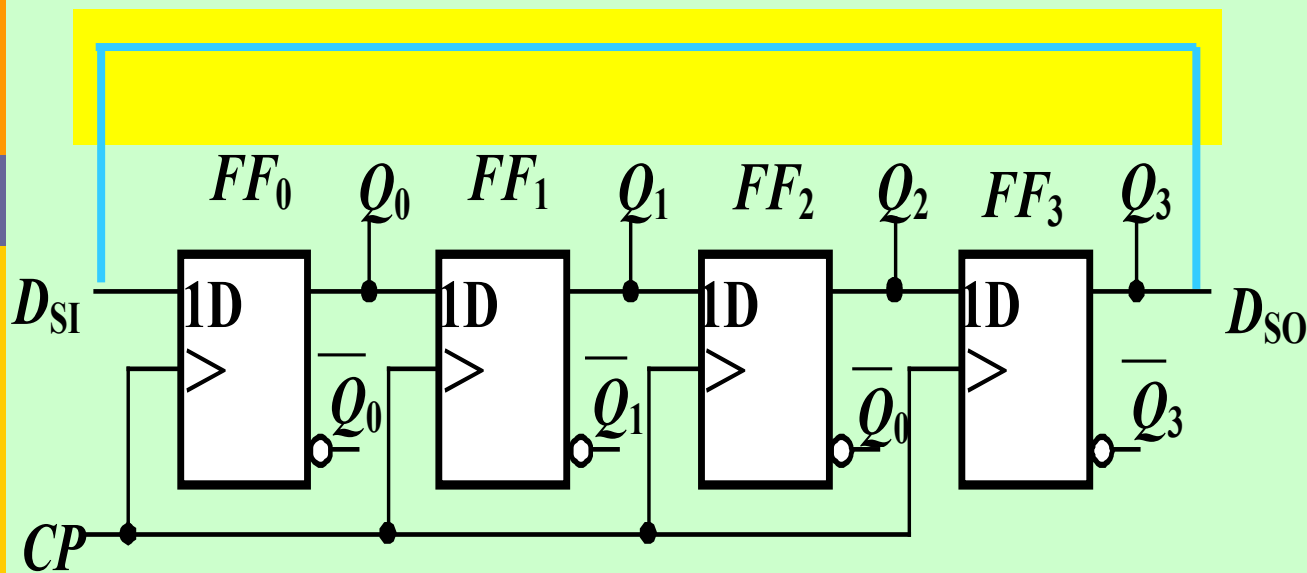
第一个 $CP: Q_3Q_2Q_1Q_0=0010$ ，

第二个 $CP: Q_3Q_2Q_1Q_0=0100$ ，

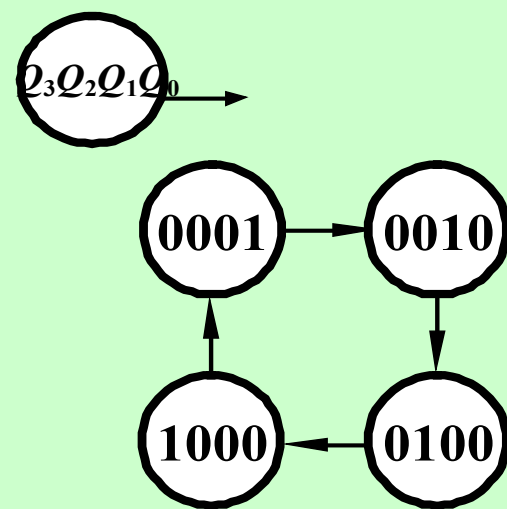
第三个 $CP: Q_3Q_2Q_1Q_0=1000$ ，

第四个 $CP: Q_3Q_2Q_1Q_0=0001$ ，

第五个 $CP: Q_3Q_2Q_1Q_0=0010$ ，



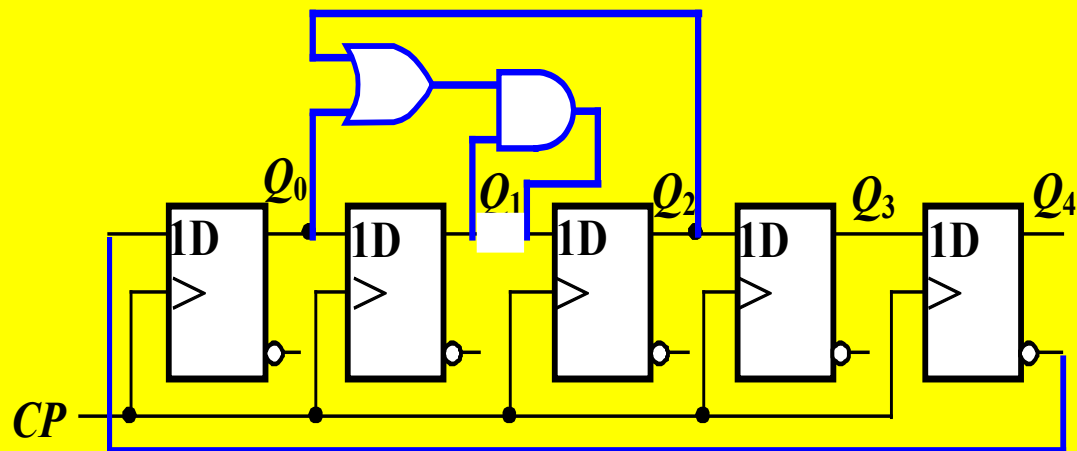
状态图



② 扭环形计数器

a、电路

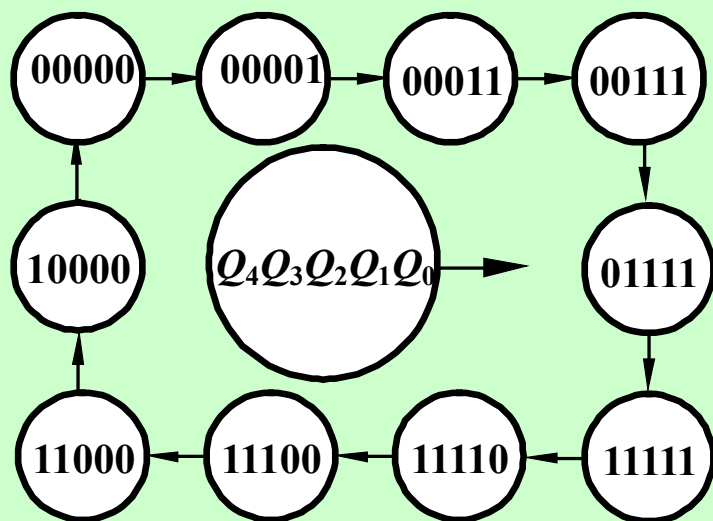
\bar{Q}_4 连线到 D_0 ，就构成扭环计数器



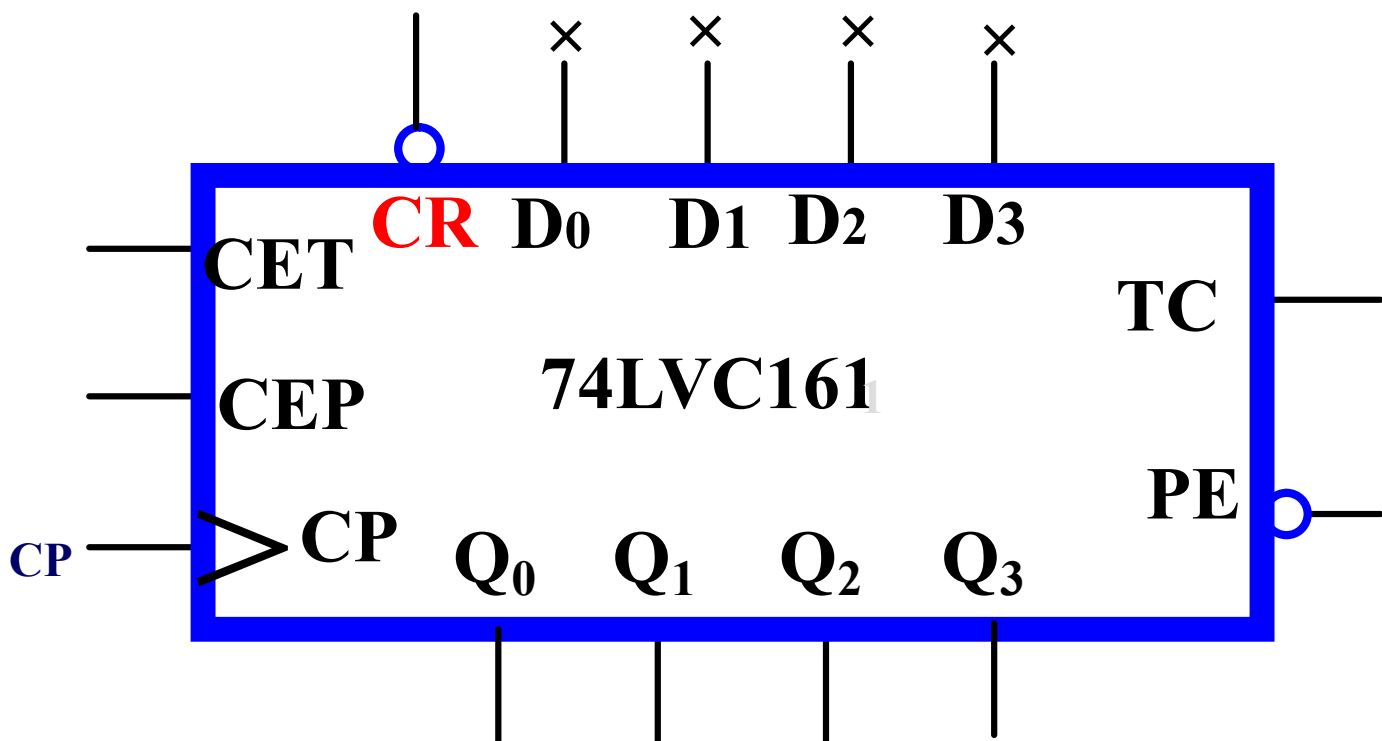
b、状态表

状态编号	Q_4	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0	0
1	0	0	0	0	1
2	0	0	0	1	1
3	0	0	1	1	1
4	0	1	1	1	1
5	1	1	1	1	1
6	1	1	1	1	0
7	1	1	1	0	0
8	1	1	0	0	0
9	1	0	0	0	0

c、状态图



74LVC161



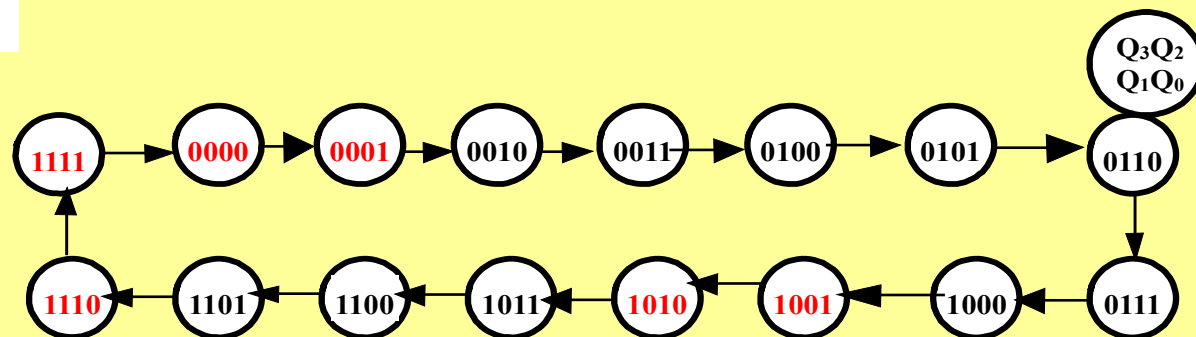
74LVC161的功能表。

输入					功能	
CP	\overline{CR}	\overline{PE}	CEP	CET	说明	解释
×	0	×	×	×	异步复位	$Q_3Q_2Q_1Q_0=0000$
↑	1	0	×	×	同步置数	$Q_3^{n+1}Q_2^{n+1}Q_1^{n+1}Q_0^{n+1}=D_3D_2D_1D_0$
×	1	1	0	1	保持	保持
×	1	1	×	0		保持
↑	1	1	1	1	计数	加1计数

如何才能得到N进制计数器？

1、反馈清零法：利用异步清零输入端**CR**，得到**N**进制计数器

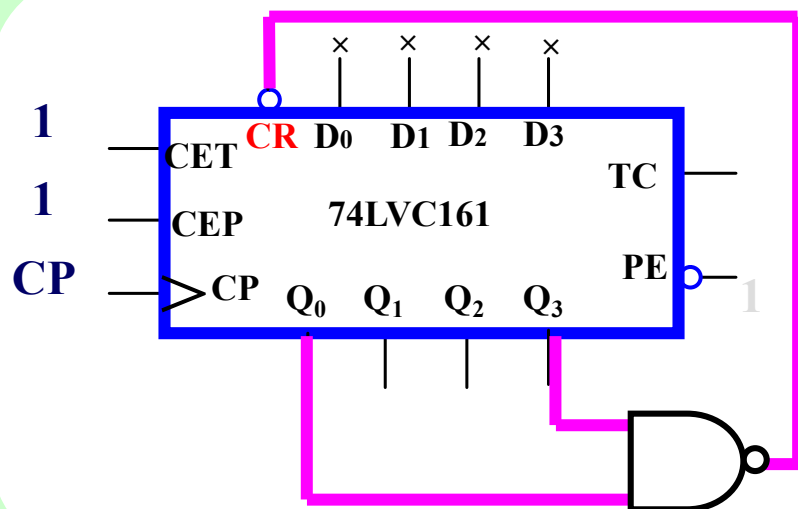
2、反馈置数法：利用同步置数端**PE**，在**M**进制计数器的计数过程中，跳过**M-N**个状态，得到**N**进制计数器



(4) 应用 例 用74LVC161构成九进制加计数器。

(a) 反馈清零法：利用异步清零输入端，在M进制计数器的计数过程中，跳过M-N-1个状态，得到N进制计数器的方法。

CP	Q ₃	Q ₂	Q ₁	Q ₀
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
...
8	1	0	0	0
9	1	0	0	1
...
15	1	1	1	1



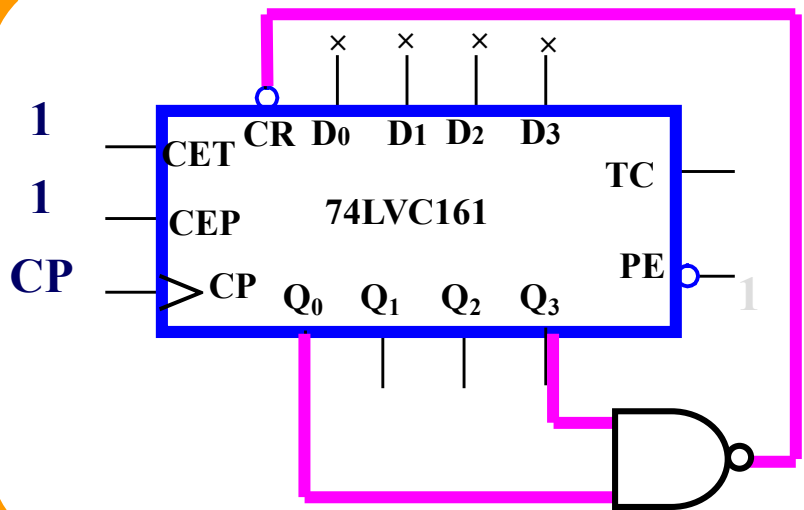
$$CR = \overline{Q_0 \cdot Q_3} = 0$$

采用异步清零法时，由于异步清零最后一个状态保持时间很短，通常忽略不计。

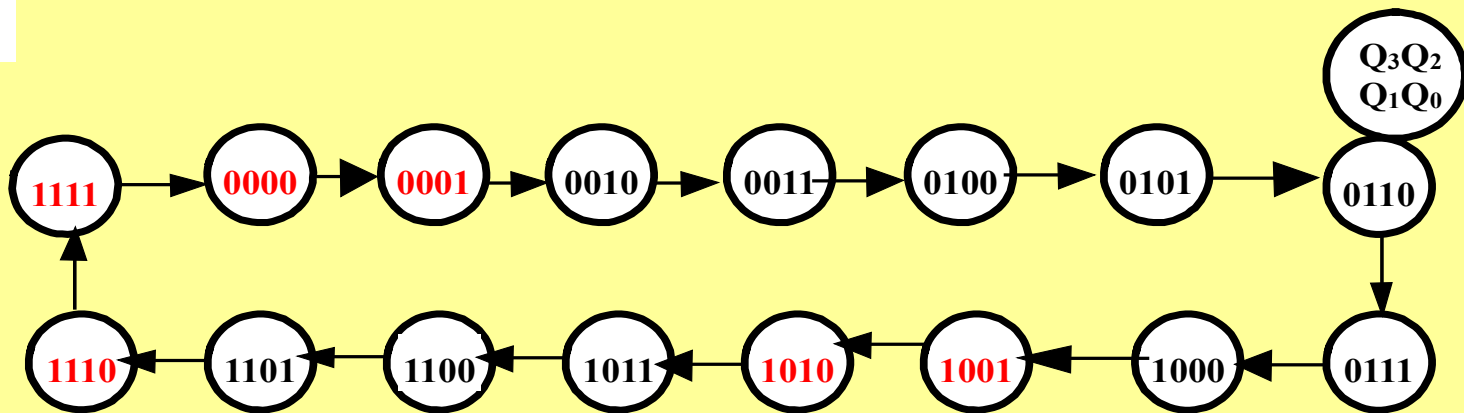
设法跳过16-10=6个状态

计数器的模：计数器状态图中闭合圈包含的稳定的有效状态的数目。本题中最后得到的是模9计数器

工作波形



状态图

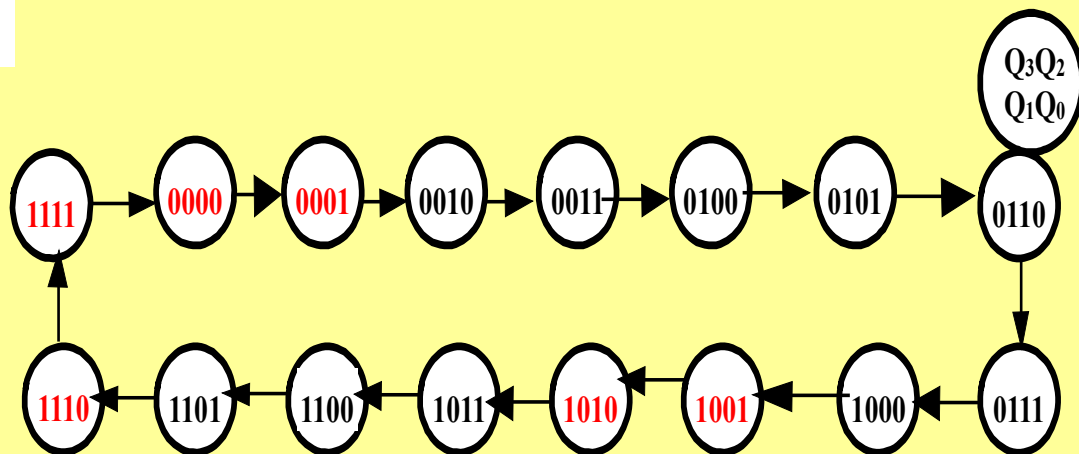
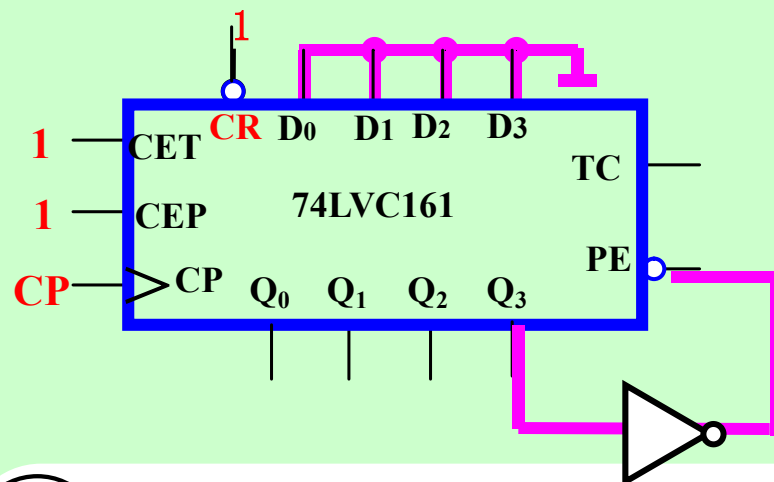


利用同步置数端构成九进制计数器

(b) 反馈置数法:利用同步置数端, 在M进制计数器的计数过程中, 跳过M-N个状态, 得到N进制计数器的方法。

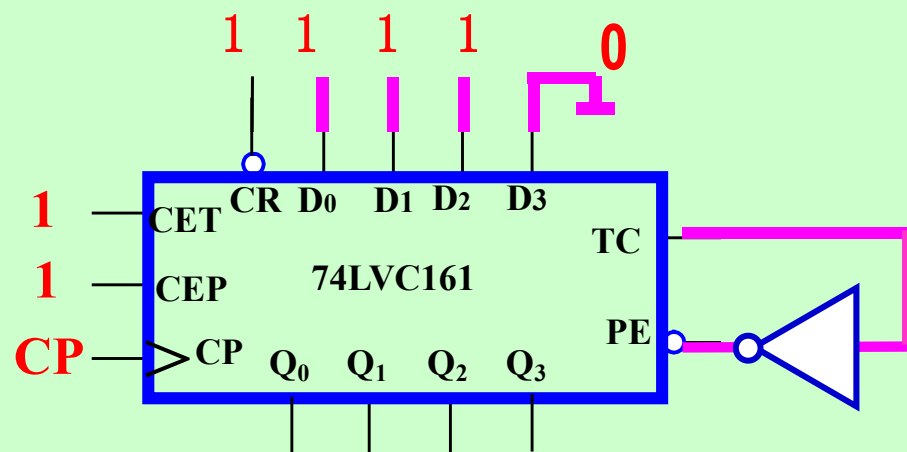
CP	Q ₃	Q ₂	Q ₁	Q ₀
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
...			
8	1	0	0	0

$$PE = \overline{Q_3} = 0$$

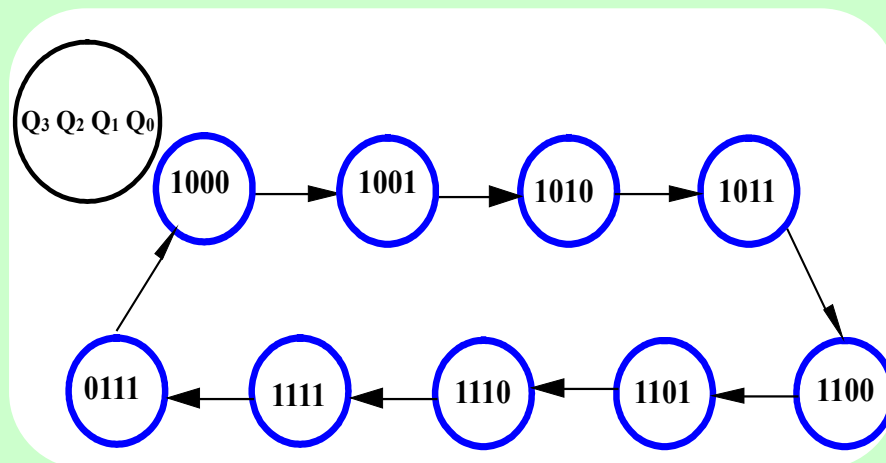


采用后九种状态作为有效状态，用**反馈置数法** 构成九进制加计数器。

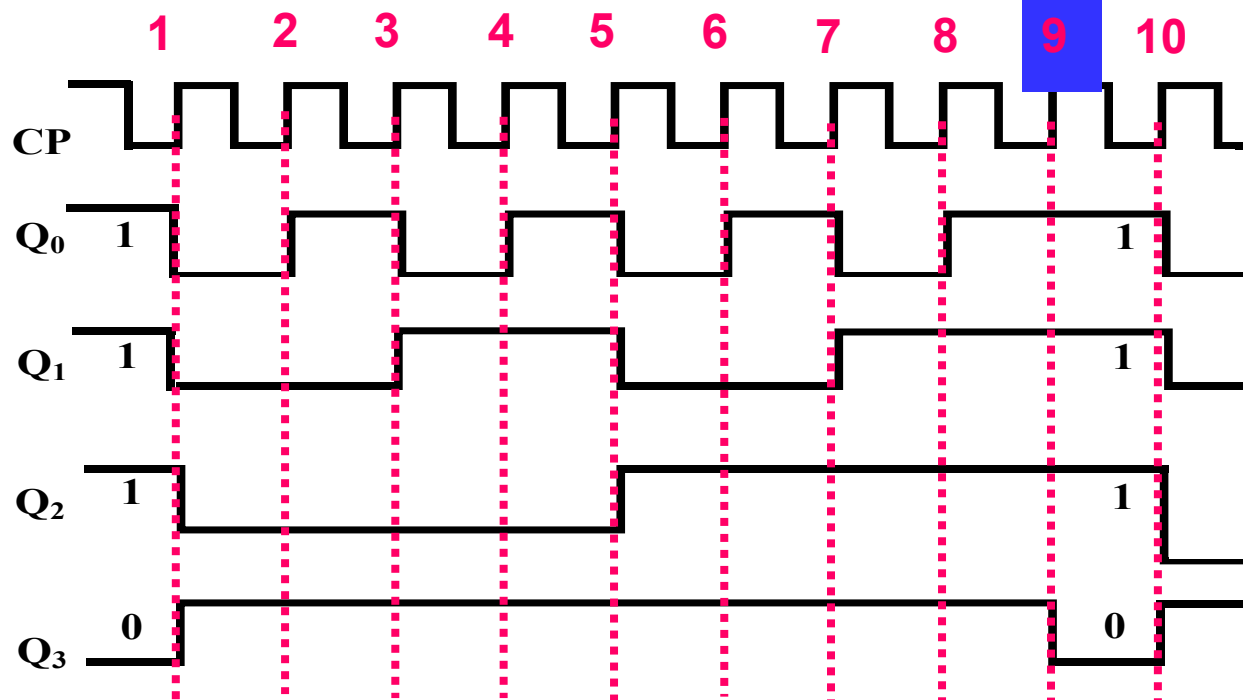
Q_3	Q_2	Q_1	Q_0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1



$$TC = CET \cdot Q_3 \cdot Q_2 \cdot Q_1 \cdot Q_0 = 1$$



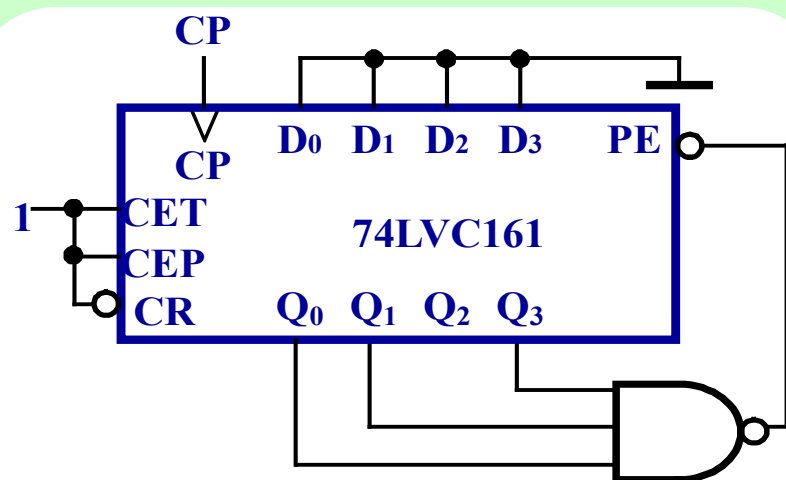
波形图:



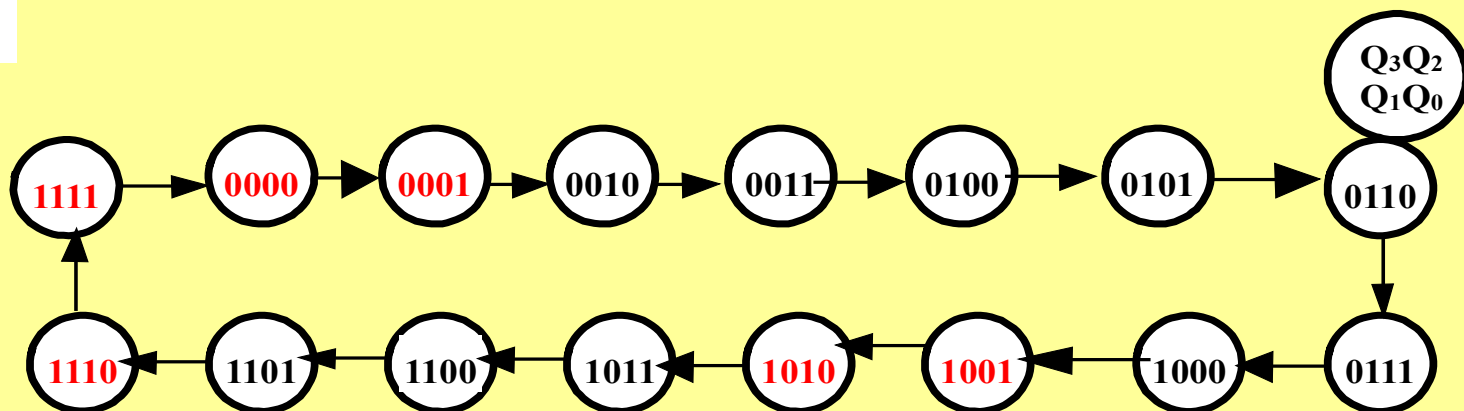
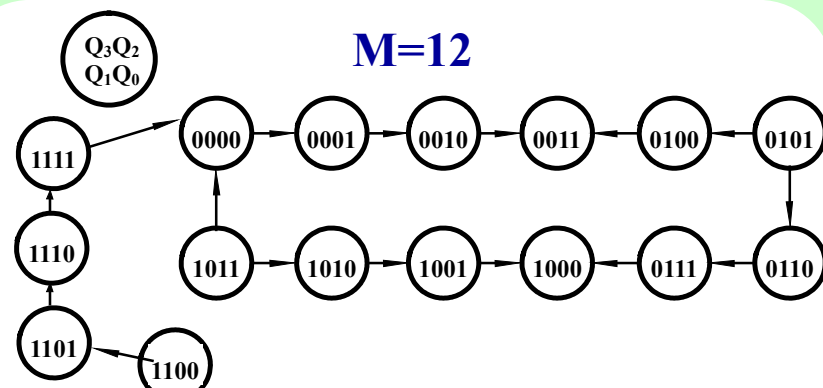
该计数器的模为9。

计数器的模：计数器状态图中闭合圈包含的稳定的有效状态的数目。本题中最后得到的是模9计数器

分析下图所示的时序逻辑电路，试画出其状态图和在CP脉冲作用下 Q_3 、 Q_2 、 Q_1 、 Q_0 的波形，并指出计数器的模是多少？



$$PE = \overline{Q_3 \cdot Q_1 \cdot Q_0} = 0$$

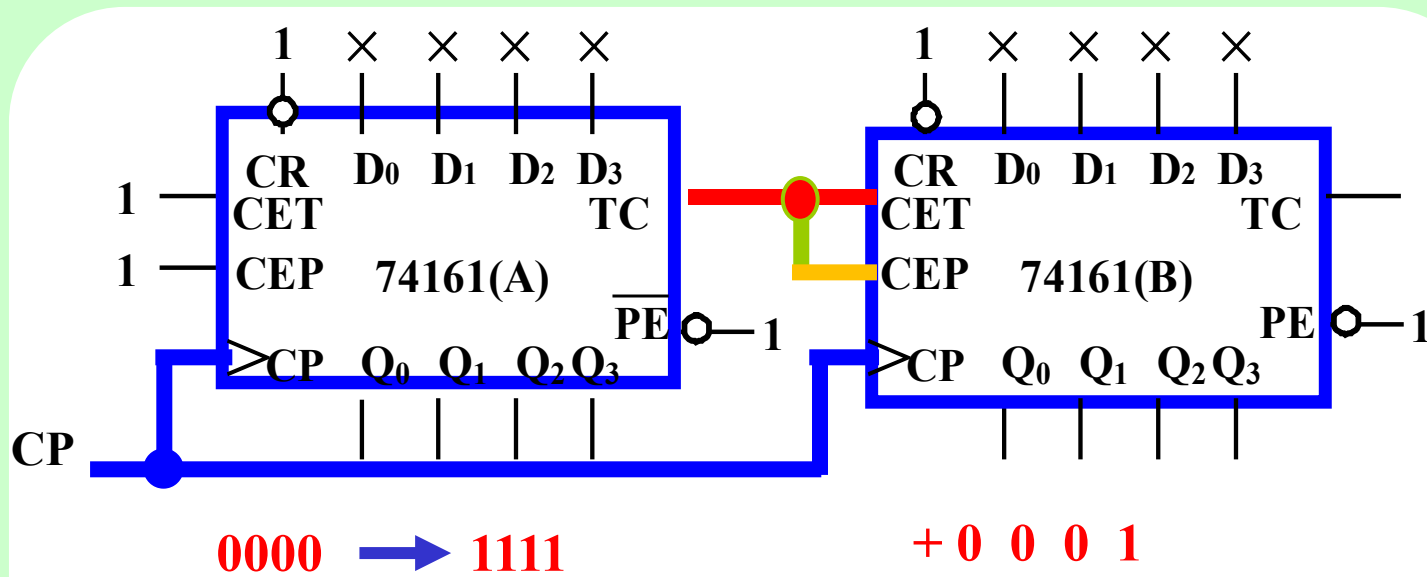


例 用74VC161组成256进制计数器。

解：设计思想

- 1片74161是16进制计数器
- $256 = 16 \times 16$
- 所以256进制计数器需用两片74161构成
- 片与片之间的连接通常有两种方式：
 - 并行进位（低位片的进位信号作为高位片的使能信号）
 - 串行进位（低位片的进位信号作为高位片的时钟脉冲，即异步计数方式）

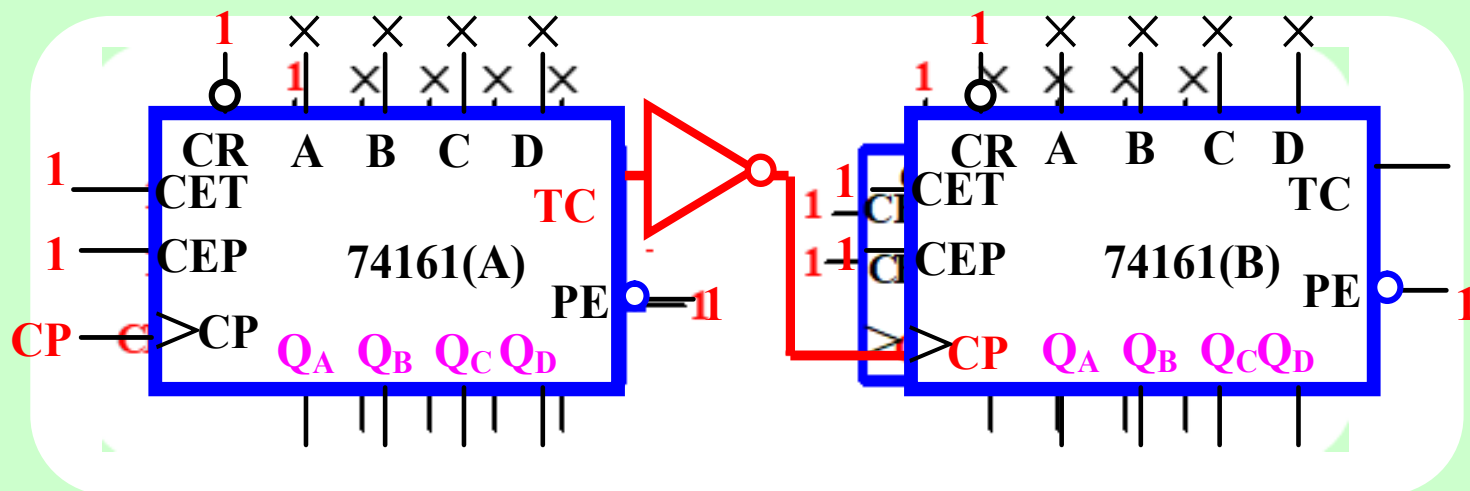
并行进位：低位片的进位作为高位片的使能(采用同步时钟)



计数状态：0000 0000 ~ 1111 1111

$$N = 16 \times 16 = 256$$

串行进位：低位片的进位作为高位片的时钟



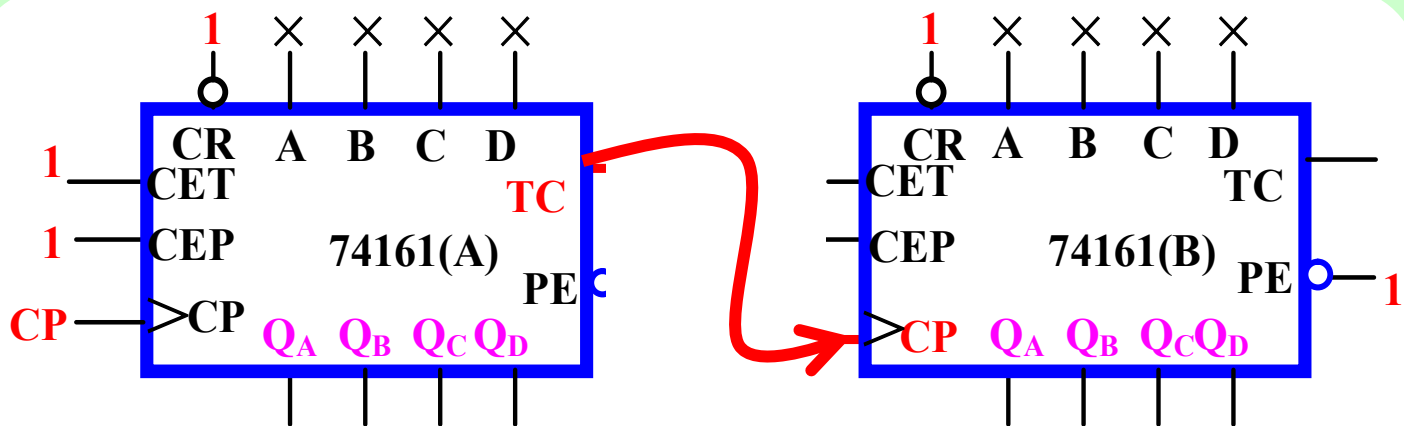
0000 → 1111 + 0 0 0 1

计数状态：0000 0000 ~ 1111 1111

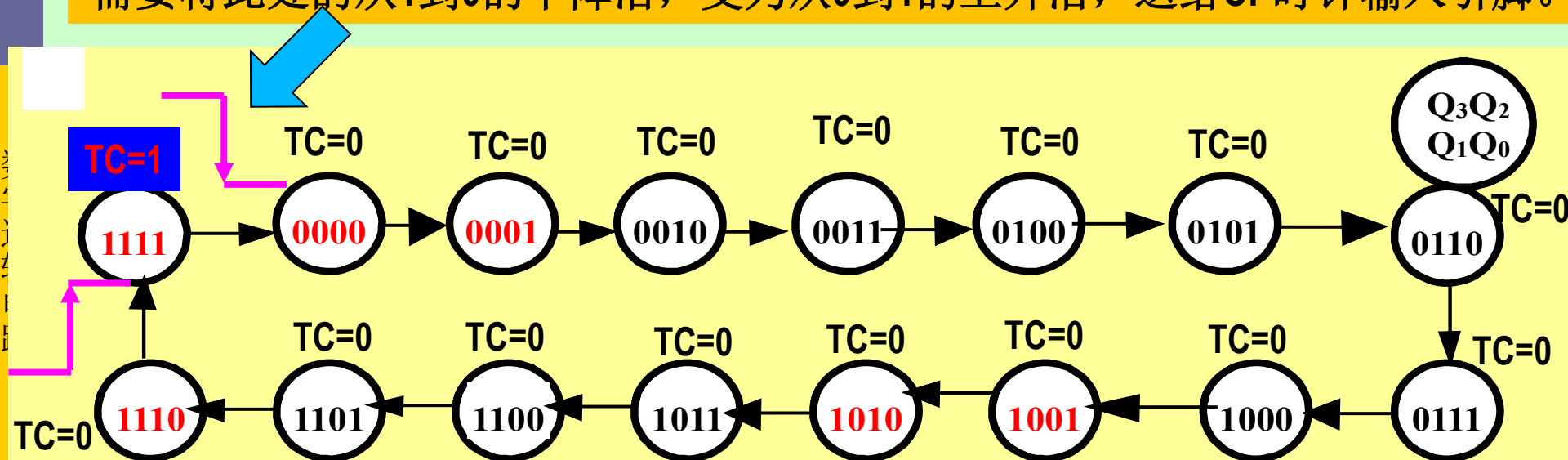
采用串行进位时，为什么低TC要经反相器后作为高位的CP？

加个反相器，是将TC由1变0的下降沿，变成161芯片所需要的由0变1的上升沿。

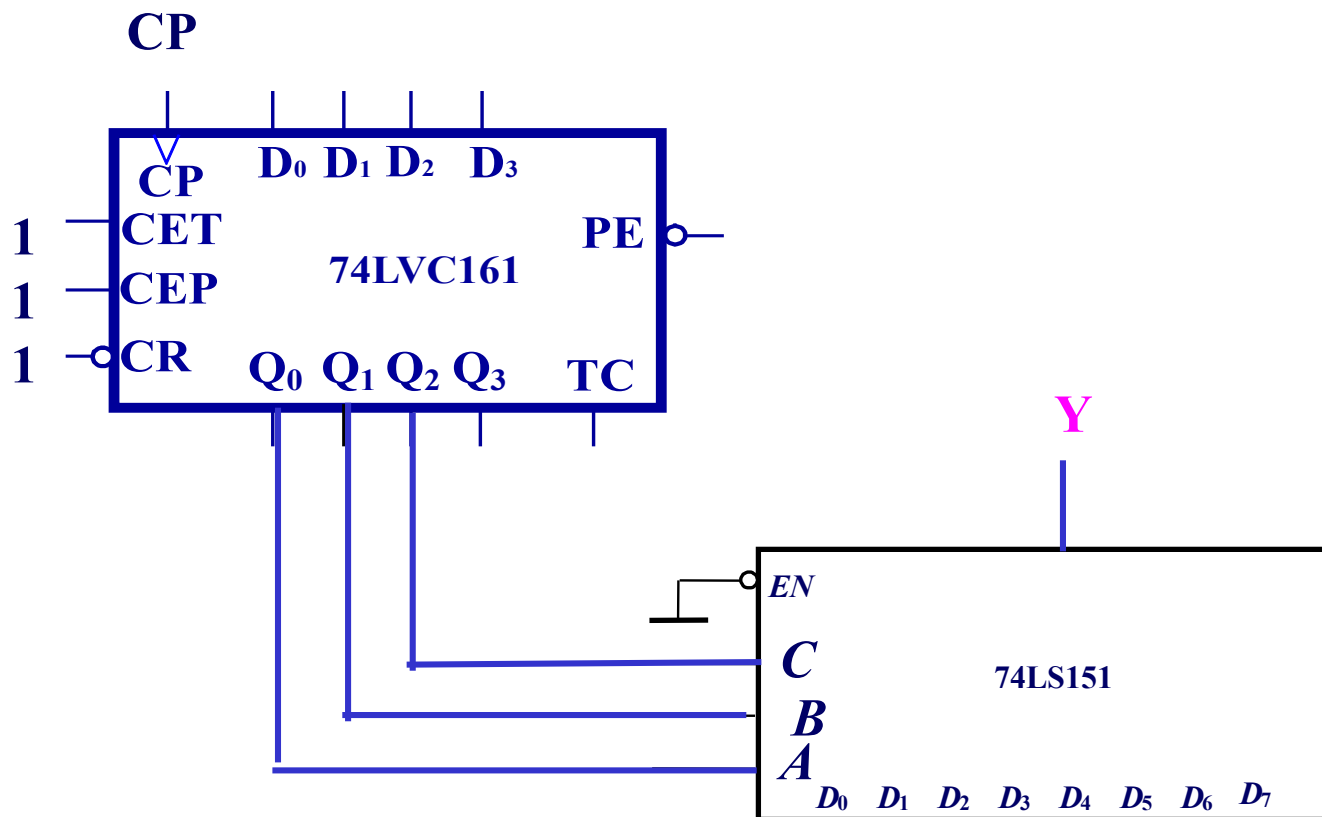
串行进位：低位片的进位作为高位片的时钟



需要将此处的从1到0的下降沿，变为从0到1的上升沿，送给CP时钟输入引脚。



在CP的作用下，Y端产生00010111循环序列信号



如要求Y端产生10110010循环序列信号，如何改变电路的连接？

3. 环形计数器

(1) 工作原理

① 基本环形计数器

Q3连线到D0，就构成基本环形计数器

置初态 $Q_3Q_2Q_1Q_0=0001$,

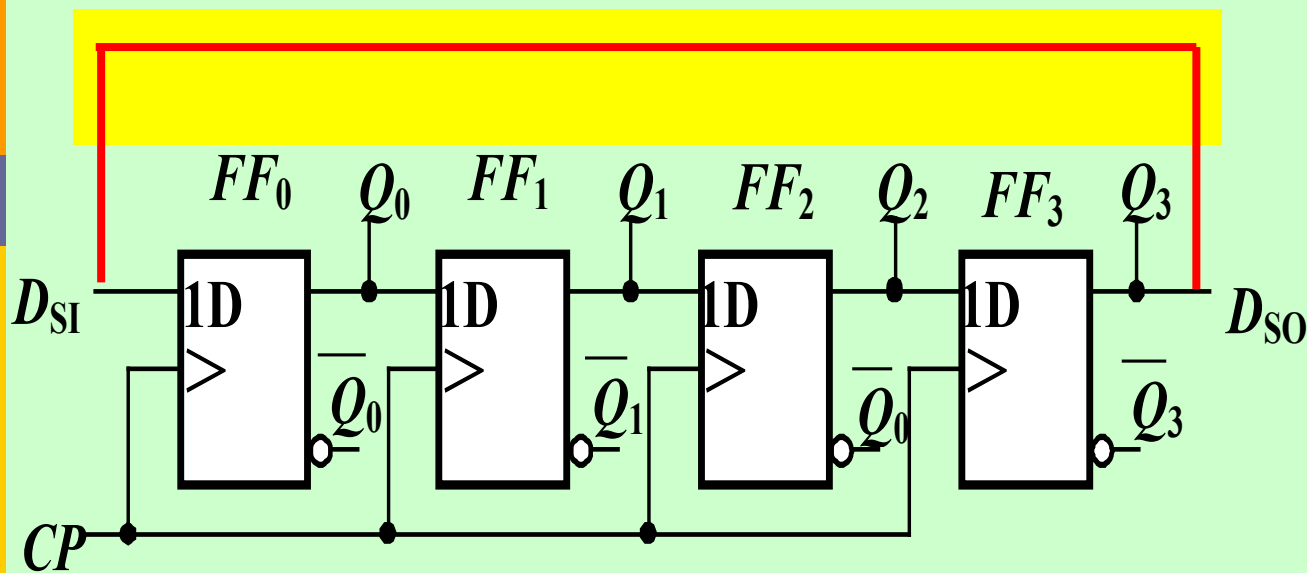
第一个CP: $Q_3Q_2Q_1Q_0=0010$,

第二个CP: $Q_3Q_2Q_1Q_0=0100$,

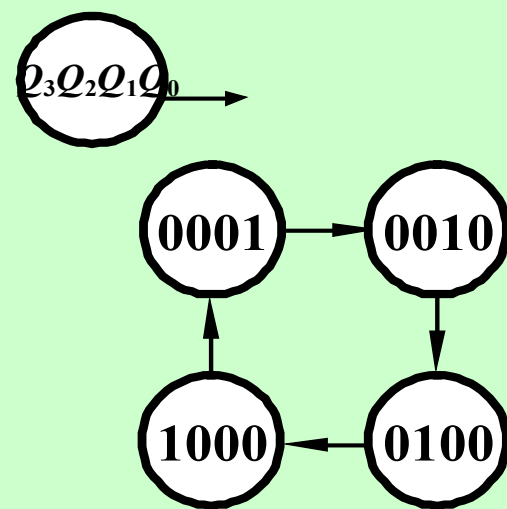
第三个CP: $Q_3Q_2Q_1Q_0=1000$,

第四个CP: $Q_3Q_2Q_1Q_0=0001$,

第五个CP: $Q_3Q_2Q_1Q_0=0010$,



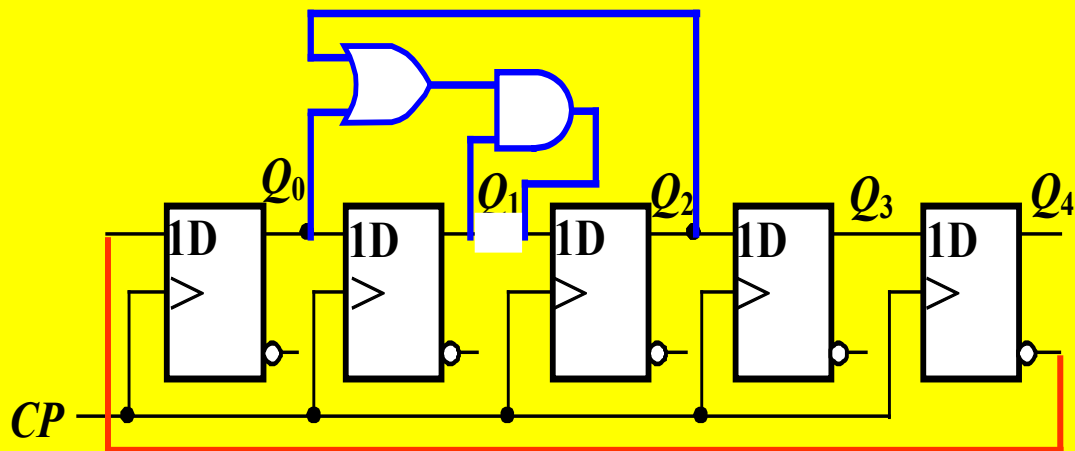
状态图



② 扭环形计数器

a、电路

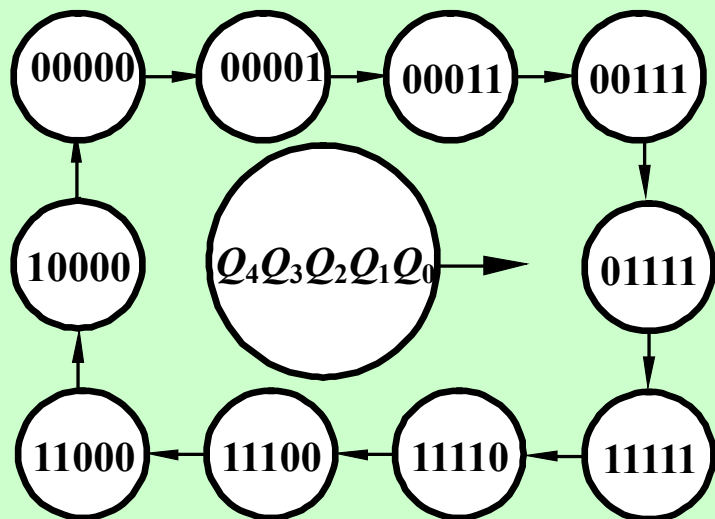
\bar{Q}_4 连线到 D_0 ，就构成扭环计数器



b、状态表

状态编号	Q_4	Q_3	Q_2	Q_1	Q_0
0	0	0	0	0	0
1	0	0	0	0	1
2	0	0	0	1	1
3	0	0	1	1	1
4	0	1	1	1	1
5	1	1	1	1	1
6	1	1	1	1	0
7	1	1	1	0	0
8	1	1	0	0	0
9	1	0	0	0	0

c、状态图



完