

嵌入式系统原理

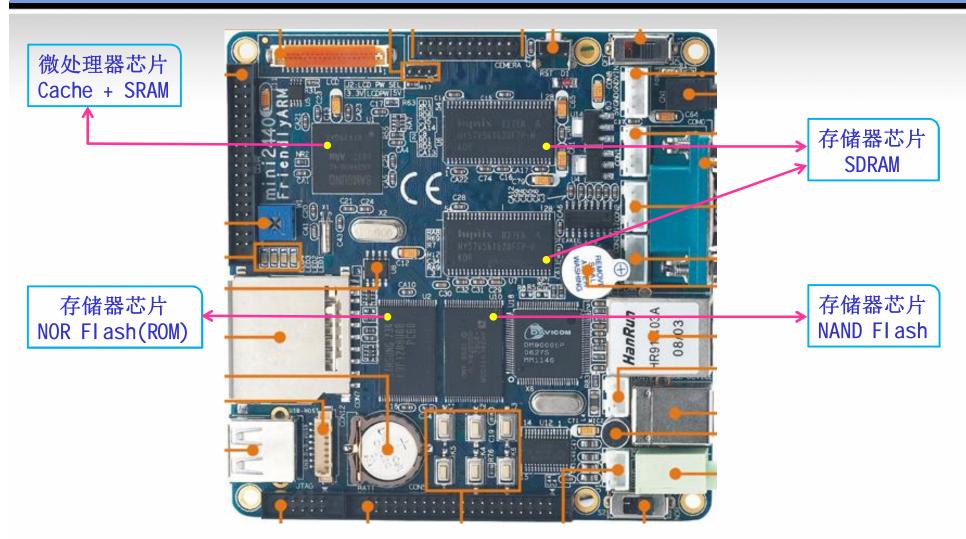
The Principle of Embedded System



合肥工业大学·计算机与信息学院

嵌入式存储器系统实物图

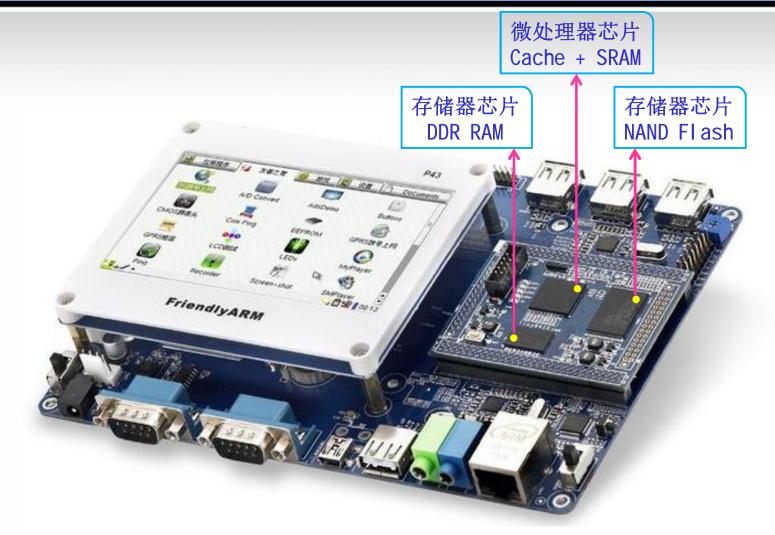




Mi ni 2440嵌入式开发板

嵌入式存储器系统实物图





Ti ny6410嵌入式开发板

第四章 嵌入式存储器系统



- 4.1嵌入式存储器的类型
- 4.2 嵌入式存储器系统的结构
- 4.3 外部存储器芯片连接
- 4.4 NOR Flash存储器芯片及其连接
- 4.5 NAND Flash存储器芯片及其连接
- 4.6 存储器控制寄存器*



サ 按用途分类

- ▶主存储器
 - ■用来存放正在执行的或经常使用的程序代码和数据。
 - ✓存取速度快,CPU可以通过物理地址直接访问。
 - ✓ 容量有限,其大小受地址总线位数的限制。
 - ✓ 位于嵌入式微处理器芯片的内部或者外部。

>辅助存储器

- ■用来存放暂时不使用的程序代码和数据。
 - ✓ 存取速度慢,微处理器不能直接访问,仅在需要时被调入 主存储器。
 - ✓ 容量大、成本低,所存储信息可长期保存,且能修改。
 - ✓ 位于嵌入式微处理器芯片的外部。



◆ 按存储介质分类

- > 半导体存储器 ——主流使用
 - ■采用大规模集成电路技术将大量的存储单元制作在一个芯 片中,构成一定容量的存储器。
 - ■使用最广泛,主要用作主存储器、高速缓冲存储器Cache, 甚至外部的辅助存储器。

→ 光盘存储器

主要用作辅助-存储器

■利用介质材料的光效应,以被照射部分的平面(LAND)和 凹坑(PIT)光反射率不同,表示信息"O"或"1"。

→磁表面存储器

■采用磁矩材料作为磁记录载体。在磁场作用下,使各个局部 区域产生相应的磁化状态,利用这些状态来记录信息"O" 和"1"。



+ 按存取方式分类

随机存取存储器RAM 🗸

顺序存取存储器SAM

直接存取存储器DAM

只读存储器ROM √

闪速存储器Flash Memory ¬

可以随机选中任一存储单元,可读可 写。对每个地址单元的读写时间相同 主要用于主存储器和高速缓存。

以文件或数据的形式按顺序存放。对不同地址的存储单元读写所需的时间也不同。容量大、价格低,但存取速度慢,只适用作外存。如光盘存储器等。

当存取信息时,先指向一个区域,然后在这一区域进行顺序检索。存取信息时所用的时间与信息所在的地址有关。如磁盘存储器。

使用前写入信息并存储。运行时只能 从中读出信息,不能写入。电源关闭 后,存储的信息不会丢失。常用来存 放系统置化的程序。

既可在不加电的情况下长期 保存信息, 又能在线进行快速擦除与重写,具有 ROM和RAM的优点。



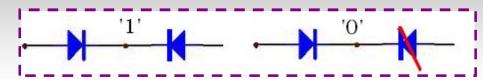
◆ 按存取方式分类 (续)

- ▶ 随机存取存储器RAM
 - 静态随机存取存储器SRAM (Static RAM)
 - ✓ 一个bit存储单元由多个晶体管耦合(双稳态触发器)而成。
 - ✓ 存储内容可以长时间保持,除非掉电或执行写操作。
 - ✓ 速度非常快,但集成度低,结构复杂,功耗大。
 - 动态随机存取存储器DRAM (Dynamic RAM)
 - ✓ 一个bit存储单元由一个场效应管及其栅极对地接一个电容组成。
 - ✓ 存储内容一定时间后会自动消失,需要周期性刷新——(充电)。
 - ✓ 速度比SRAM慢一些,但集成度高,成本低,功耗低。
 - 同步动态随机存取存储器SDRAM (Synchronous DRAM)
 - ✓ 将CPU和RAM共享一个时钟周期,两者以相同的速度同步工作,在每一个时钟脉冲的上升沿开始传输数据。
 - ■双倍数据速率动态随机存取存储器 DDR SDRAM (Double Data Rate SDRAM)
 - ✓ 允许在时钟脉冲的上升沿和下降沿两次传输数据,从而在不提高时钟 频率的情况下能加倍提高SDRAM的传输速度。



◆ 按存取方式分类 (续)





- ■掩膜只读存储器MROM (Mask ROM)
 - ✓ 芯片制造时,在一个bit存储单元通过加入一个MOS管表示逻辑"O"。
 - ✓ 程序/数据在出厂前由制造商写入,之后不能修改。
 - ✓ 成本低,适用于定型产品的大批量生产。
- ■可编程只读存储器PROM (Programmable ROM)
 - ✓ 一个bit存储单元由二极管或者熔丝构成。
 - ✓ 使用专用编程设备,完成程序/数据的写入。但写入一次后就不能再 修改——(一次可编程)。
- 可擦除可编程只读存储器EPROM (Erasable PROM)
 - ✓ 使用专用紫外线设备,对已写入的内容进行多次擦除,再使用专用编程设备,完成程序/数据多次写入。
- 电可擦除可编程只读存储器E2PROM (Electrically Erasable PROM)
 - ✓ 施加高于工作电压的编程电压(12-24V),再使用专用编程设备,完成程序/数据多次写入。
 - ✓ 可以在工作系统中在线进行。



◆ 按存取方式分类 (续)

▶ 闪速存储器Flash Memory——非易失性存储器,可读可写

Flash Memory

NOR Flash

- 1.读取速度快,具有芯片内 执行(eXecute In Place,XIP) 特性,程序可以在其内直接 运行;
- 2.CPU可以直接访问;
- 3.写入/擦除速度很慢;
- 4.最大擦写次数10万次;
- 5.容量小, 价格高;
- 6.常作为内部或者外部ROM 存放<mark>程序</mark>。例如存放Boot-Loader程序,实现引导系统 启动。

NAND Flash

- 1.读取速度相对慢,程序必须先读入RAM才能执行;
- 2.CPU需要通过专门的控制器才能访问;
- 3.写入/擦除速度较快;
- 4.最大擦写次数100万次;
- 5.容量大, 价格经济;
- 6.常作为外部辅助存储器存放程序和数据。存放Boot-Loader程序时,需要借助内部RAM才能实现引导系统启动。

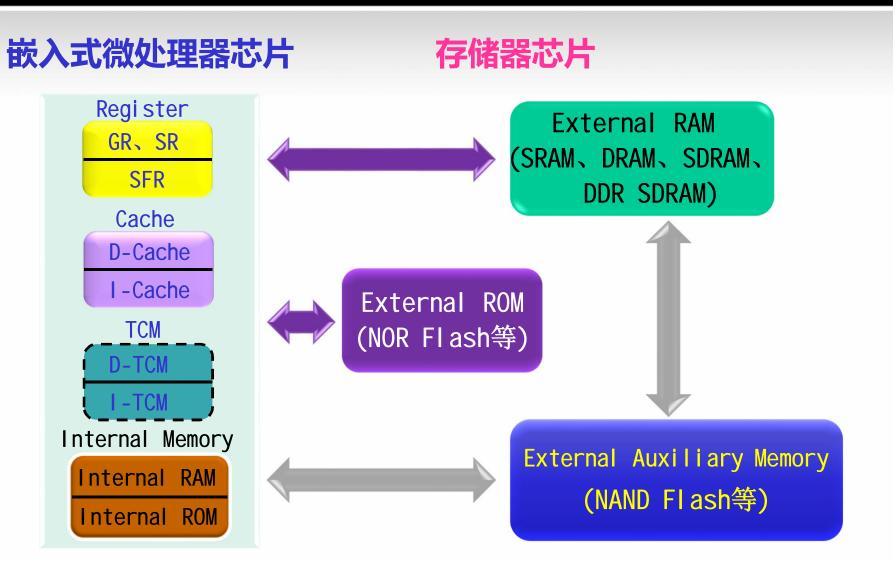
第四章 嵌入式存储器系统



- 4.1嵌入式存储器的类型
- 4.2 嵌入式存储器系统的结构
- 4.3 外部存储器芯片连接
- 4.4 NOR Flash存储器芯片及其连接
- 4.5 NAND Flash存储器芯片及其连接
- 4.6 存储器控制寄存器*

嵌入式存储器系统结构





嵌入式存储器系统结构



存储数据加速指令的执行速度。

LO 内部

存储将要执行的指令和数据 L1 提高指令的执行速度。

芯片内的高速缓存 (Cache)

快

存储将要执行的指令和数据 L2

主存储器 (SRAM、DRAM、SDRAM等)

存储固化的系统程序 L3 运行初始化程序等

主存储器 (EPROM、E²PROM、NOR Flash)

存储大量的数据 L4 和程序

外部存储器 (NAND Flash、磁盘、光盘、SD卡等)

嵌入式存储器系统结构



- 嵌入式存储器系统的结构组织决定了:
- (1) 程序执行时的启动过程;
- (2) 程序加载流向;
- (3) 程序的运行速度。

嵌入式存储器系统实例1



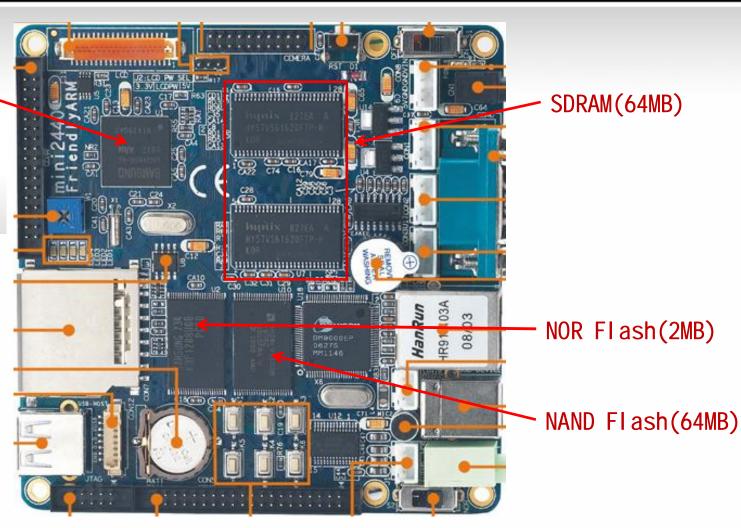


• 16KB: D-Cache

• 16KB: I-Cache

• 4KB: SRAM

(Stepping Stone)



Mi ni 2440嵌入式开发板

嵌入式存储器系统实例2



三星

S3C6410

• 16KB: D-Cache

• 16KB: I-Cache

8KB: SRAM (Stepping Stone) CON2

NAND Flash (128M/256M/512M/ 1GB/2GB)

DDR RAM(256MB)

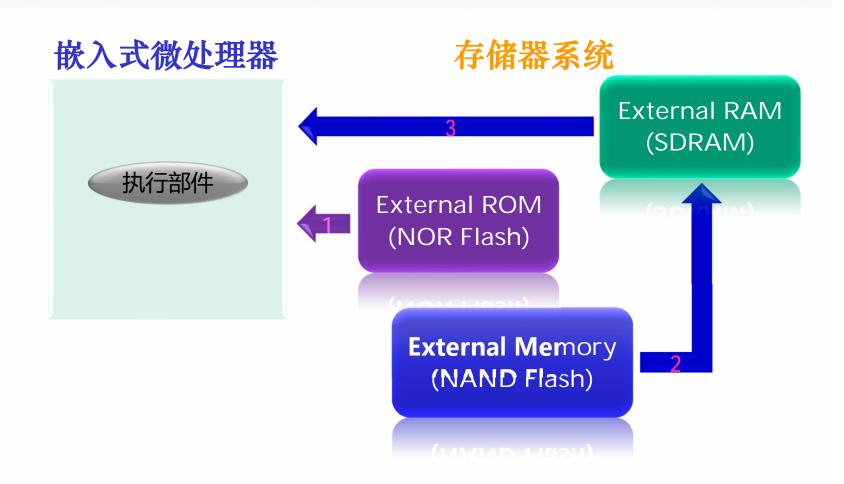
Ti ny6410嵌入式开发板——核心板





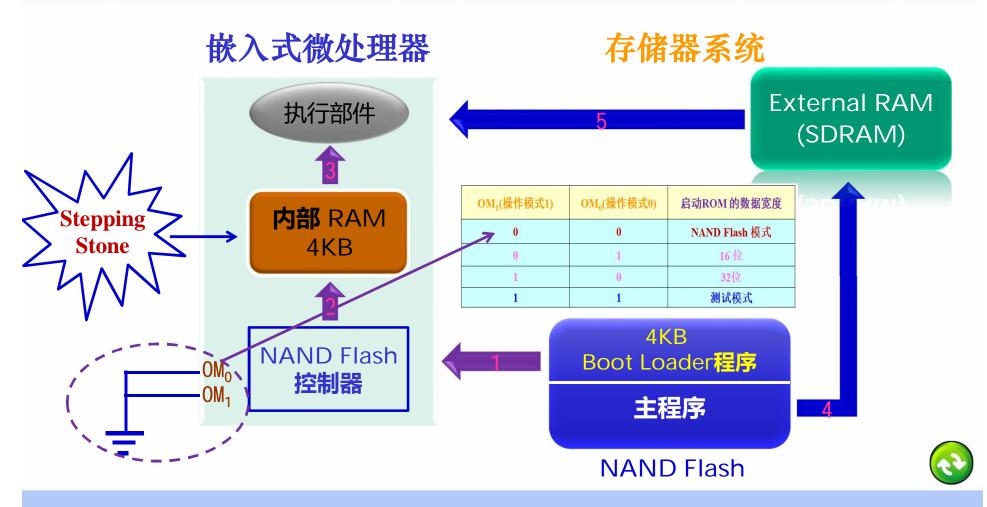


◆ 使用NOR Flash为引导ROM的启动流程





◆ 使用NAND Flash为引导ROM的启动流程





8条片选线nGCS0-nGCS7

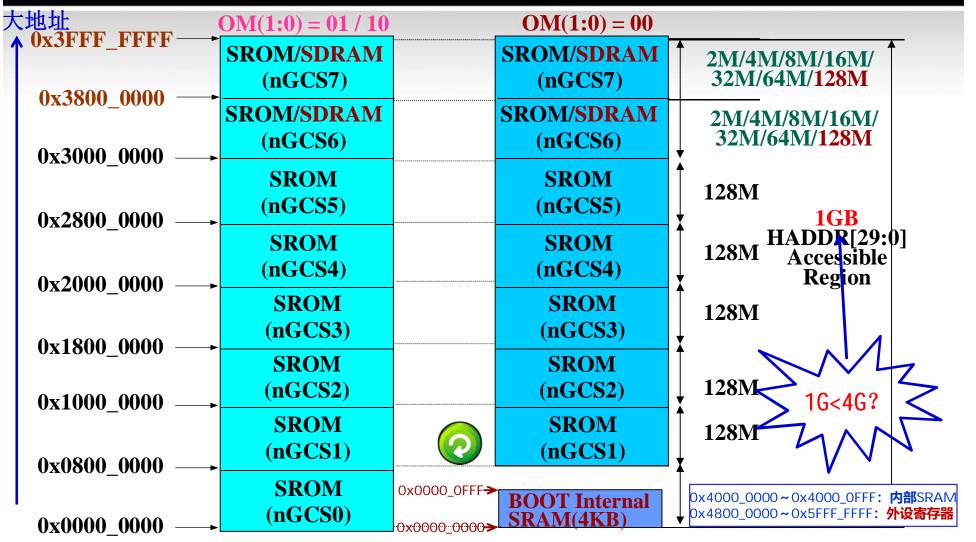
◆以S3C2440微处理器为例

▶支持小端/大端模式。——通过编程设定 27根地址线ADDR0-ADDR26

- ▶可寻址<mark>外部</mark>存储空间为1GB。
 - 被分成8个Bank(Bank0~Bank7),每个Bank为128MB。 $(8 \times 128MB = 1024MB = 1GB)$
 - ✓ BankO的数据位宽只能是16或者32位(由引脚电平决定),其 它Bank可以编程设定为8、16或者32位。
 - ✓ Bank0~Bank5可以外接ROM、SRAM类型的存储器; Bank6和Bank7可以外接ROM、SRAM、SDRAM类型的 存储器。
 - ✓ Bank6和Bank7的大小可以编程设定。
 - ✓ Bank0~Bank6有固定的起始地址; Bank7起始地址 = Bank6的末地址 + 1。
 - ✓ 所有Bank的访问周期可编程设定。

存储器系统空间分布





[未使用NAND Flash为引导ROM] [使用NAND Flash为引导ROM]



Bank 0

- >数据总线宽度应在第一次访问之前设定为16位或32位。
 - 由S3C2440芯片的OM(Operation Mode)引脚决定。

OM ₁ (操作模式1)	OM ₀ (操作模式0)	启动ROM 的数据宽度
0	0	NAND Flash 模式
0	1	16 位
1	0	32位
1	1	测试模式

- ▶ 外接SRAM类型的存储器或者ROM类型存储器。
- ▶NOR Flash引导系统启动时,通常配置到BankO(★)。



◆ 其它Bank (Bank1~Bank7)

- >数据总线宽度应设定为8位、16位或32位。
- ▶可以外接SRAM类型的存储器或者具有SDRAM接口特性的ROM存储器。并且,Bank6、Bank7还可以外接SDRAM类型的存储器。
- ▶Bank6、Bank7的容量可以编程设定,且两者必须相等。

容量 2MB 4MB 8MB 16MB 32MB 64MB 128	MB
-------------------------------------------------------------------------------------------	----



◆ Bank6与Bank7的地址空间

容量	2MB	4MB	8MB	16MB	32MB	64MB	128MB	
Bank6	Bank6							
起始 地址	0x3000_0000							
结束 地址	0x301F_FFFF	0x303F_FFFF	0x307F_FFFF	0x30FF_FFFF	0x31FF_FFFF	0x33FF_FFFF	0x37FF_FFFF	
Bank7								
起始地址	0x3020_0000	0x3040_0000	0x3080_0000	0x3100_0000	0x3200_0000	0x3400_0000	0x3800_0000	
结束 地址	0x303F_FFFF	0x307F_FFFF	0x30FF_FFFF	0x31FF_FFFF	0x33FF_FFFF	0x37FF_FFFF	0x3FFF_FFFF	

第四章 嵌入式存储器系统



- 4.1嵌入式存储器的类型
- 4.2 嵌入式存储器系统的结构
- 4.3 外部存储器芯片连接
- 4.4 NOR Flash存储器芯片连接及其连接
- 4.5 NAND Flash存储器芯片连接及其连接
- 4.6 存储器控制寄存器*

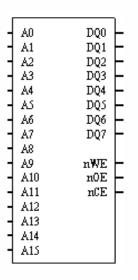


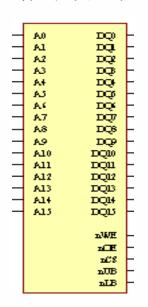
+ 常见外部存储器芯片

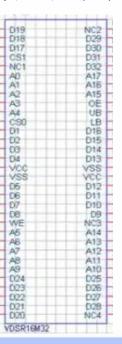
>8位存储器芯片: 低端领域使用。

>16位存储器芯片:在成本和功耗上有显著优势。

>32位存储器芯片:性能高,但价格昂贵,故使用很少。

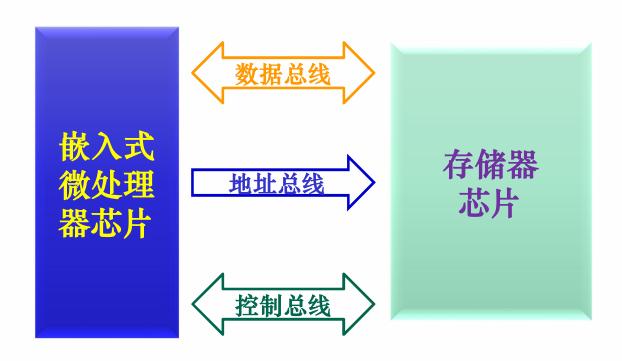








- + 微处理器芯片与外部存储器芯片的连接
 - 本质上是三种总线的连接。





◆数据总线的连接

>将存储器芯片的数据引脚与微处理器芯片的数据引脚顺序连接。

中控制总线的连接

》将存储器芯片的控制引脚(读/写/片选等)与微处理器芯片对应的控制引脚连接。



中地址总线的连接

>与(存储)系统数据总线的位数有关。

8 位存储系统

16 位存储系统

32 位存储系统

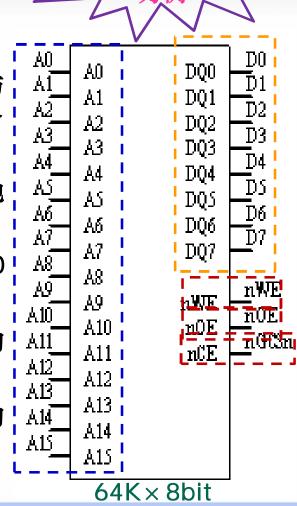
存储器芯片的 地址引脚	S3C2440的地址引脚	S3C2440的地址引脚	S3C2440的地址引脚	
A _o	A _O	A ₁	A_2	
A ₁	A ₁	A_2	A_3	
••••	•••	•••	•••	

8位 存储器芯片 8/16**位** 存储器芯片 8/16/32**位** 存储器芯片



◆ 存储器芯片连接实例

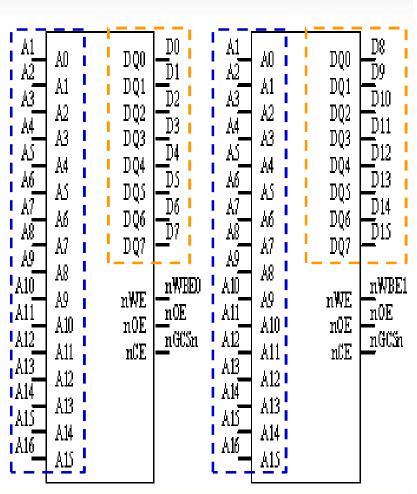
- >8位存储器芯片构成8位存储器系统
 - 存储器的8位数据线DQ₇~DQ₀与 S3C2440的低8位数据总线DATA₇~ DATA₀相连。
 - 存储器的地址线…A₁、A₀与S3C2440的地址总线…ADDR₁、ADDR₀相连。
 - 存储器的允许输出信号nOE端接S3C2440 的nOE引脚。
 - 存储器的写信号 nWE 端接 S3C2440 的 nWE引脚。
 - 存储器的片选信号nCE端接S3C2440的 nGCSn引脚。





◆ 存储器芯片连接实例 (续)

- ▶两片8位存储器芯片并联构成 16位存储器系统
 - 低8位存储器的8位数据线DQ₇~ DQ₀与S3C2440的低8位数据总 线DATA₇~DATA₀相连;
 - 高8位存储器的8位数据线DQ₇~ DQ₀与S3C2440的高8位数据总 线DATA₁₅~DATA₈相连。
 - 两片存储器的地址线…A₁、A₀与 S3C2440的地址总线… ADDR₂、 ADDR₁相连。



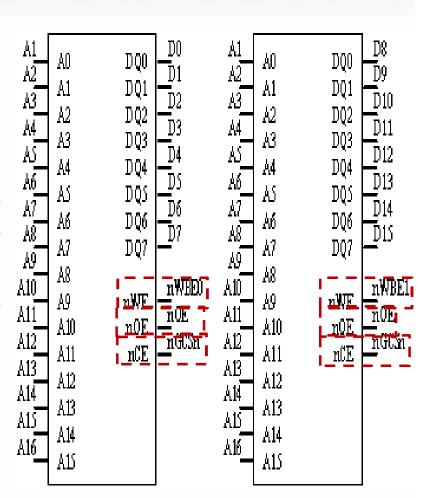


◆ 存储器芯片连接实例 (续)

- >两片8位存储器芯片并联构成 16位存储器系统(续)
 - 两片存储器的允许输出信号nOE 端都接S3C2440的nOE引脚。
 - 低8位存储器的写信号nWE端接 S3C2440的nWBE₀引脚,用于 写入低字节数据;

高8位存储器的写信号nWE端接 S3C2440的nWBE₁引脚,用于 写入高字节数据。

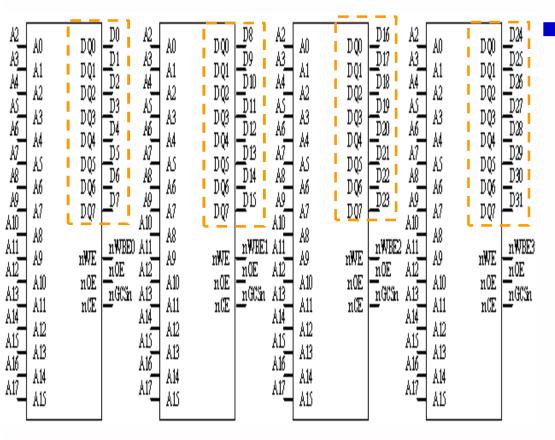
■ 两片存储器的片选信号nCE端都接 S3C2440的 nGCSn 引脚。 (作为一个整体配置到同一Bank中)





◆ 存储器芯片连接实例 (续)

▶四片8位存储器芯片并联构成32位存储器系统



「低8位存储器的8位数据线 DQ_7 ~ DQ_0 与S3C244O的低8位数据总线 $DATA_7$ ~ $DATA_0$ 相连;

次低8位存储器的8位数据线DQ₇~ DQ₀与S3C2440的次低8位数据总 线DATA₁₅~DATA₈相连;

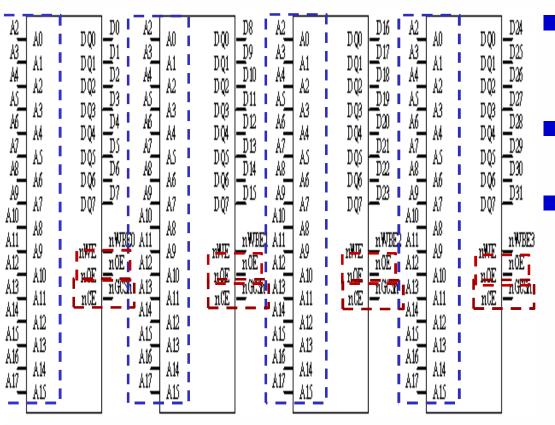
次高8位存储器的8位数据线DQ₇~ DQ₀与S3C2440的次高8位数据总 线DATA₂₃~DATA₁₆相连;

高8位存储器的8位数据线DQ₇~DQ₀与S3C2440的高8位数据总线DATA₃₁~DATA₂₄相连。



◆ 存储器芯片连接实例 (续)

▶四片8位存储器芯片并联构成32位存储器系统(续)

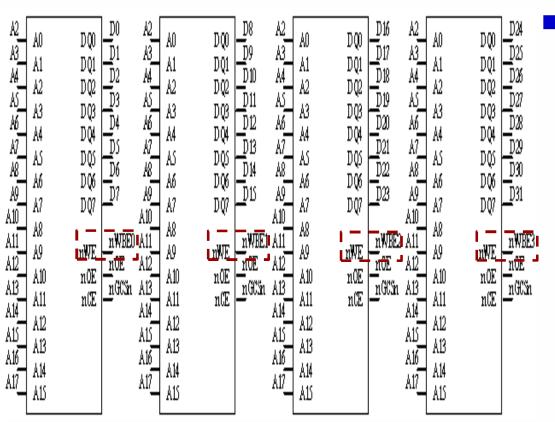


- 四片存储器的地址线...A₁、A₀ 与 S3C2440 的 地 址 总 线 ... ADDR₃、ADDR₂相连。
- 四片存储器的允许输出信号nOE 端都接S3C2440的nOE引脚。
- 四片存储器的片选信号nCE端都接 S3C2440的 nGCSn 引脚。 (作为一个整体配置到同一Bank中)



◆ 存储器芯片连接实例 (续)

▶四片8位存储器芯片并联构成32位存储器系统(续)



低8位存储器的写信号nWE端接
 S3C2440的nWBE₀引脚,用于写入低字节数据;

次低8位存储器的写信号nWE端接 S3C2440的nWBE₁引脚,用于写 入次低字节数据;

次高8位存储器的写信号nWE端接 S3C2440的nWBE2引脚,用于写 入次高字节数据;

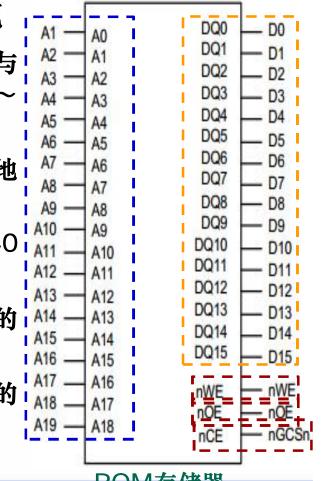
高8位存储器的写信号nWE端接 S3C2440的nWBE₃引脚,用于写 入高字节数据。



◆ 存储器芯片连接实例 (续)

▶16位存储器芯片构成16位存储器系统

- 存储器的16位数据线DQ₁₅~DQ₀与 S3C2440的低16位数据总线DATA₁₅~ DATA₀相连。
- 存储器的地址线…A₁、A₀与S3C2440的地址总线…ADDR₂、ADDR₁相连。
- 存储器的允许输出信号nOE端接S3C2440的nOE引脚。
- 存储器的写信号 nWE 端接 S3C2440 的 nWE引脚。
- 存储器的片选信号nCE端接S3C2440的nGCSn引脚。



外部存储器芯片连接

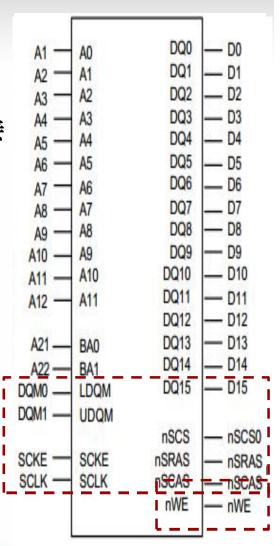


◆ 存储器芯片连接实例 (续)

- ▶16位存储器芯片构成16位存储器系统
 - SRAM存储器: 还需存储器 nUB、nLB端接 S3C2440的nBE₁、nBE₀引脚。
 - SDRAM存储器:还需保证存储器LDQM、UDQM、SCKE、SCLK、nSRAS、nSCAS、nSCS的正确连接。

只能映射到Bank6 或Bank7。

nSRAS	0	SDRAM 行地址选通
nSCAS	0	SDRAM 列地址选通
nSCS[1:0]	0	SDRAM 片选
DQM[3:0]	0	SDRAM 数据屏蔽
SCLK[1:0]	0	SDRAM 时钟
SCKE	0	SDRAM 时钟使能



第四章 嵌入式存储器系统



- 4.1嵌入式存储器的类型
- 4.2 嵌入式存储器系统的结构
- 4.3 外部存储器芯片连接
- 4.4 NOR Flash存储器芯片及其连接
- 4.5 NAND Flash存储器芯片及其连接
- 4.6 存储器控制寄存器*

NOR Flash存储器芯片连接



◆ NOR Flash存储器性能特点

- ▶读取速度快,具有芯片内执行XIP特性。
- >写入速度慢,单位体积下容量小,价格高。
- >擦写次数约10万次。
- ▶带有SRAM接口,与微处理器连接方便,便于数据存取。
- ▶适用于存储固化的系统启动引导代码(Bootloader)、操作系统代码、应用程序代码。
- ▶通常配置到BankO (★)。当系统上电或复位后从其内获取指令并开始执行。

NOR Flash存储器芯片连接



◆ NOR Flash存储器芯片——SST39VF1601

- ▶单片存储容量为2MB。以半字模式(16位数据宽度)方式工作。
- ▶工作电压2.7~3.6V。
- ▶采用48脚TSOP封装或48脚TFBG封装。



NOR Flash存储器芯片连接



◆ NOR Flash存储 器的接口电路

▶微处理器芯片的OM₁引 脚接地,OM₀引脚接高电 平。——16位存储器系统

▶SST39VF3201—— 4MB, A₂₀有效,接微处理 器ADDR₂₁。

>SST39VF6401——

8MB, A₂₁、A₂₀有效, 分别 接微处理器 ADDR₁₂、 R22 ADDR₂₁。

ADDR3 ADDR4 ADDR5 ADDR6 ADDR7	23 22 21 20 19	A2 A3 A4 A5	D2 D3 D4 D5	33 35 38 40 42	DATA2 DATA3 DATA4 DATA5 DATA6			
ADDR8 ADDR9 ADDR10	18 8) 7	A6 A7 A8 A9	D6 D7 D8 D9	30 32	DATA7 DATA8 DATA9			
ADDR11 ADDR12 ADDR13 ADDR14	5 3 4 4 3	A10 A11 A12 A13	D10 D11 D12 D13	34 36 39 41	DATA10 DATA11 DATA12 DATA13			
ADDR15 ADDR17 ADDR18	5 <u>1</u> 7 48	A14 A15 A16	D13 D14 D15	43 45	DATA14 DATA15			
ADDR20 ADDR20 ADDR20) 16) 9	A17 A18 A19 A20/N		37	V	DD33V		
2	15 47	A21/N NC NC	IC - OE WE CE	28 11 26	nOE nWE nGCS0	R20 1K		
	27 46	VSS VSS	/RST/NC /WP	12 14	_nRESET Bank0		R21 1K	그
GND		SST39V	F1601	1				GND 41

第四章 嵌入式存储器系统



- 4.1嵌入式存储器的类型
- 4.2 嵌入式存储器系统的结构
- 4.3 外部存储器芯片连接
- 4.4 NOR Flash存储器芯片及其连接
- 4.5 NAND Flash存储器芯片及其连接
- 4.6 存储器控制寄存器*

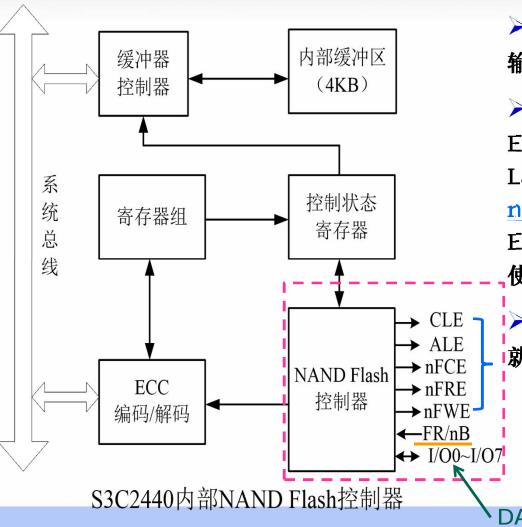


◆ NAND Flash存储器性能特点

- ▶擦除和写入速度很快。单位体积下数据存储密度大,价格相对便宜。
- ▶使用时需要复杂的I/O接口电路(专用控制器)和存储 管理操作。
 - 以页(Page)为最小单位进行读写;以块(Block)为最小单位进行擦除。——(说明:若干个页构成一个块)
- >擦写次数约100万次。
- >适用于存储大量的用户数据、程序代码。
- > 支持自动启动引导。



◆8位NAND Flash控制器



▶ I/O引脚: I/O₀~I/O₇用于输出地址、 输出命令、输入/输出数据。——分时复用

▶控制引脚: CLE(Command Latch Enable)命令锁存使能; ALE(Address Latch Enable)地址锁存使能; nFCE(Chip Enable)片选; nFRE(Read Enable)读使能; nFWE(Write Enable)写使能。

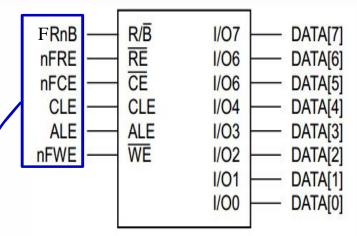
小大态引脚: FR/nB(Ready/Busy)准备以就绪或忙状态信号。

- =0表示"忙",程序不能对芯片进行 操作;
- =1表示"准备就绪",程序可以操作 芯片。

DATA₀~DATA₇

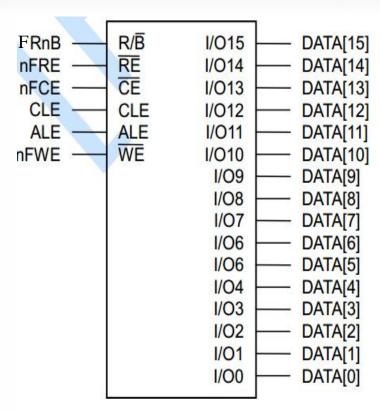


◆NAND Flash存储器芯片引脚(接口)



8位NAND Flash存储器

CLE	0	指令锁存使能
ALE	0	地址锁存使能
nFCE	0	Nand Flash 片选使能
nFRE	0	Nand Flash 读使能
nFWE	0	Nand Flash 写使能
FRnB	1	Nand Flash 就绪/忙

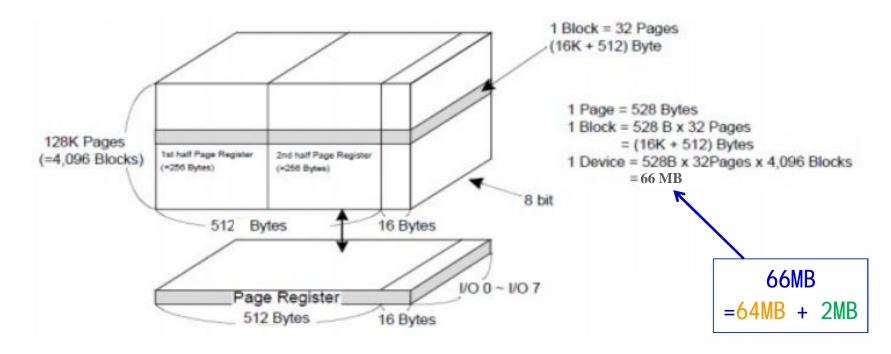


16位NAND Flash存储器



◆ NAND Flash存储器芯片——K9F1208

▶总容量66MB, 其中有效容量64MB: 被分为4096块, 每块32页, 每页528字节(前512字节用于存放有效数据, 后16字节作为用于存放ECC代码、坏块信息和文件系统代码等辅助数据)。





◆ NAND Flash存储器芯片——K9F1208

▶ <u>没 有 对 外 的 地 址 线</u> , 但 芯 片 内 部 使 用 地 址 线 A₂₅A₂₄...A₁₄A₁₃...A₉A₈A₇...A₁A₀表示其各字节单元地址。

- A₂₅~A₉ 是行地址线: A₂₅~A₁₄是12根块地址线——提供块索引, A₁₃~A₉是5根页地址线——提供页索引。
- A₈~A₀是列地址线——提供页内偏移地址。

✓ A₈=0: 选中1st Half Page (256字节); A₈=1: 选中2nd Half Page (256字节)。

✓ A₇~A₀是选中的Half Page的页内偏移地址。



◆ NAND Flash存储器读写操作过程

- ▶读取数据时,分为2个半页进行读取。
 - 读取1st Half Page使用命令0x00代替A₈=0;读取2nd Half Page使用命令0x01代替A₈=1。
 - 发送地址信号时按字节分为 A_0 ~ A_7 、 A_9 ~ A_{16} 、 A_{17} ~ A_{24} 、 A_{25} ,即采用四步寻址法。

(课外补充知识) ※NAND Flash地址计算举例:

▲读取第5000个字节开始的内容。

① 列地址 = 5000 % 512 = 392:

A₀~A₇ = 列地址 & OxFF; A₈ = 1 (因为392 > 255)

② 行地址 = 5000 >> 9 = 9:

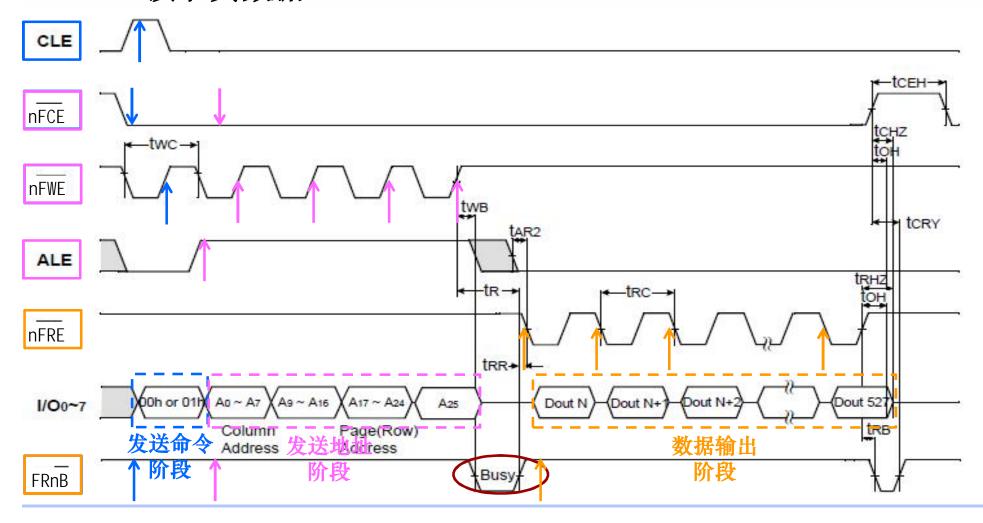
A₉~A₁₆ = 行地址 & OxFF; A₁₇~A₂₄ = (行地址 >> 8) &OxFF;

A₂₅ = (行地址 >> 16) & 0x01



◆ NAND Flash存储器读写操作过程(续)

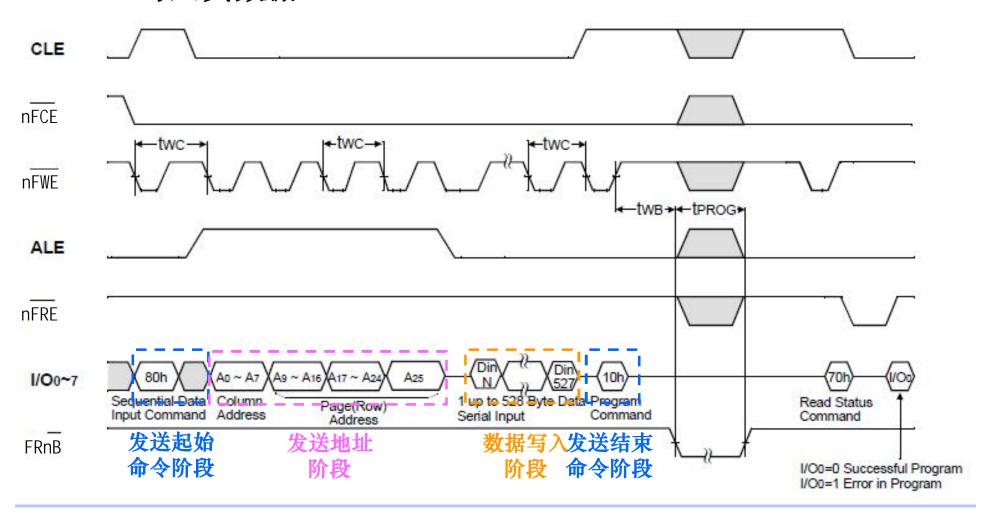
>读取页数据





◆ NAND Flash存储器读写操作过程(续)

>写入页数据





◆与NAND Flash存储器相关的微处理器引脚

▶NAND Flash控制器通过一些输入引脚上的电平状态,获取所连接的NAND Flash存储器的参数信息。

• NAND Flash存储器选择位 -NCON

• NAND Flash存储器页容量选择位-GPG13

• NAND Flash存储器地址周期选择位-GPG14

• NAND Flash存储器总线宽度选择位-GPG15



◆与NAND Flash存储器相关的微处理器引脚(续)

- ➤NCON: NAND Flash存储器选择位
 - ✓当NCON=O时,选择普通NAND Flash(256字[*]/512字节页大小
 - ,3/4地址周期)。
 - ✓当NCON=1时,选择高级NAND Flash(1K字/2K字节页大小,4/5地址周期)。
- ➤GPG13: NAND Flash存储器页容量选择位
 - ✓当GPG13=0时,页=256字(NCON=0)或页=1K字(NCON=1)。→

是8位(字 节)还是16 位(字)

✓当GPG13=1时,页=512字节(NCON=0)或页=2K字节(NCON=1)。

与NCON配合使用,确定页的大小。



◆与NAND Flash存储器相关的微处理器引脚(续)

- ➤GPG14: NAND Flash存储器地址周期选择位。
 - ✓当GPG14=0时,3个地址周期(NCON=0)或4个地址周期(NCON=1)。
 - ✓当GPG14=1时,4个地址周期(NCON=0)或5个地址周期(NCON=1)。

与NCON配合使用,确定发送地址的时钟周期数。

- ➤GPG15 NAND Flash存储器总线宽度选择位。
 - ✓当GPG15=0时,8 位总线宽度。
 - ✓当GPG15=1时,16位总线宽度。



◆ NAND Flash存储器配置列表

NCON0	GPG13	GPG14	GPG15	
O . TES NAND	0:256字	0:3个地址周期	0.0 位分化中央	
0:普通 NAND	1:512字节	1:4个地址周期	0:8 位总线宽度	
1. 宣 级NAND	0 : 1K字	0:4个地址周期	4.46 总计经常度	
1: <mark>高级</mark> NAND	1:2K 字节	1:5个地址周期	1: 16 位总线宽度	

例: NAND Flash 配置设置

器件	页面大小/总计大小	NCON	GPG13	GPG14	GPG15
K9S1208V0M-xxxx	512 字节/ 512M 比特	0	1	1	0
K9K2G16U0M-xxxx	1K字/2G比特	1	0	1	1



互逆



◆ NAND Flash存储器的两种工作模式

NAND Flash Memory

自动引导模式

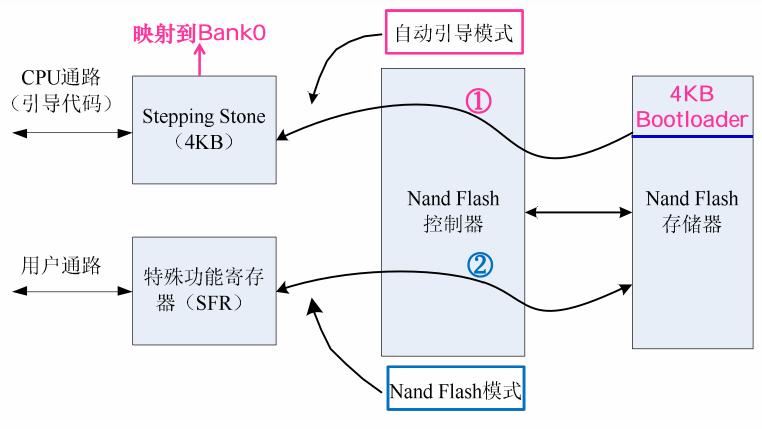
S3C2440 的 引 脚 OM₁、OM₀均接为低 电平时,则系统处于 NAND Flash自动引导模式。

普通闪存模式

支持数据读、写、擦 除操作。



◆ NAND Flash存储器的两种工作模式(续)



Nand Flash执行流程

第四章 嵌入式存储器系统



- 4.1嵌入式存储器的类型
- 4.2 嵌入式存储器系统的结构
- 4.3 外部存储器芯片连接
- 4.4 NOR Flash存储器芯片及其连接
- 4.5 NAND Flash存储器芯片及其连接
- 4.6 存储器控制寄存器*



◆ 存储器系统组织的途径

- ▶集成在微处理器芯片内的存储器控制器和NAND Flash 控制器,提供了访问存储器所需的全部控制信号。
- ▶通过其内一组特殊功能寄存器SFR,可以实现对存储器系统相关参数的设定以及芯片引脚状态的读取。

• 总线宽度和等待控制器寄存器 BWSCON

• 存储块控制寄存器 BANKCONn (n=0~7)

• 刷新控制寄存器 REFRESH

• 存储块大小控制寄存器 BANKSIZE



◆ 总线宽度和等待控制寄存器BWSCON

寄存器	地址	R/W	描述	复位值
BWSCON	0x48000000	R/W	总线宽度和等待控制寄存器	0x000000

引脚名称	位	描述			
ST7	[31]	SRAM对Bank7是否使用UB/LB控制位。 0 = 不使用UB/LB(引脚对应nWBE[3:0]); 1 = 使用UB/LB(引脚对应nBE[3:0])。	D4 B5 D5 E5	nBE0/nWBE0 nBE1/nWBE1 nBE2/nWBE2 nBE3/nWBE3	0
WS7	[30]	Bank7等待状态控制位。 0 = WAIT不使能; 1 = WAIT使能。			0
DW7	[29:28]	Bank7数据总线宽度控制位。 00 = 8bit; 01= 16bit; 10 = 32bit; 11 =保留。			
ST6	[27]	SRAM对Bank6是否使用UB/LB控制位。 0 = 不使用UB/LB (引脚对应nWBE[3:0]); 1 = 使用UB/LB (引脚对应nBE[3:0])。			
WS6	[26]	Bank6的等待状态控制位。 0 = WAIT不使能; 1 = WAIT使能。			0



◆ 总线宽度和等待控制寄存器BWSCON(续)

引脚名称	位	描述	初始值
DW6	[25:24]	决定对于Bank6的数据总线宽度。 00 = 8bit; 01 = 16bit; 10 = 32bit; 11 =保留。	0
ST5	[23]	SRAM对Bank5是否使用UB/LB控制位。 0 = 不使用UB/LB(引脚对应nWBE[3:0]); 1 = 使用UB/LB(引脚对应nBE[3:0])。	0
WS5	[22]	Bank5的等待状态控制位。 0 = WAIT不使能; 1 = WAIT使能。	0
DW5	[21: 20]	Bank5的数据总线宽度控制位。 00 = 8bit; 01= 16bit; 10= 32bit; 11=保留。	0
ST4	[19]	SRAM对Bank4是否使用UB/LB控制位。 0 = 不使用UB/LB (引脚对应nWBE[3:0]); 1 = 使用UB/LB (引脚对应nBE[3:0])。	0
WS4	[18]	Bank4的等待状态控制位。 0 = WAIT不使能; 1 = WAIT使能。	0



◆ 总线宽度和等待控制寄存器BWSCON(续)

引脚名称	位	描述	初始值
DW4	[17: 16]	Bank4的数据总线宽度控制位。 00= 8bi t; 01= 16bi t; 10=32bi t; 11= 保留。	0
ST3	[15]	决定SRAM对Bank3是否使用UB/LB。 0 = 不使用UB/LB (引脚对应nWBE[3:0]); 1 = 使用UB/LB (引脚对应nBE[3:0])	0
WS3	[14]	Bank3的等待状态控制位。 0 = WAIT不使能; 1 = WAIT使能。	0
DW3	[13: 12]	Bank3的数据总线宽度控制位。 00 = 8bit; 01= 16bit; 10= 32bit; 11 = 保留。	0
ST2	[11]	SRAM对Bank2是否使用UB/LB控制位。 0 = 不使用UB/LB(引脚对应nWBE[3:0]); 1 = 使用UB/LB(引脚对应nBE[3:0])。	0
WS2	[10]	Bank2的等待状态控制位。 0 = WAIT不使能; 1 = WAIT使能。	0



◆ 总线宽度和等待控制寄存器BWSCON(续)

引脚名称	位	描述	初始值
DW2	[9: 8]	Bank2的数据总线宽度控制位。 00=8bit; 01=16bit; 10=32bit; 11=保留。	0
ST1	[7]	SRAM对Bank1是否使用UB/LB控制位。 0 = 不使用UB/LB(引脚对应nWBE[3:0]); 1 = 使用UB/LB(引脚对应nBE[3:0])。	0
WS1	[6]	Bank1的等待状态控制位。 0 = WAIT无效; 1 = WAIT使能。	0
DW1	[5: 4]	Bank1的数据总线宽度控制位。 00=8bit; 01=16bit; 10=32bit; 11=保留。	0
DW0	[2:1]	Bank0数据总线宽度状态位。——由 OM[1:0]引脚决定 01= 16bit; 10 = 32bit。	-
Reserved	[0]	保留为0	0



◆ 存储块控制寄存器BANKCONn

寄存器	地址	R/W	描述	复位值
BANKCON0	0x48000004	R/W	Bank0 控制寄存器	0x0700
BANKCON1	0x48000008	R/W	Bank1 控制寄存器	0x0700
BANKCON2	0x4800000C	R/W	Bank2 控制寄存器	0x0700
BANKCON3	0x48000010	R/W	Bank3 控制寄存器	0x0700
BANKCON4	0x48000014	R/W	Bank4 控制寄存器	0x0700
BANKCON5	0x48000018	R/W	Bank5 控制寄存器	0x0700

寄存器	地址	R/W	描述	复位值
BANKCON6	0x4800001C	R/W	Bank6 控制寄存器	0x18008
BANKCON7	0x48000020	R/W	Bank7 控制寄存器	0x18008



◆ 存储块控制寄存器BANKCONn(续)

引脚名称	位	描述	初始值
Tacs	[14:13]	确定nGCSn信号有效之前,建立有效地址的时间。 00=0时钟周期;01=1时钟周期; 10=2时钟周期;11=4时钟周期。	00
Tcos	[12:11]	确定nOE信号有效之前,建立片选信号的时间。 00=0时钟周期;01=1时钟周期; 10=2时钟周期;11=4时钟周期。	00
Tacc	[10:8]	访问周期控制位, 当 nWAIT 信号被使用, Tacc 大于等于 4 时钟周期。 000 = 1时钟周期; 001 = 2时钟周期; 010 = 3时钟周期; 011 = 4时钟周期; 100 = 6时钟周期; 101 = 8时钟周期; 110 = 10时钟周期; 111 = 14时钟周期;	111

(注: 仅限BANKCONO ∼ BANKCON5)



◆ 存储块控制寄存器BANKCONn(续)

引脚名称	位	描述	初始值
Tcoh	[7:6]	确定nOE信号失效后,片选信号保持时间。 00=0时钟周期;01=1时钟周期; 10=2时钟周期;11=4时钟周期;	00
Tcah	[5:4]	确定nGCSn信号失效之后,地址保持时间。 00=0时钟周期;01=1时钟周期; 10=2时钟周期;11=4时钟周期。	00
Таср	[3:2]	页模式下的访问周期控制位。 00 = 2时钟周期; 01 = 3时钟周期; 10 = 4时钟周期; 11 = 6时钟周期。	00
PMC	[1:0]	页模式配置位。 00 = 常规(1 data); 01 = 4 data; 10 = 8 data; 11 = 16 data。	00

(注: 仅限BANKCONO ∼ BANKCON5)

△BANKCON6和BANKCON7寄存器的定义,可查阅《S3C2440 Datasheet》。差别主要是多了对SDRAM的控制。



→ 刷新控制寄存器REFRESH

寄存器	地址	R/W	描述	复位值
REFRESH	0x48000024	R/W	SDRAM 刷新控制寄存器	0xAC0000

引脚名称	位	描述	初始值
REFEN	[23]	SDRAM 刷新使能控制位。 0 = 无效; 1 = 有效(Sel f, CBR/Auto刷新)	1
TREFMD	[22]	SDRAM刷新模式控制位。 0 = CBR/Auto模式; 1 = Self模式 在自刷新模式下,SDRAM控制信号被置于适当的电平。	0
Trp	[21:20]	SDRAM RAS预充电时间(Trp)控制位。 00 = 2时钟周期; 01 = 3时钟周期; 10 = 4时钟周期; 11 = 不支持。	10
Tsrc	[19:18]	SDRAM 半行周期时间 (Tsrc) 00 = 4时钟周期; 01 = 5时钟周期; 10 = 6时钟周期; 11 = 7时钟周期。 SDRAM 行周期时间: Trc=Tsrc+Trp。	11



◆刷新控制寄存器REFRESH(续)

引脚名称	位	描述	初始值
Reserved	[17:16]	保留	00
Reserved	[15:11]	保留	0000
Refresh Counter	[10:0]	SDRAM 刷新计数值。 刷新时间= (211-刷新计数值+1)/HCLK 如果刷新时间是7.8 us并且HCLK是100 MHz, 刷新计数值如下: 刷新计数值= 211+ 1 - 100x7.8 = 1269	0



◆ 存储块大小控制寄存器BANKSI ZE

寄存器	地址	R/W	描述	复位值
BANKSIZE	0x48000028	R/W	可变 Bank 大小寄存器	0x0

引脚名称	位	描述	初始值
BURST_EN	[7]	ARM 内核突发操作使能控制位。 0 =不使能; 1 =使能突发操作。	0
Reserved	[6]	保留	0
SCKE_EN	[5]	SDRAM省电模式使能控制位。 0 =禁止; 1 =使能。	0
SCLK_EN	[4]	SCLK信号使能控制位。 SDRAM没有被访问时,SCLK变成低电平。 0 = SCLK 总是激活; 1 = SCLK 仅当访问周期才被激活(推荐)。	0
Reserved	[3]	保留	0
BK7MAP	[2:0]	Bank6/7号存储块的容量控制位。 010=128MB; 001=64MB; 000=32M; 111=16M; 110=8M; 101=4M; 100=2M。	010



◆ NAND Flash存储器相关的寄存器

常用寄存器

• NAND Flash配置寄存器NFCONF

• NAND Flash控制寄存器NFCONT

• NAND Flash命令寄存器NFCMMD

• NAND Flash地址寄存器NFADDR

• NAND Flash数据寄存器NFDATA

• NAND Flash状态寄存器NFSTAT



◆ NAND Flash配置寄存器NFCONF

寄存器	地址	R/W	描述	复位值
NFCONF	0x4E000000	R/W	NAND Flash 配置寄存器	0x0000100X

引脚名称	位	描述	初始值
Reserved	[15:14]	保留。	
TACLS	[13:12]	确定CLE和ALE的持续时间值,可以设置的范围是0~3。 持续时间值=HCLK×TACLS。	01
Reserved	[11]	保留。	0
TWRPH0	[10:8]	确定TWRPHO的持续时间值,可以设置的范围是0~7。 持续时间值=HCLK×(TWRPHO+1)。	000
Reserved	[7]	保留。	0
TWRPH1	[6:4]	确定TWRPH1的持续时间值,可以设置的范围是0~7。 持续时间值=HCLK×(TWRPH1+1)。	000



◆ NAND Flash配置寄存器NFCONF(续)

引脚名称	位	描述	初始值
AdvFlash (Read only)	[3]	自动加载高级NAND Flash存储器。 0= NAND Flash为256 /512字节页大小; 1= NAND Flash为1024 /2048字节页大小。 这个标志位由从睡眠模式重启或唤醒过程中的NCONO引脚状态决定。	设置H/W (NCONO)
PageSi ze (Read only)	[2]	NAND Flash存储器页容量选择位。 当AdvFlash=0时,0=256字/页; 1=512字节/页。 当AdvFlash=1时,0=1024字/页; 1=2048字节/页。 这个标志位由从睡眠模式重启或唤醒过程中的GPG13引脚状态决定。 复位之后,GPG13作为一般的I/0端口或外部中断。	设置H/W (GPG13)
AddrCycle (Read only)	[1]	NAND Flash存储器地址周期选择位。 当AdvFlash=0时,0=3地址周期; 1=4地址周期。 当AdvFlash=1时,0=4地址周期; 1=5地址周期。 这个标志位由从睡眠模式重启或唤醒过程中的GPG14引脚状态决定。 复位之后,GPG14作为一般的I/0端口或外部中断。	设置H/W (GPG14)
BusWidth (R/W)	[0]	NAND Flash存储器总线宽度选择位。 0=8 位总线宽度; 1=16位总线宽度。 这个标志位由从睡眠模式重启或唤醒过程中的GPG15引脚状态决定。 复位之后,GPG15作为一般的I/0端口或外部中断。能被软件改变。	设置H/W (GPG15)



◆ NAND Flash控制寄存器NFCONT

寄存器	地址	R/W	描述	复位值
NFCONT	0x4E000004	R/W	NAND Flash 控制寄存器	0x0384

引脚名称	位	描述	初始值
Reserved	[15:14]	保留。	00
Lock-tight	[13]	Lock-tight配置位。0=不使能;1=使能。 一旦被设置为1,将不能被清除。只有从睡眠模式复位或唤醒时,才能置为不使能。当设置为1时,NFSBLK(0x4E000038)~NFEBLK(0x4E00003C)-1的地址寄存器空间为不锁定,除了这个区域外的其它地址寄存器空间只读。 当试图写或擦除锁定区域时,将发生非法访问(NFSTAT[3]位将被置1)。 若NFSBLK和NFEBLK地址寄存器相同,则整个区域都将被锁定。	0
Soft Lock	[12]	软件锁定配置位。0=不使能; 1=使能。 软件可以随时修改软锁的区域。 操作方式同Lock-tight位。	1
Reserved	[11]	保留。	0



◆ NAND Flash控制寄存器NFCONT(续)

引脚名称	位	描述	初始值		
EnbIllegalAccINT	[10]	非法访问中断控制。 0=不使能中断; 1=使能中断。 当处理器试图编程或擦写锁存区域时发生非法访问中断控制。	0		
EnbRnBINT[9]RnB状态输入信号转换中断控制。 0=不使能RnB中断; 1=使能RnB中断。					
RnB_TransMode	[8]	RnB 转换检测配置。 0=上升沿检测; 1=下降沿检测。	0		
Reserved	[7]	保留。	0		
SpareECCLock	[6]	空闲区域ECC锁定。0=未锁定,1=锁定。 空闲区域ECC状态寄存器是FSECC,地址为0x4E000034。	1		
MainECCLock	[5]	主数据区域ECC锁定。 0=未锁定; 1=锁定。 主数据区域ECC状态寄存器是NFMECCO/1,地址为 0x4E00002C/30。	1		



◆ NAND Flash控制寄存器NFCONT(续)

引脚名称	位	描述	初始值
InitECC	[4]	初始化ECC译码器/编码器(只读)。 1=初始化ECC译码器/编码器。	0
Reserved	[3:2]	保留。	0
Reg_nCE	[1]	NAND Flash的nFCE信号控制。 0=nFCE为低电平; 1= nFCE为高电平。 注意:在启动期间,它能自动控制,当MODE方式位为1时,该值才有效。	1
MODE	[0]	NAND flash控制器的运行模式。 0=控制器不使能; 1=控制器使能。	0



◆ NAND Flash命令寄存器NFCMMD

寄存器	地址	R/W	描述	复位值
NFCMMD	0x4E000008	R/W	NAND Flash 命令集寄存器	0x00

引脚名称	位	描述	初始值
Reserved	[15:8]	保留。	0x00
NFCMMD	[7:0]	NAND Flash 存储器的命令值。	0x00

命令操作 命令值

Read	00h
Read for Copy Back	00h
Read ID	90h
Reset	FFh
Page Program	80h
Block Erase	60h



◆ NAND Flash地址寄存器NFADDR

寄存器	地址	R/W	描述	复位值
NFADDR	0x4E00000C	R/W	NAND Flash 地址集寄存器	0x0000XX00

引脚名称	位	描述	初始值
Reserved	[15:8]	保留。	0x00
NFADDR	[7:0]	NAND Flash 存储器地址值。	0x00



◆ NAND Flash数据寄存器NFDATA

寄存器	地址	R/W	描述	复位值
NFDATA	0x4E000010	RW	NAND Flash 数据寄存器	0xXXXX

i	引脚名称	位		描述		初始值
I	NFDATA	[31:0]	NAND Flash的数据,程1/0的数据。	读取时存放的是读出的数据,	写入时是编	_

1) 16 位 NAND Flash 存储器接口

A 字访问

寄存器	寄存器 大/小端 位[31:24]		位[2316]	位[15:8] 位[7:0]		
NFDATA	小端	2 nd I/O[15:8]	2 nd I/O[7:0]	1 st I/O[15:8]	1 st I/O[7:0]	
NFDATA	大端	1 st I/O[15:8]	1 st I/O[7:0]	2 nd I/O[15:8]	2 nd I/O[7:0]	

B 半字访问

寄存器	大/小端	大/小端 位[31:24]		位[15:8]	位[7:0]	
NFDATA	大/小端	无效值	无效值	1 st I/O[15:8]	1 st I/O[7:0]	
NEDATA	大/小端	七奴值	七奴值	 大双值	11/0[7:0]	



◆ NAND Flash状态寄存器NFSTAT

寄存器	地址	R/W	描述	复位值
NFSTAT	0x4E000020	R/W	NAND Flash 运行状态寄存器	0xXX00

引脚名称	位	描述	初始值
Reserved	[7]	保留。	
Reserved	[6:4]	保留。	0
IllegalAccess	[3]	一旦软锁或Lock-ti gh位被激活,若非法存取 (程序或擦除), 将置位该位。 0=非法存取不被检测; 1=非法存取被检测。	0
RnB_TransDetect	[2]	当FRnB引脚由低变高时发生传输, 如果使能了此位则设置和 发出中断。要清除此位时对其写入"1"。 0=不检测FRnB传输; 1=检测FRnB传输。	0
nCE (Read-only)	[1]	nCE输出引脚状态位。	1
RnB (Read-only)	[0]	FRnB输入引脚状态位。 O= NAND Flash忙; 1=NAND Flash就绪,可以运行。	1



The End!

本章要点



- 執悉嵌入式存储器的分类,及不同类型存储器的特点和使用场合。
- 申 弄清嵌入式存储器系统的构成及其存储空间的分布和 特点。
- ◆ 通过实例,掌握常用存储器芯片与嵌入式微处理器芯片的连接方法。
- 申 简单了解存储器控制器中相关特殊功能寄存器控制字的分析方法。