

数 字 逻 辑

Digital Logic Circuit

丁 贤 庆

ahhfdxq@163.com

Home work (P268和 P350)

1、本周无实验。

2、今天的作业

5.4.3

5.5.3

6.1.1

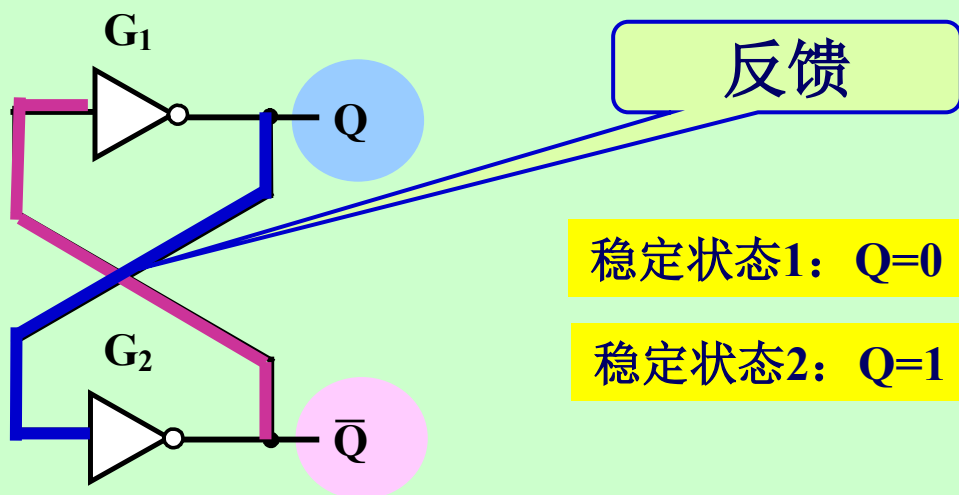
6.2.3

6.2.4

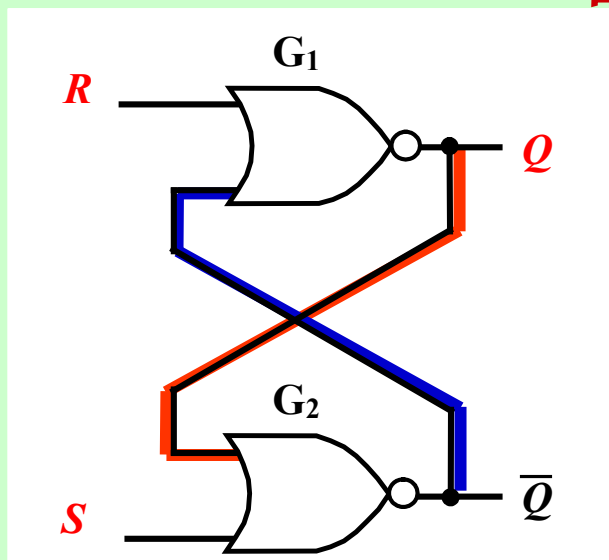
第5章 锁存器和触发器

Latches and Flip-Flops

最基本的双稳态电路



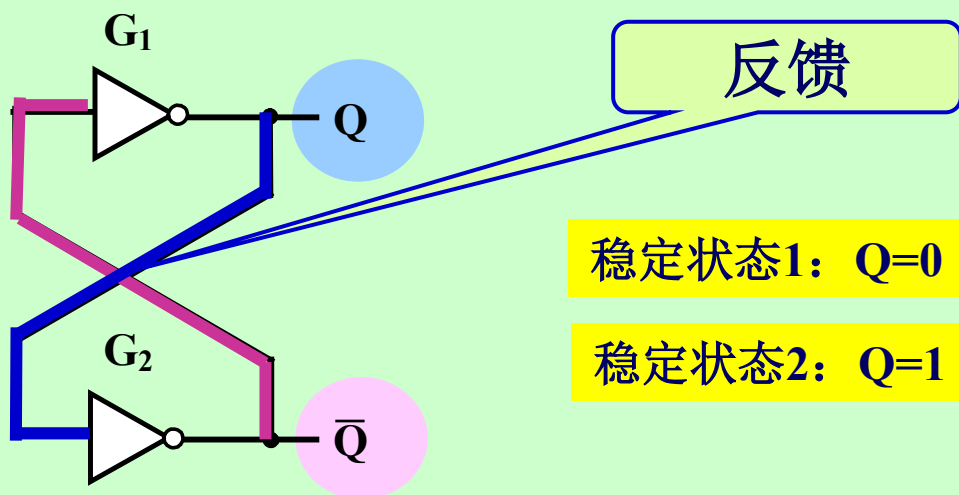
由2个或非门构成的基本SR锁存器



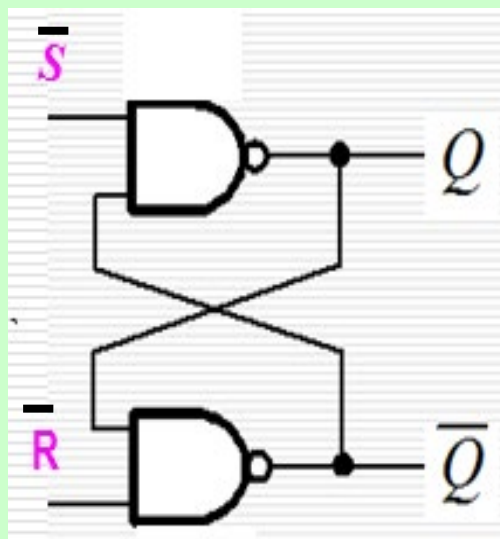
由卡诺图可得 Q^{n+1} 对应的表达式

$$Q^{n+1} = S + \bar{R} Q^n$$

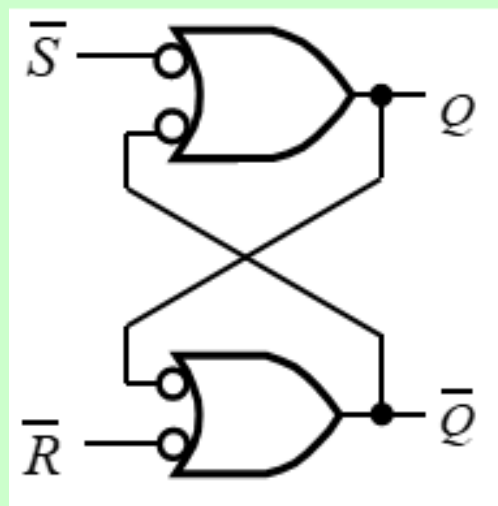
最基本的双稳态电路



由2个与非门构成的基本SR锁存器



由2个非或门构成的基本SR锁存器



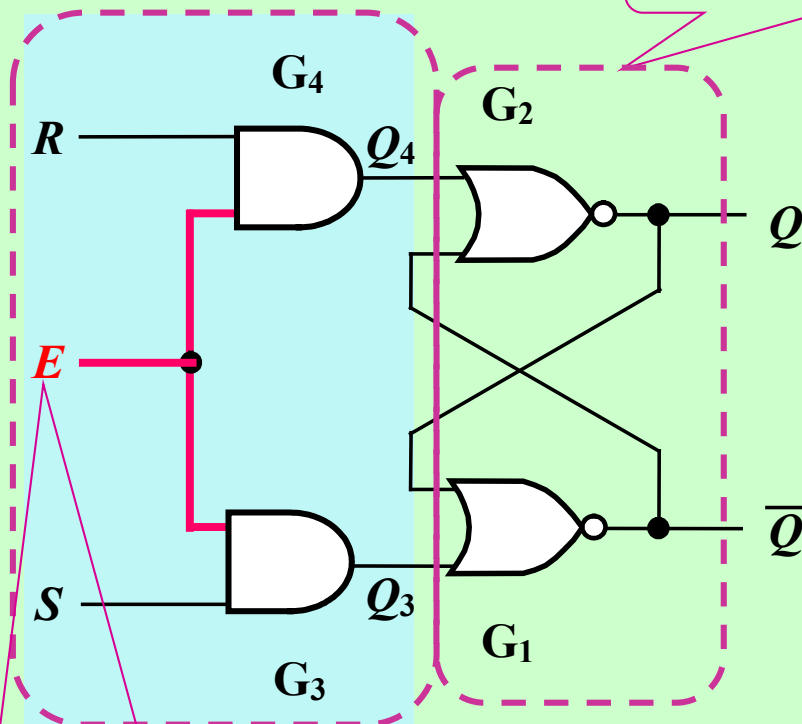
Q^{n+1} 卡诺图得

$$Q^{n+1} = \overline{S} + \overline{R}Q^n$$

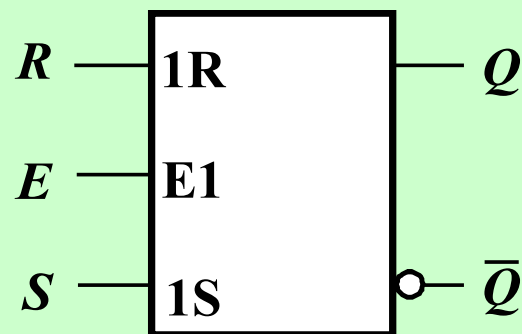
门控SR 锁存器

1. 电路结构

简单SR锁存器



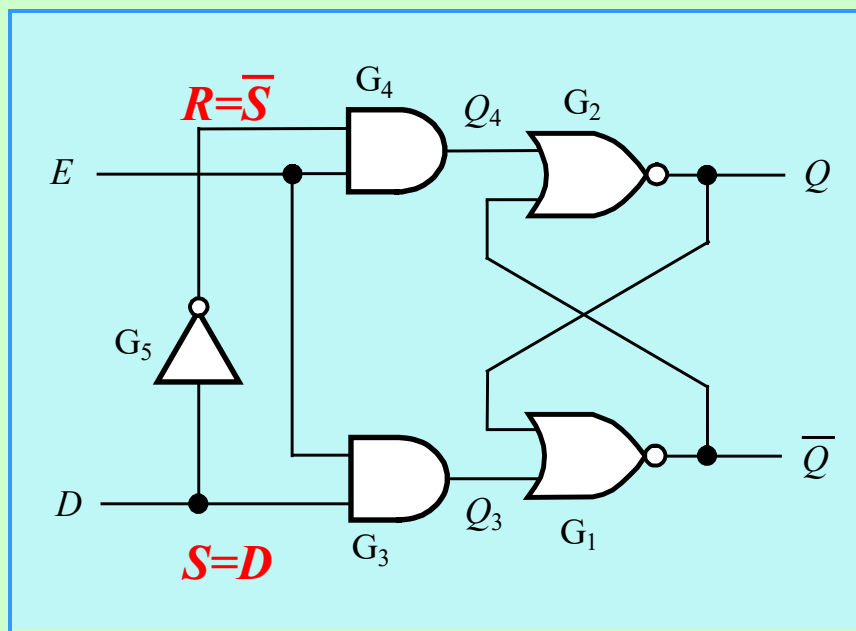
国标逻辑符号



使能信号控制门电路

门控D锁存器

逻辑电路图

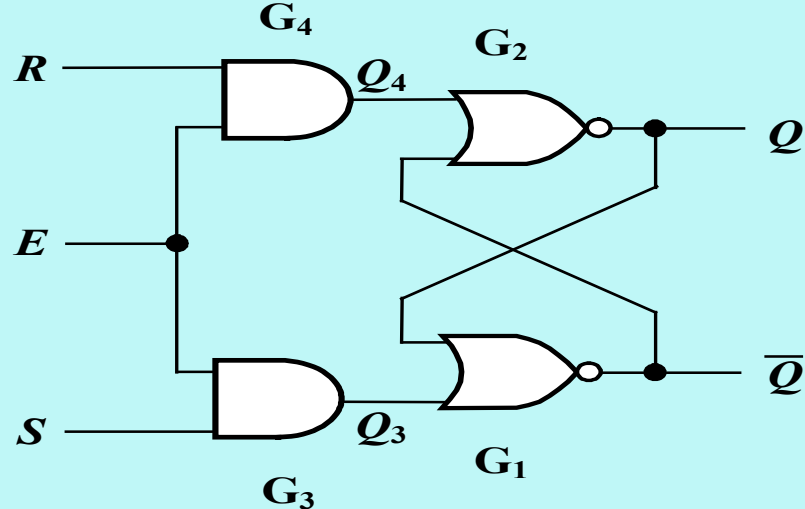


$E=0$

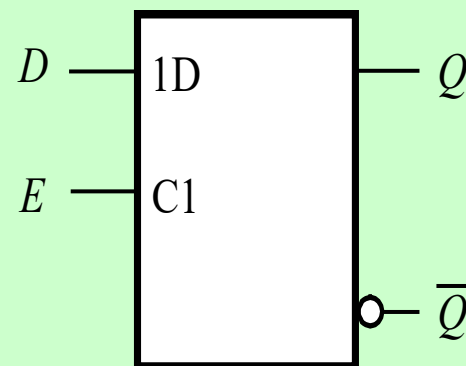
Q 不变

$E=1$

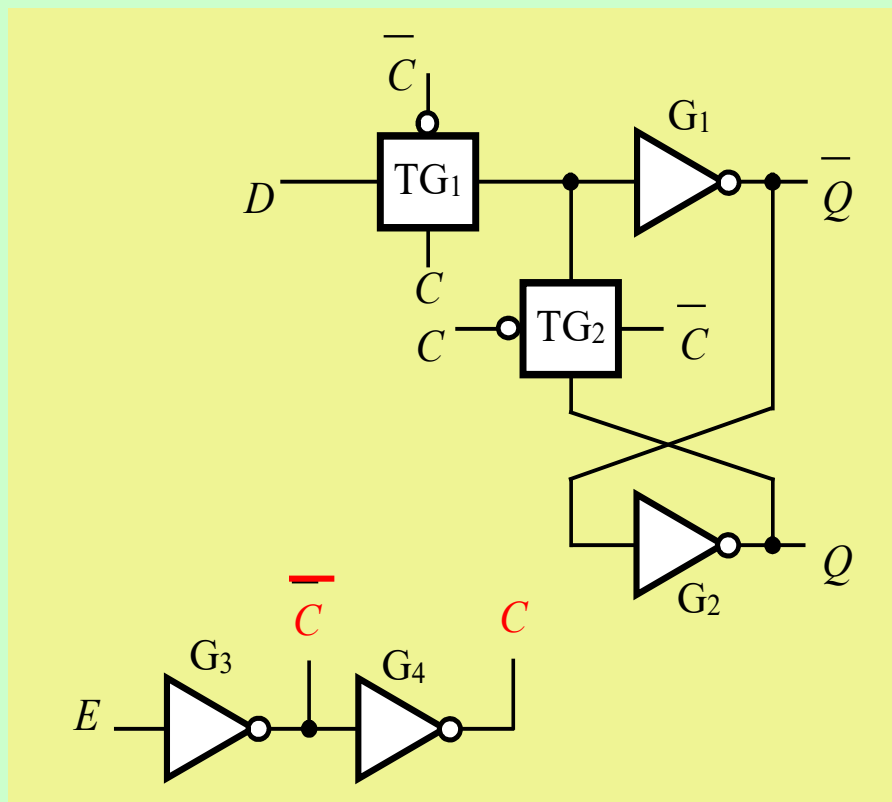
$Q^{n+1} = D$



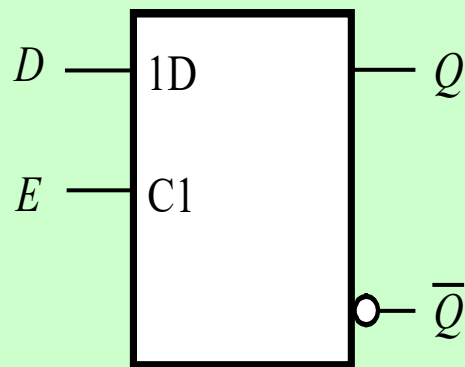
逻辑符号



传输门控D锁存器



逻辑符号



5.4 触发器的电路结构和工作原理

5.4.1 主从D触发器的电路结构和工作原理

5.4.2 典型主从D触发器集成电路

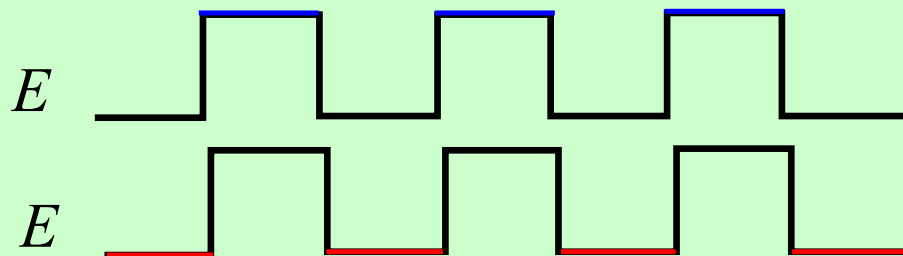
5.4.3 主从D触发器的动态特性

5.4.4 其他电路结构的触发器

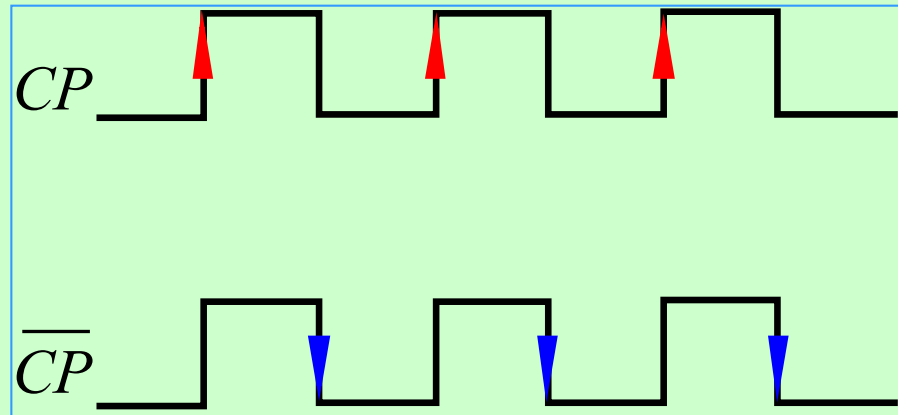
5.4 触发器的电路结构和工作原理

1. 锁存器与触发器

锁存器在**E**的高(低)电平期间对信号敏感



触发器在**CP**的上升沿(下降沿)对信号敏感



在VerilogHDL中对锁存器与触发器的描述语句是不同的

5.4 触发器的电路结构和工作原理

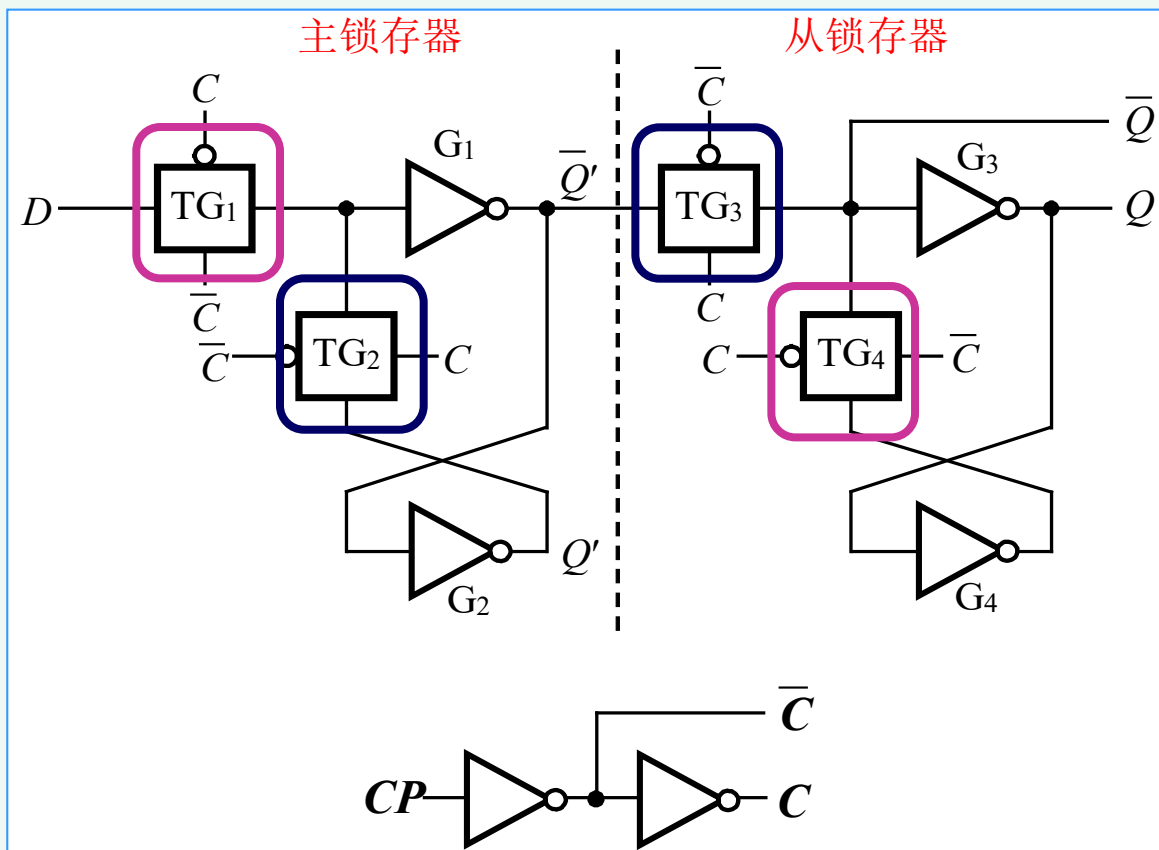
5.4.1 主从D触发器的电路结构和工作原理

1. 电路结构

主锁存器与从锁存器结构相同

TG₁和**TG₄**的工作状态相同，即两个传输门的控制信号相同。

TG₂和**TG₃**的工作状态相同，即两个传输门的控制信号相同。

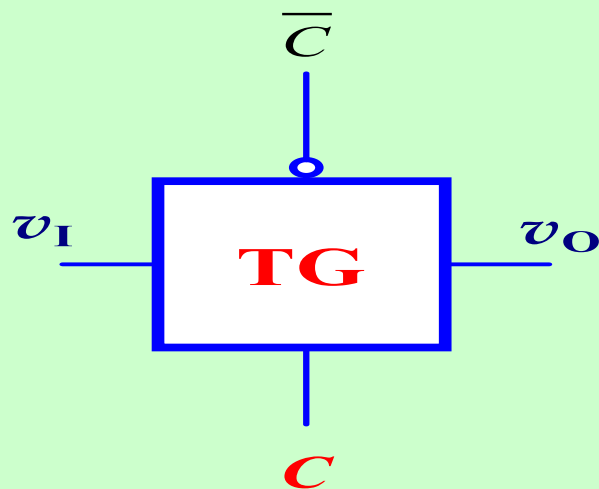
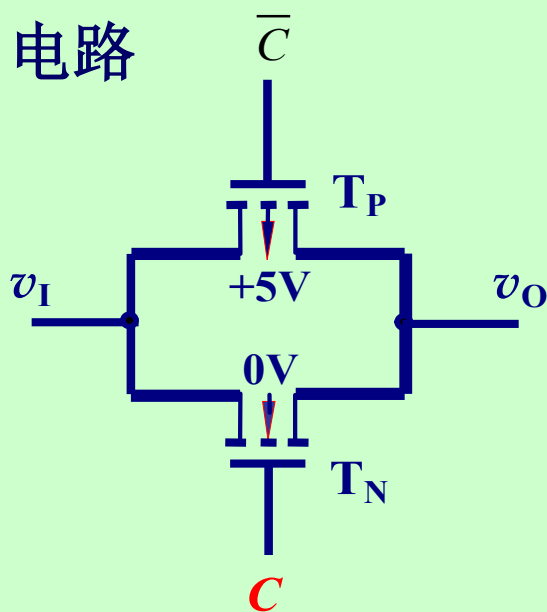


CMOS传输门(双向模拟开关)

TG=Transmission Gate

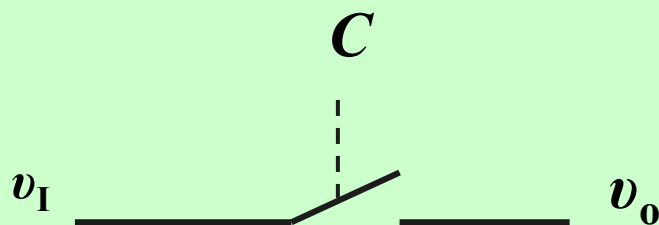
1. 传输门的结构及工作原理

传输门逻辑符号



当 $C=1$ 且 $\bar{C}=0$ 时, 传输门导通

等效电路

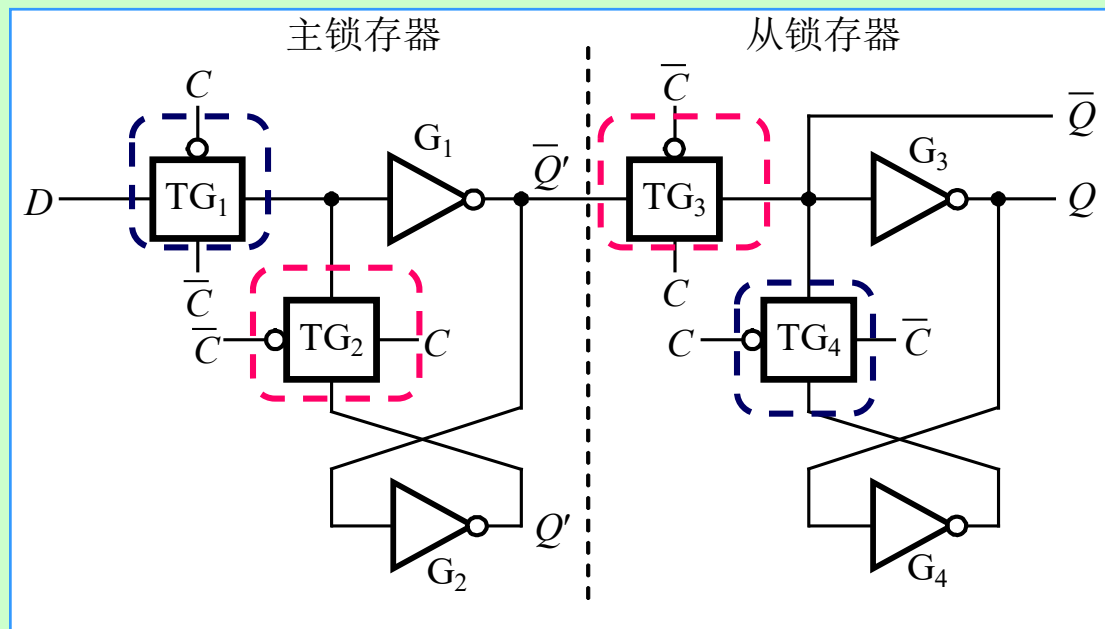
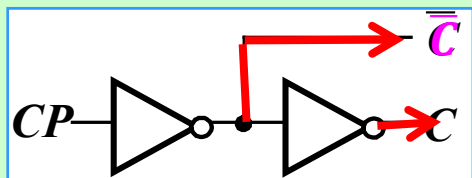


传输门就相当于电子开关,是受 C 信号控制的电子开关

2. 工作原理

(1) $CP=0$ 时:

$$\bar{C}=1, C=0,$$



TG_1 导通, TG_2 断开——输入信号 D 送入主锁存器。

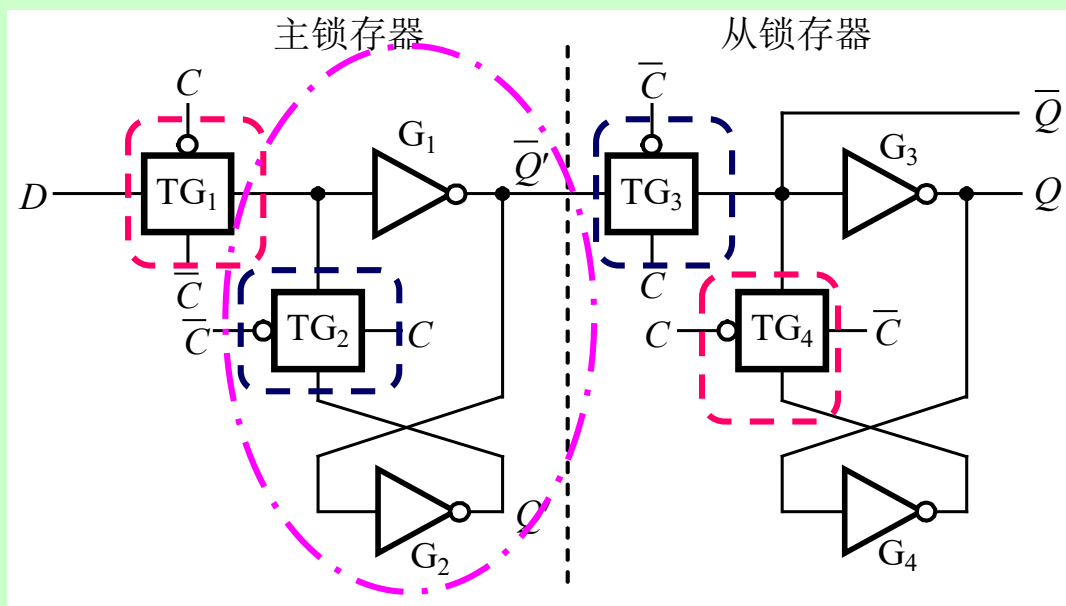
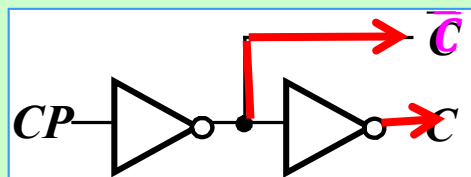
Q' 跟随 D 端的状态变化, 使 $Q'=D$ 。

TG_3 断开, TG_4 导通——从锁存器维持在原来的状态不变。

2. 工作原理

(2) CP由0跳变到1：

$$\bar{C}=0, C=1,$$



TG₁断开，TG₂导通——输入信号 D 不能送入主锁存器。

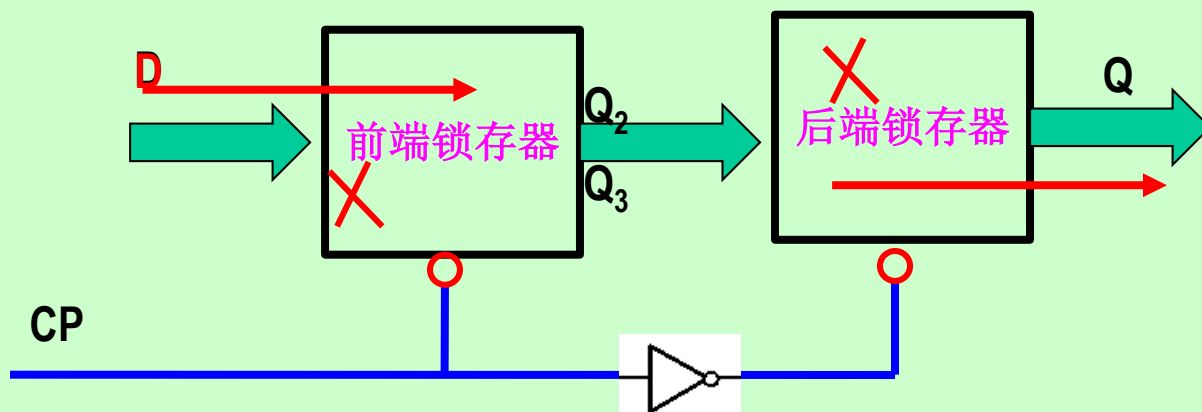
主锁存器维持原态不变。

TG₃导通，TG₄断开——主锁存器中 Q' 的信号送 Q 端。

触发器的状态仅仅取决于CP信号上升沿到达前瞬间的 D 信号

(3) CP=1，并维持高电平

上升沿触发

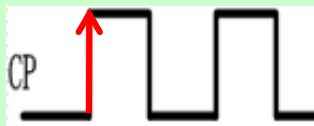


(1) CP=0时:



前端锁存器导通，后段锁存器截止。
信号D能进入前端锁存器中。

(2) CP由0跳变到1:

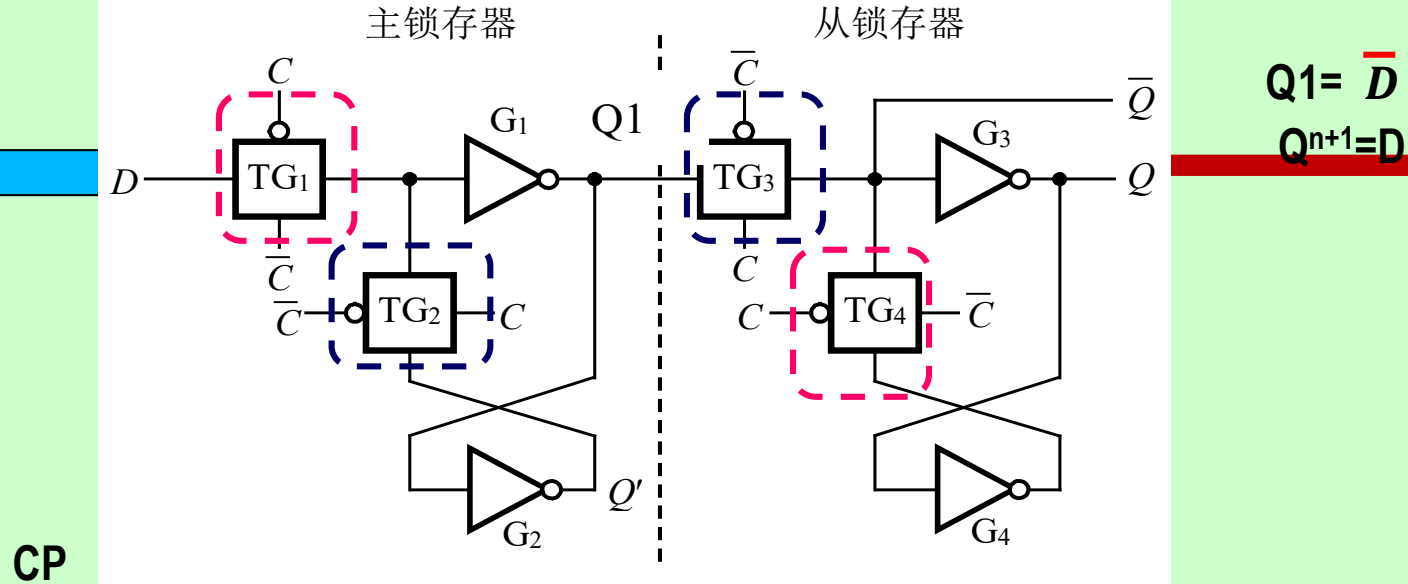


前端锁存器截止，后段锁存器导通。
信号D通过后端锁存器，传输到Q端。

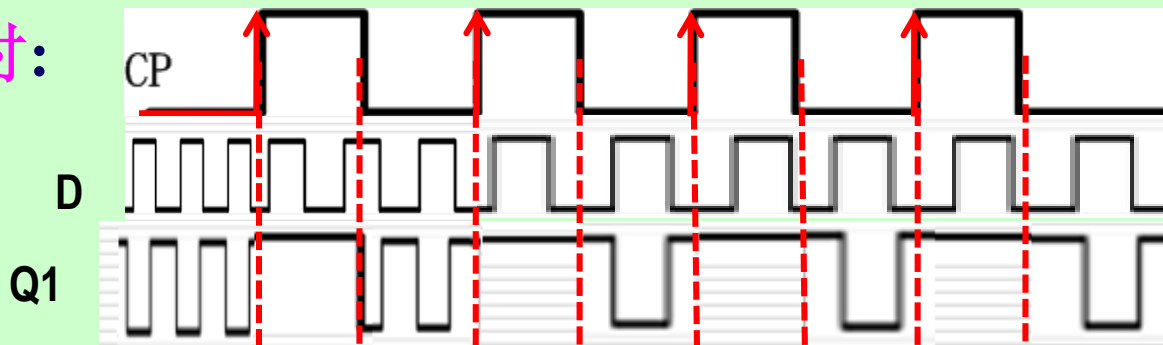
(3) CP=1，并维持高电平:

由于前端锁存器截止，信号D不能通过前端锁存器，所以与后段锁存器相连的Q端信号保持不变。

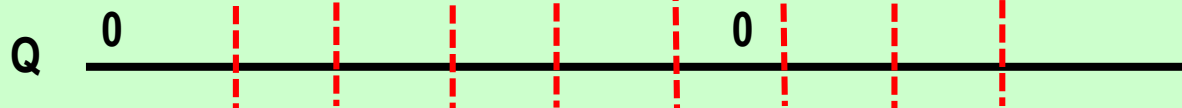
结论: 在CP脉冲的上升沿到来瞬间使触发器的状态变化



(1) CP=0时:

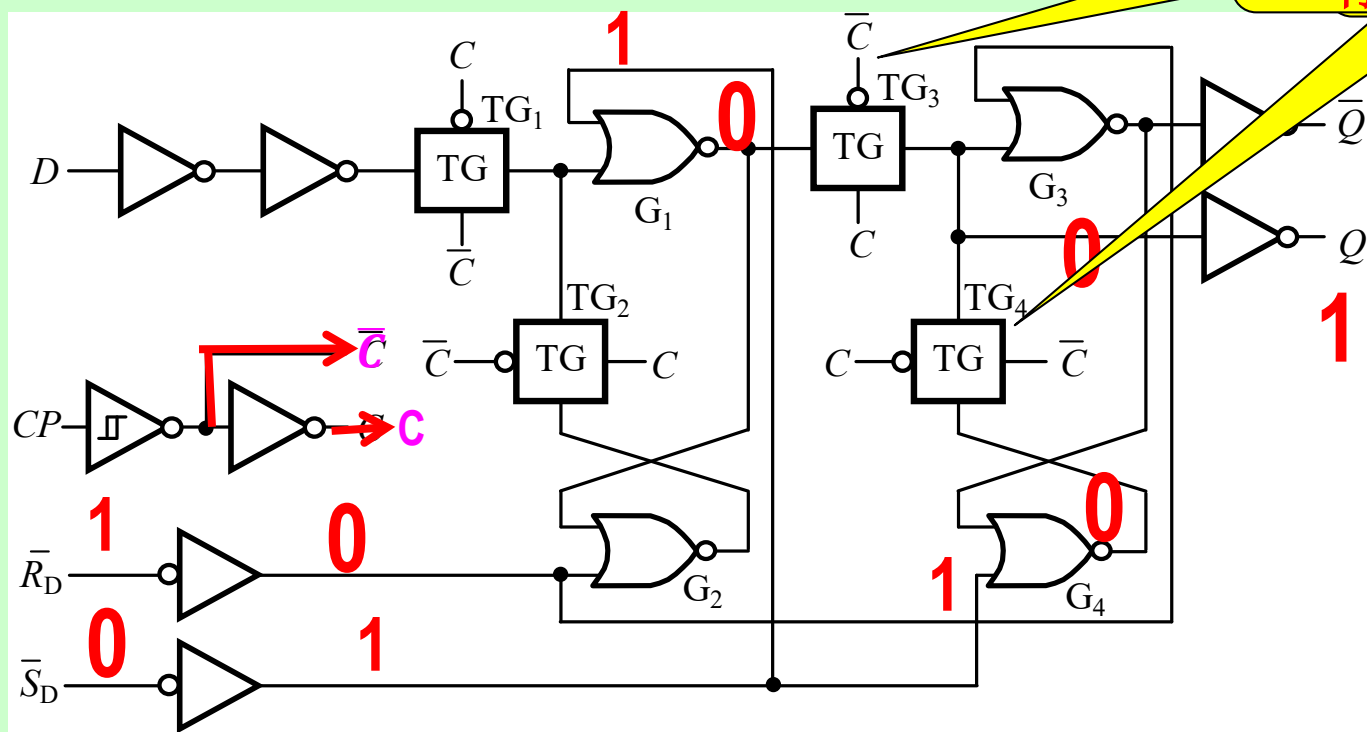


(2) CP由0跳变到1:



5.4.2 典型主从D触发器集成电路：芯片74HC74

74HC/HCT74 中D触发器的逻辑图



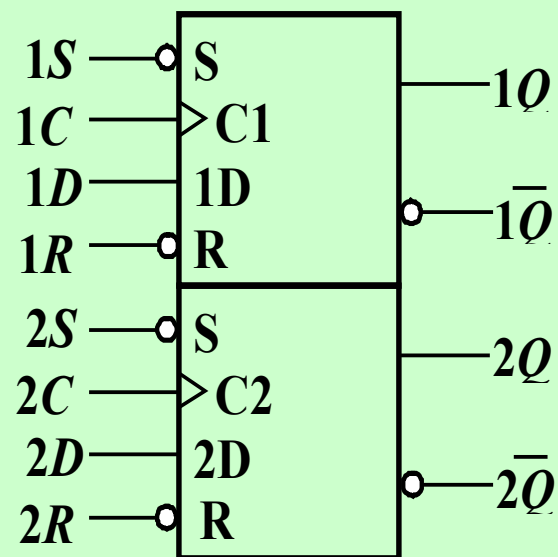
两个传输门里必有一个导通

其中： $\overline{S_D}$ 是置1、 $\overline{R_D}$ 是置0

当 $\overline{S_D}=0$ 时，置1。

$\overline{R_D}=0$ 时，置0

74HC/HCT74的逻辑符号和功能表



国标逻辑符号

74HC/HCT74的功能表

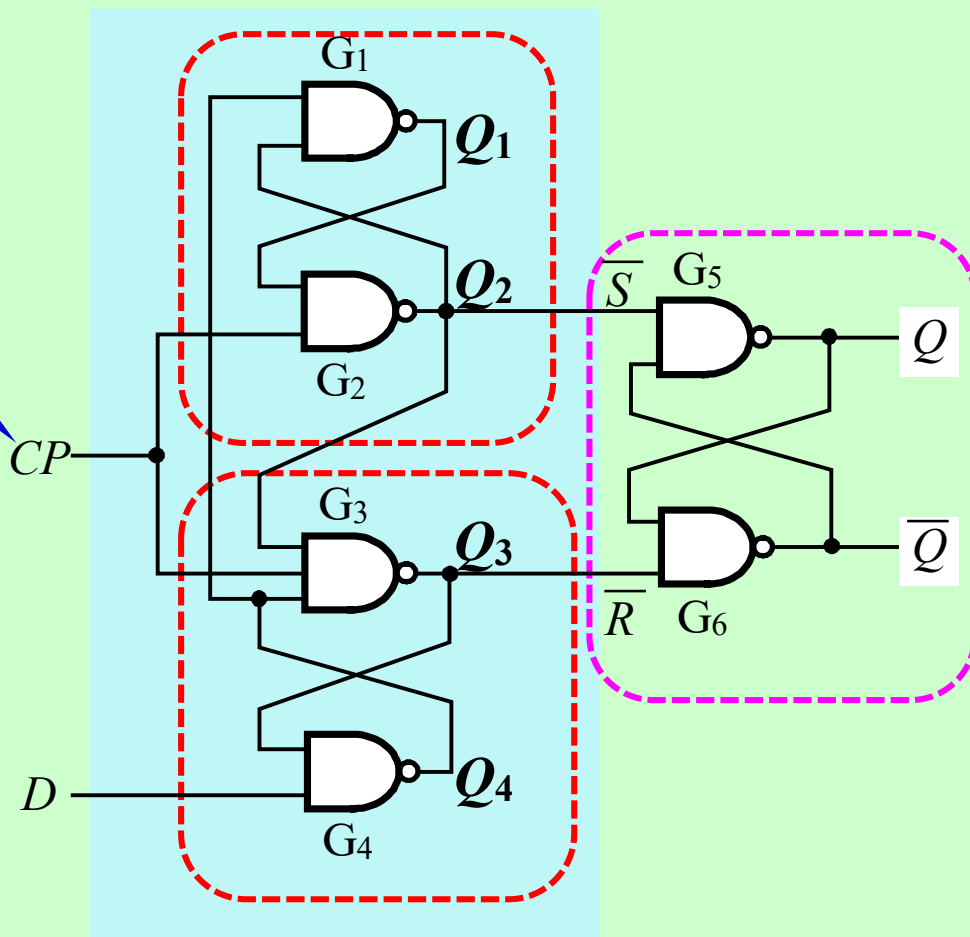
输 入				输 出	
\overline{S}_D	\overline{R}_D	CP	D	Q	\overline{Q}
L	H	×	×	H	L
H	L	×	×	L	H
L	L	×	×	H	H
\overline{S}_D	\overline{R}_D	CP	D	Q^{n+1}	\overline{Q}^{n+1}
H	H	↑	L	L	H
H	H	↑	H	H	L

具有直接置1、直接置0，正边沿触发的D功能触发器

5.4.4 其他电路结构的触发器

1. 维持阻塞D触发器结构

由3个基本SR锁存器组成



时钟CP信号

输入D

结论： 在 CP 脉冲的上升沿到来瞬间使触发器的状态变化

2、工作原理

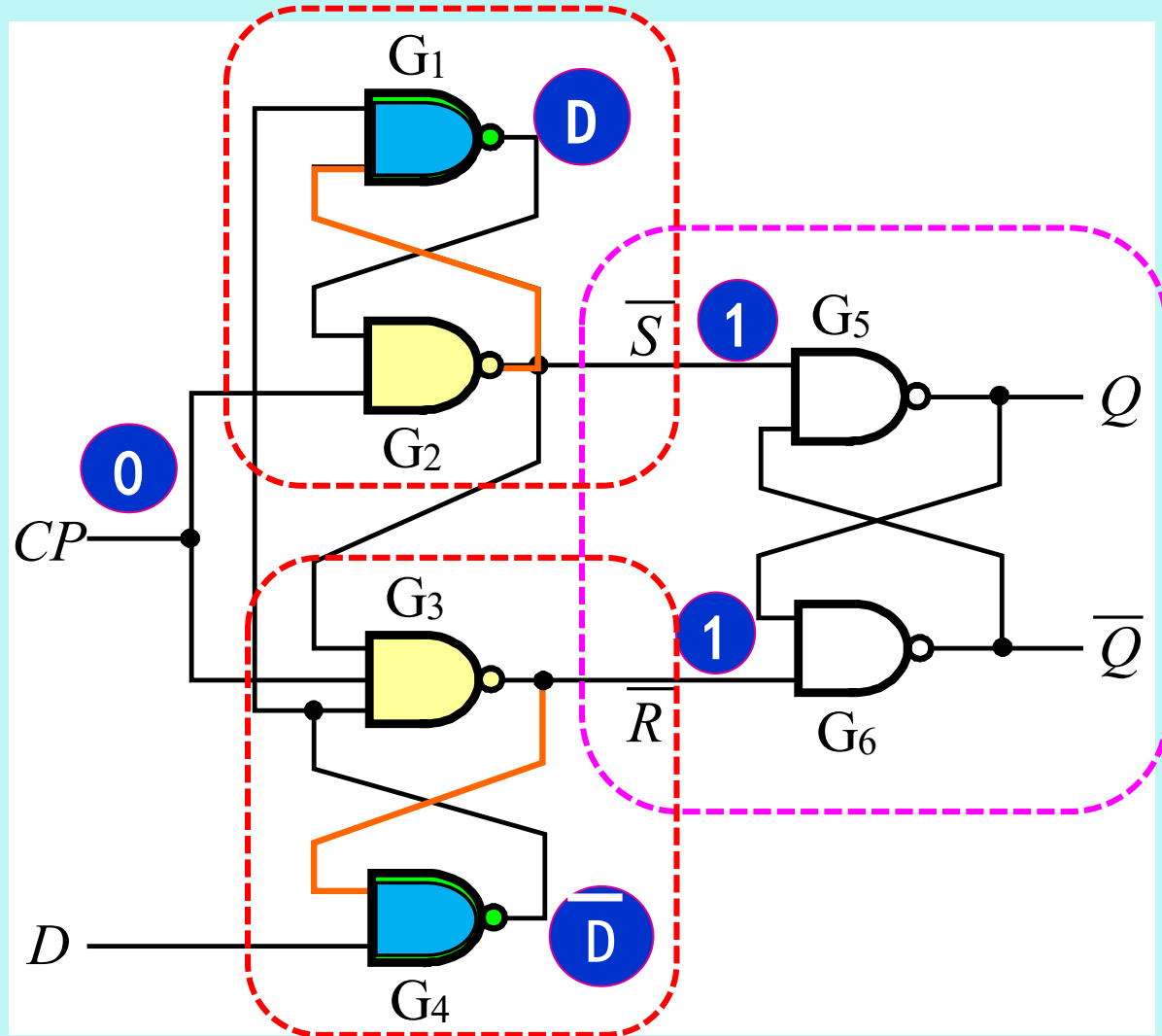
$$CP = 0$$

$$Q_4 = \overline{D} \quad Q_1 = D$$

$$Q^{n+1} = Q^n$$

\overline{D} 信号存于 Q_4

D 信号存于 Q_1



D 信号进入触发器(主锁存器), 为状态刷新作好准备

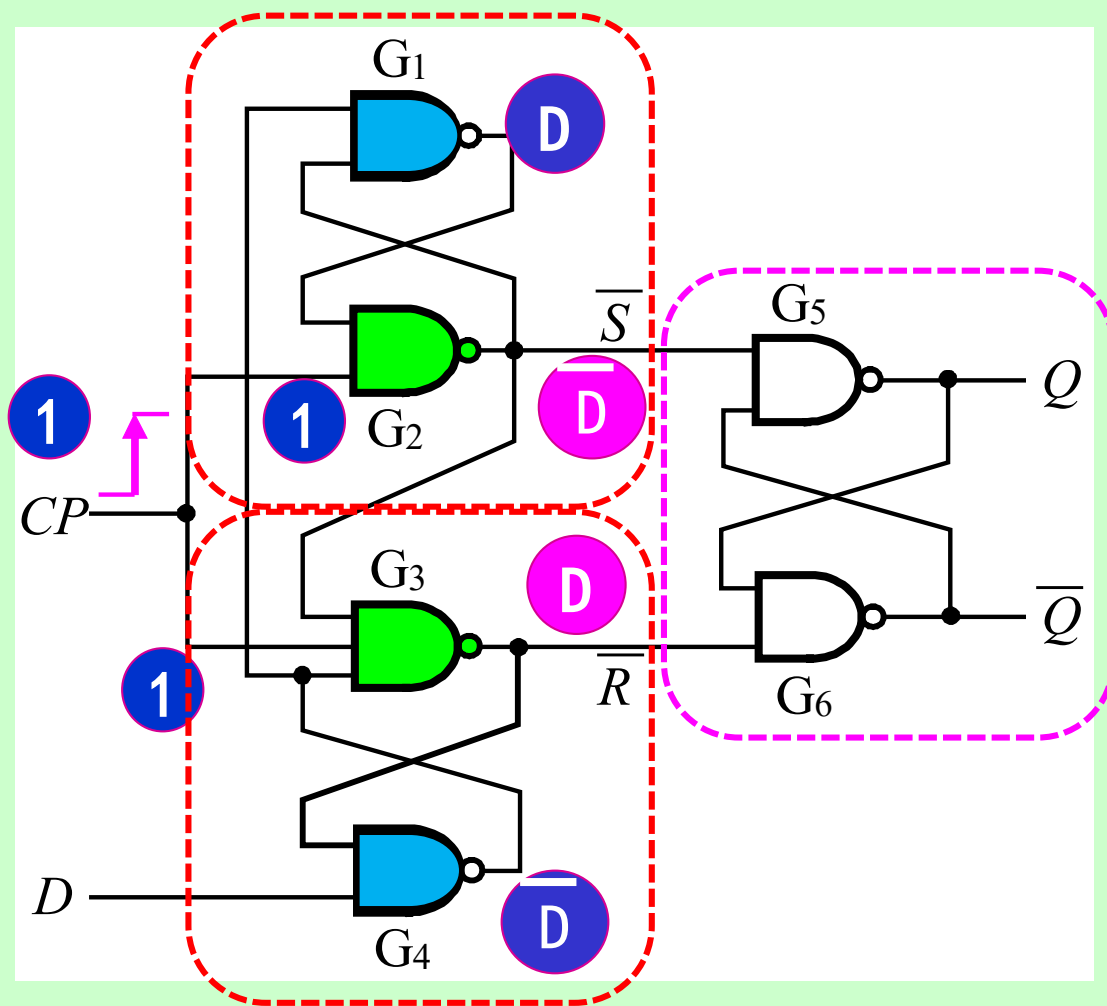
当 CP 由0跳变为1

$$Q^{n+1} = D$$

在 CP 脉冲的上升沿，触发器按此前的 D 信号刷新

$$Q^{n+1} = \overline{S} + \overline{R}Q^n$$

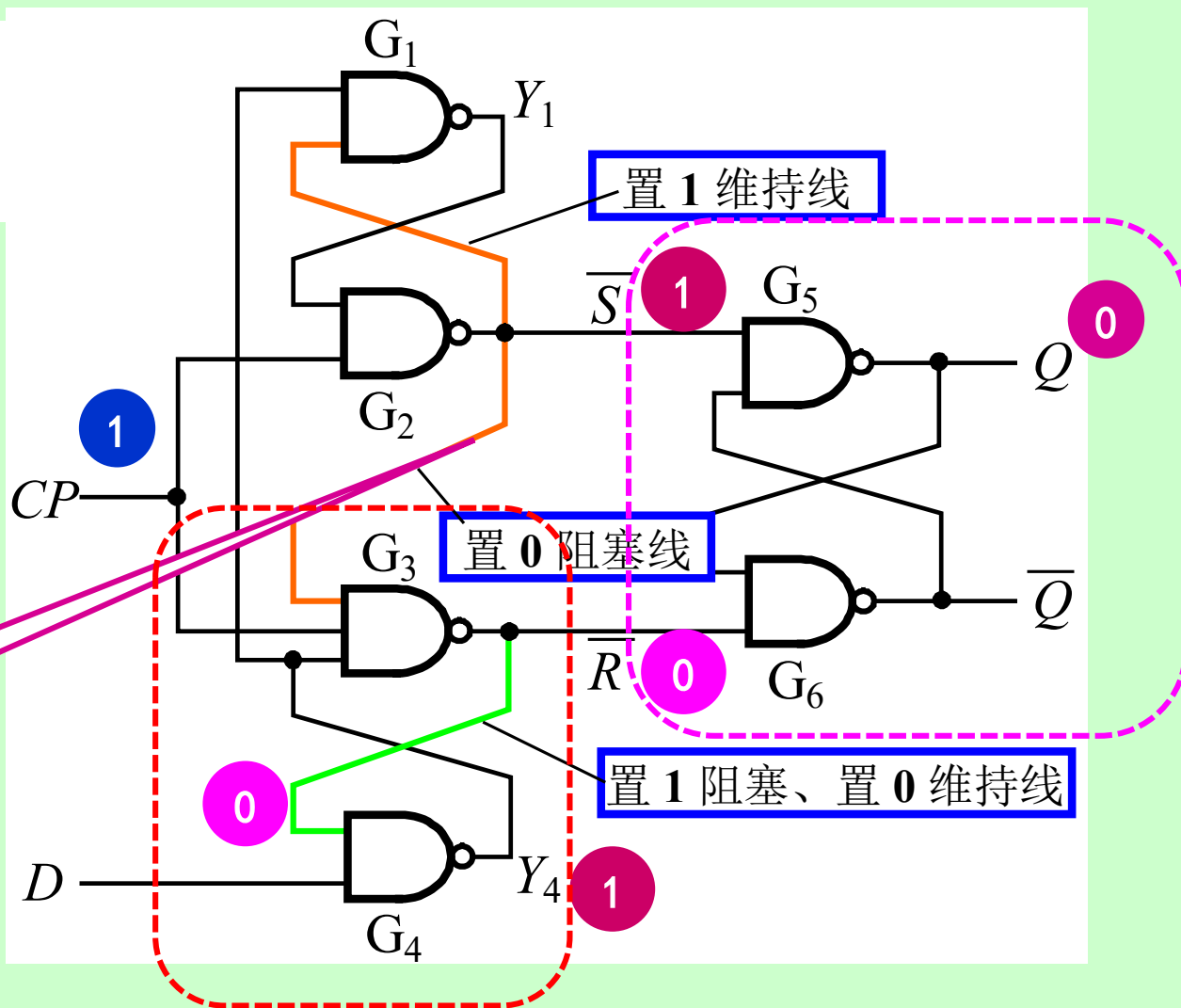
如 $Q^{n+1}=0$,
则 $\overline{S}=1$
 $\overline{R}=0$;
如 $Q^{n+1}=1$,
则 $\overline{S}=0$
 $\overline{R}=1$



当 $CP = 1$ 时， D 信号不影响 \overline{S} 、 \overline{R} 的状态， Q 的状态不变

D 信号在变化，看看这个 D 信号是否可以影响到输出 Q ：

如 $Q^n = 0$



Q_2, Q_3
状态不变

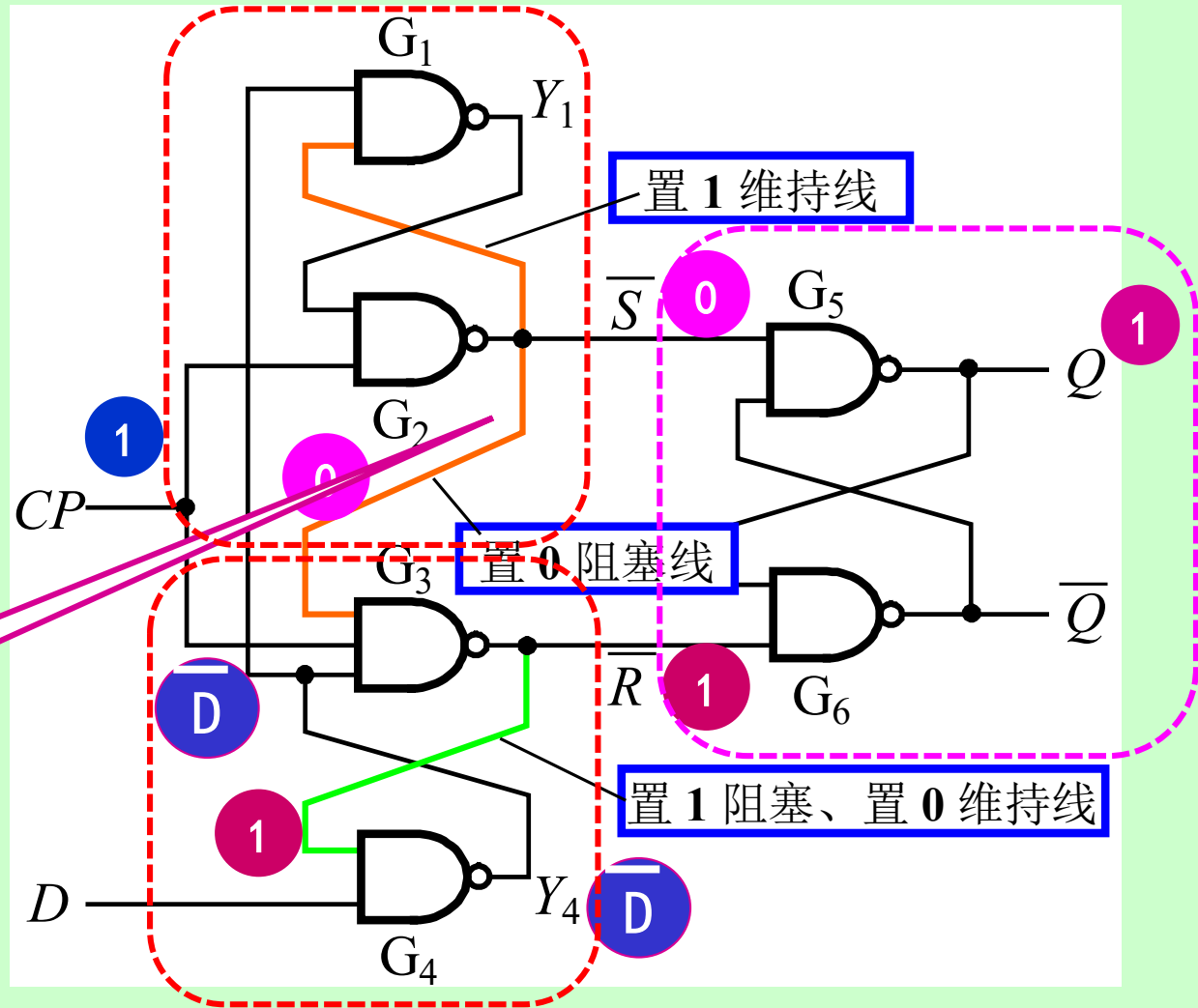
在 CP 脉冲的上升沿到来瞬间使触发器的状态 Q 变化

当 $CP = 1$ 时， D 信号不影响 \overline{S} 、 \overline{R} 的状态， Q 的状态不变

D 信号在变化，
看看这个 D 信号
是否可以影响到
输出 Q ：

如 $Q^n = 1$

Q_2 、 Q_3
状态不变



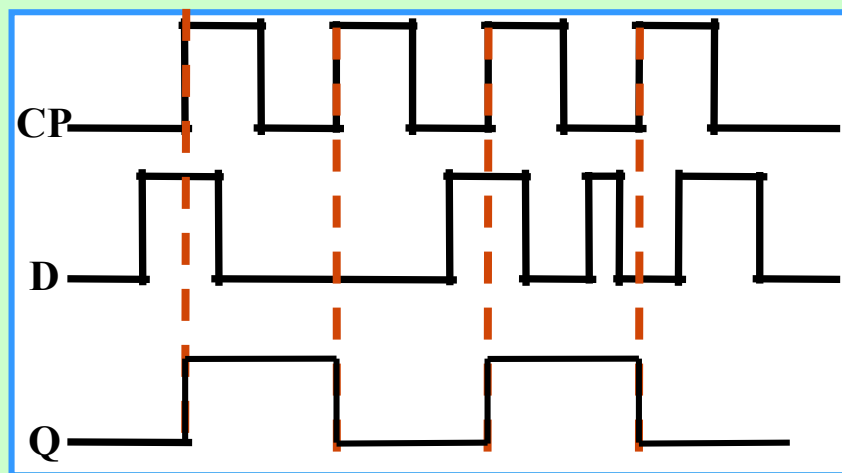
在 CP 脉冲的上升沿到来瞬间使触发器的状态 Q 变化

维持阻塞D触发器

结论： 在 CP 脉冲的上升沿到来瞬间使触发器的状态变化
触发器的次态与 CP 脉冲的上升沿到来前一瞬间 D 的状态相同

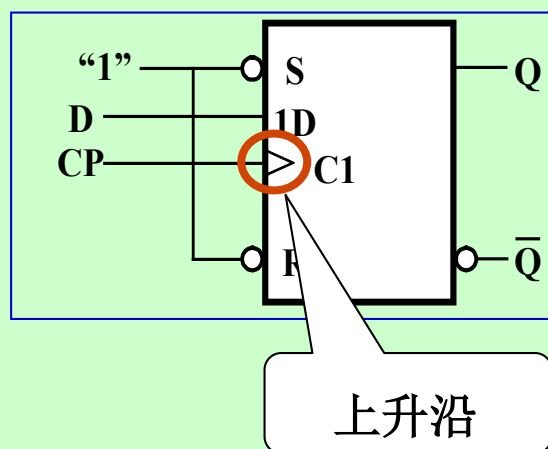
已知维持阻塞D触发器的输入 CP 和 D 的波形，请画出 Q 的输出波形。

工作波形



维持阻塞D触发器逻辑符号

其中S是置1引脚，R是置0引脚。



当S=0, R=1时,

$Q^{n+1}=1$ 置1

当S=1, R=0时,

$Q^{n+1}=0$ 置0

当S=1, R=1时, 在时钟的上升沿处,

逻辑功能变化如左表

逻辑功能表

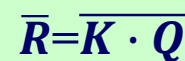
D	Q^n	Q^{n+1}
0	0	0
0	1	0
1	0	1
1	1	1

维持阻塞D触发器状态变化产生在时钟脉冲的上升沿, 其次态决定于该时刻前瞬间输入信号D。

数字逻辑电路

The diagram illustrates a JK flip-flop circuit with the following components and values:

- Inputs:**
 - $J = 1$ (red '1' above the input line)
 - $K = 0$ (red '0' above the input line)
 - $\overline{CP} = 1$ (red '1' above the input line, indicating a low-level effective signal)
- Logic Gates:**
 - G_3 : 3-input AND gate with inputs J , \overline{CP} , and \overline{Q} . Output is \overline{S} .
 - G_4 : 3-input AND gate with inputs K , \overline{CP} , and Q . Output is \overline{R} .
 - G_{12} : 3-input OR gate with inputs \overline{S} , \overline{R} , and Q . Output is Q^{n+1} .
 - G_{13} : 3-input OR gate with inputs \overline{S} , \overline{R} , and \overline{Q} . Output is \overline{Q}^{n+1} .
 - G_{11} : Inverter with input Q and output \overline{Q} .
 - G_{21} : Inverter with input \overline{Q} and output Q .
- Outputs:**
 - $Q = 0$ (blue '0' above the output line)
 - $\overline{Q} = 1$ (red '1' above the output line)
- Annotations:**
 - Red callout boxes point to the \overline{CP} input and the \overline{Q} output, both labeled "低电平有效标识" (Low-level effective signal identifier).
 - A red arrow points from the \overline{Q} output to the \overline{R} input of G_4 .



$$\underline{\underline{Q^{n+1}}} = \underline{\underline{Q^n}} + \underline{\underline{S}} \cdot \underline{\underline{Q^n}} = \underline{\underline{Q^n}} (1 + \underline{\underline{S}}) = \underline{\underline{Q^n}}$$

(3) CP由1变为0的瞬间。由于CP=0,G11和G21退缩成非门了。

G13与G11等价为与非门了,
G23与G21也等价为与非门了
电路等价为右图。

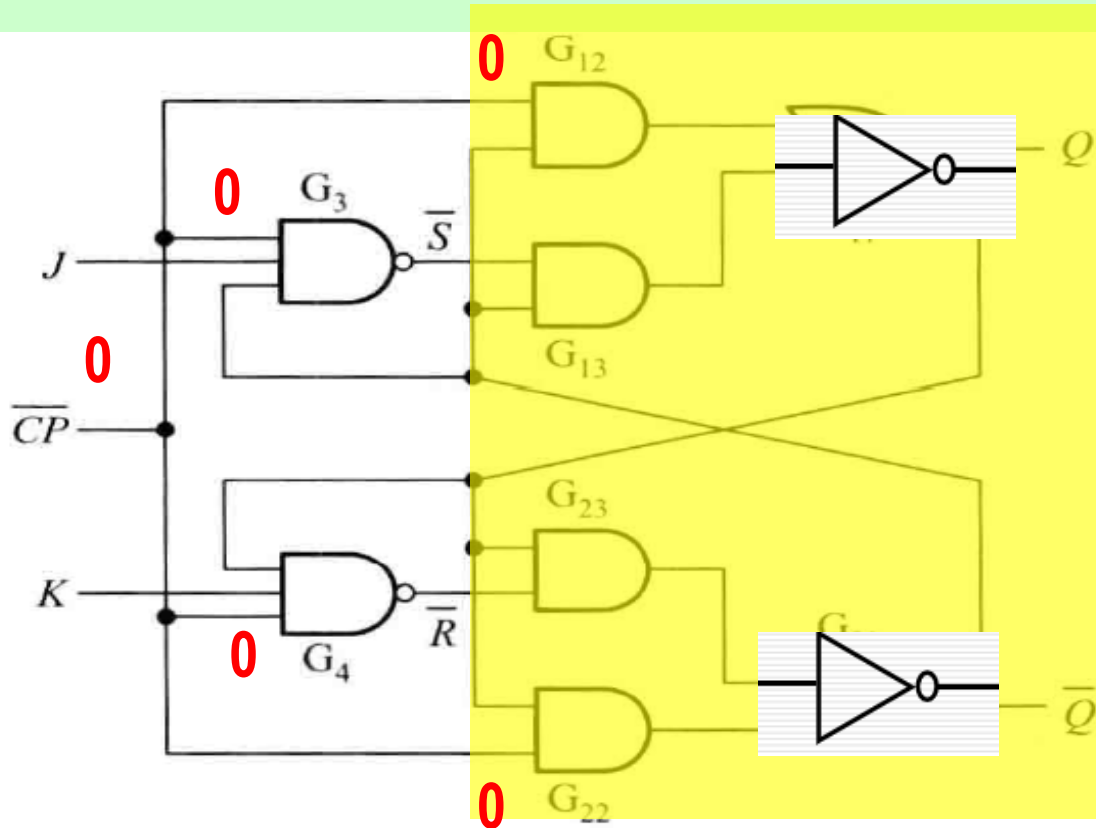


图 5.4.8 利用传输延迟的 JK 触发器的逻辑电路

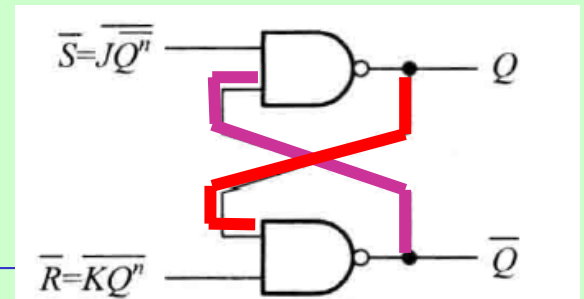


图 5.4.9 由 1 变 0 后瞬间输出 SR 锁存器的简化电路

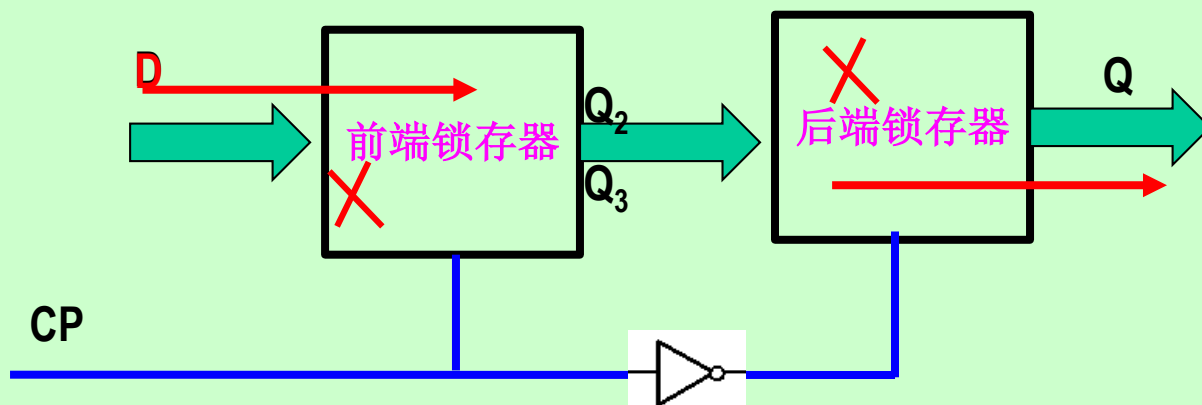
$$\bar{S} = J \cdot \bar{Q}$$

$$\bar{R} = K \cdot \bar{Q}$$

$$Q^{n+1} = \bar{\bar{S}} \bar{\bar{R}} Q^n = J \bar{Q}^n K Q^n Q^n$$

$$Q^{n+1} = J \bar{Q}^n + K Q^n$$

下降沿触发

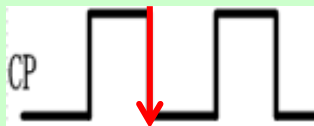


(1) CP=1时:



前端锁存器导通，后段锁存器截止。
信号D能进入前端锁存器中。

(2) CP由1跳变到0:



前端锁存器截止，后段锁存器导通。
信号D通过后端锁存器，传输到Q端。

(3) CP=0，并维持状态不变:

由于前端锁存器截止，信号D不能通过前端锁存器，所以与后段锁存器相连的Q端信号保持不变。

结论：在CP脉冲的下降沿到来瞬间使触发器的状态Q变化

5.5 触发器的逻辑功能

5.5.1 D 触发器

5.5.2 JK 触发器

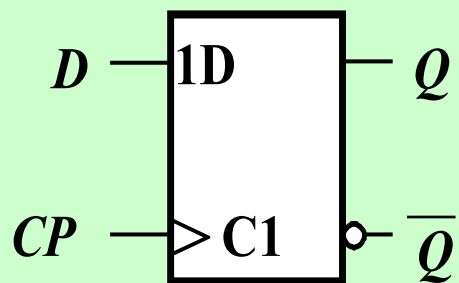
5.5.2 T 触发器

5.5.3 SR 触发器

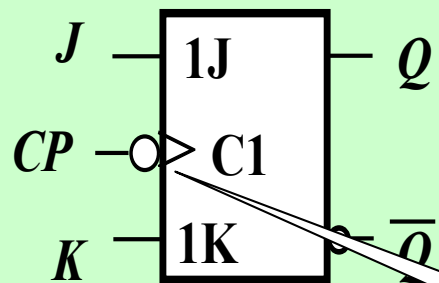
5.5.4 D 触发器功能的转换

5.5 触发器的逻辑功能

不同逻辑功能的触发器国际逻辑符号

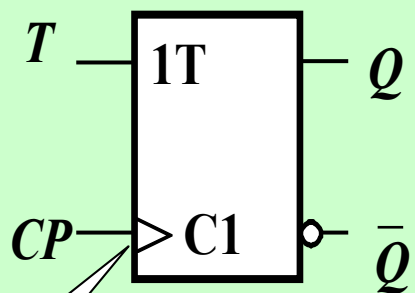


D 触发器



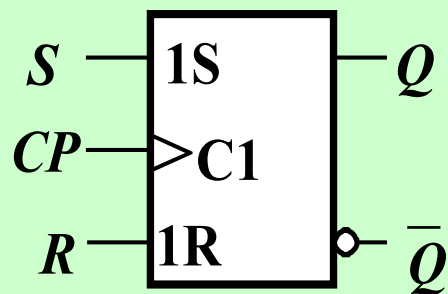
JK 触发器

下降沿



T 触发器

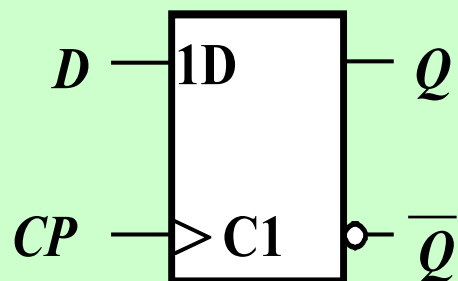
上升沿



RS 触发器

5.5.1 D 触发器

1. 特性表

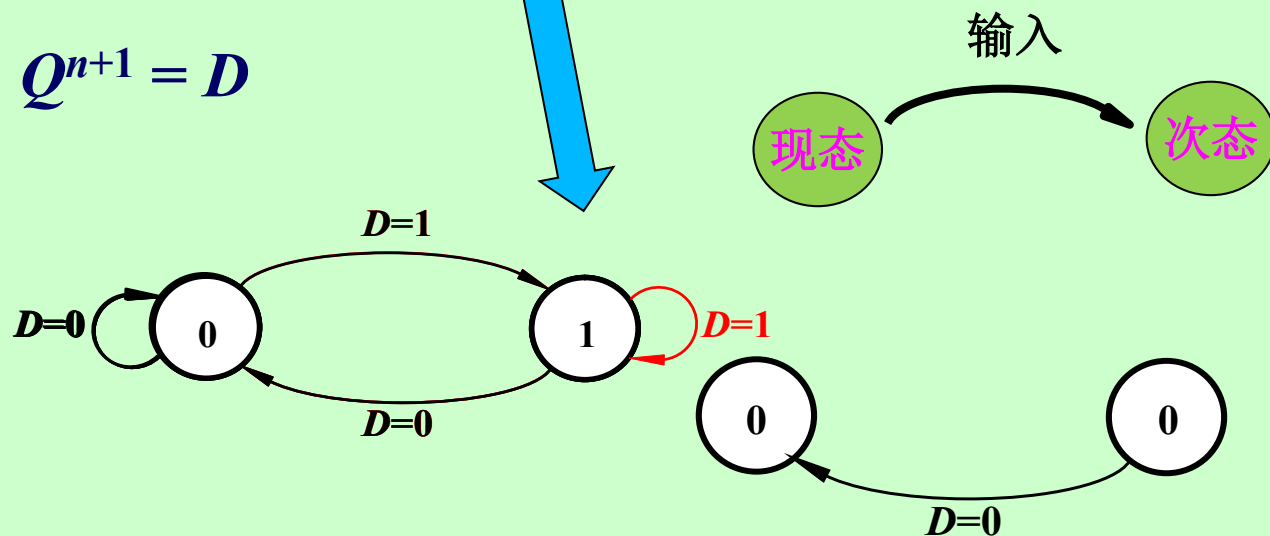


CP	D	Q^n	Q^{n+1}
	0	0	0

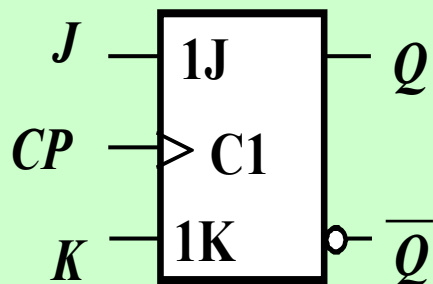
2. 特性方程

$$Q^{n+1} = D$$

3. 状态图



5.5.2 JK 触发器



1. 特性表

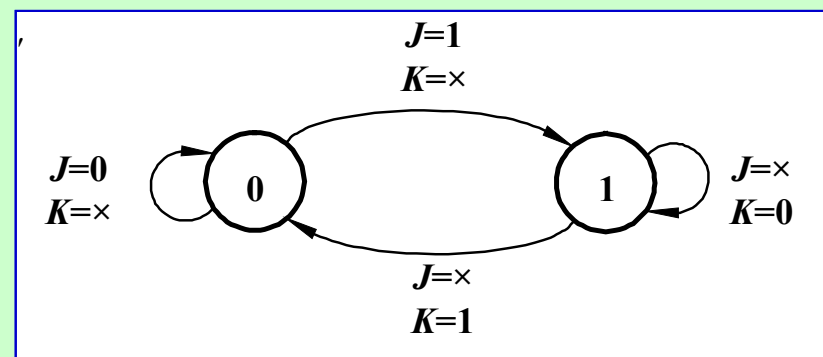
J	K	Q^n	Q^{n+1}	说 明
0	0	0	0	
0	0	1	1	
0	1	0	0	
0	1	1	0	
1	0	0	1	
1	0	1	1	
1	1	0	1	
1	1	1	0	

2. 卡诺图和特性方程

$J \backslash KQ^n$	00	01	11	10
0	0	1	0	0
1	1	1	0	1

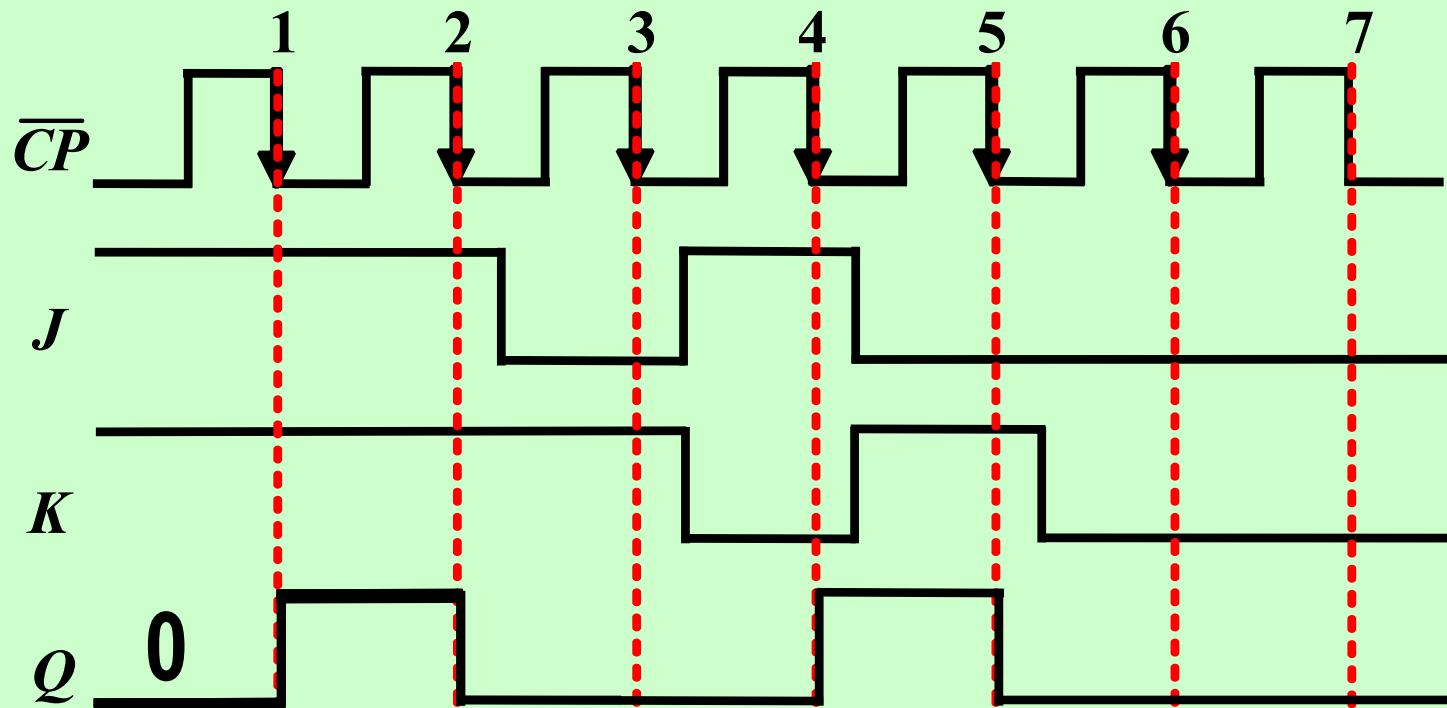
$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

3. 状态转换图

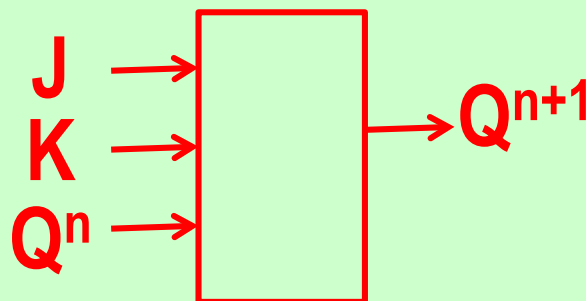


例5.4.1 设下降沿触发的JK触发器时钟脉冲和J、K信号的波形

如图所示试画出输出端Q的波形。设触发器的初始状态为0。



$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$



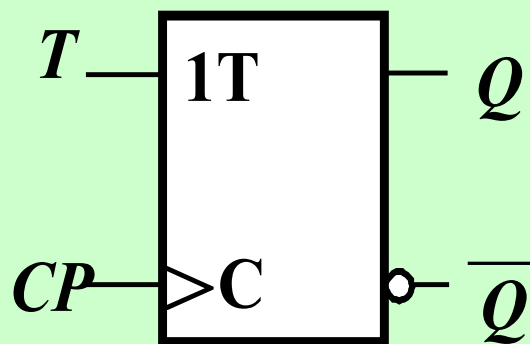
5.5.3 T触发器

将JK触发器中的J和K都连接到信号T上。就构成了T触发器。

特性方程

$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

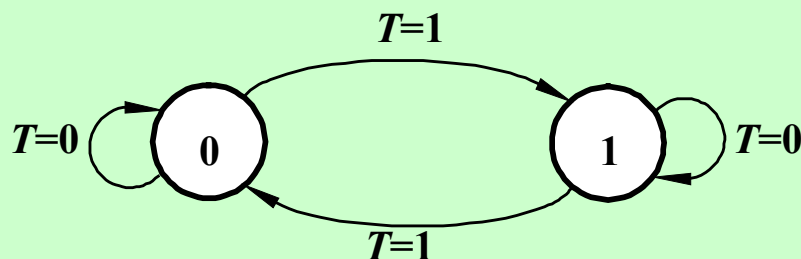
逻辑符号



特性表

T	Q^n	Q^{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

状态转换图



4. T'触发器

将T触发器的T引脚接信号1，构成T'触发器。

T触发器的特性方程

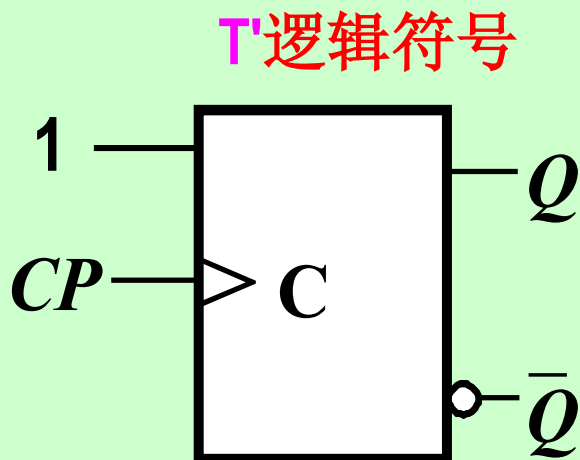
$$Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n$$

令T=1

$$Q^{n+1} = \overline{Q}^n$$

T'特性方程

时钟脉冲每作用一次，触发器翻转一次。



5.5.4 SR 触发器

1. 特性表

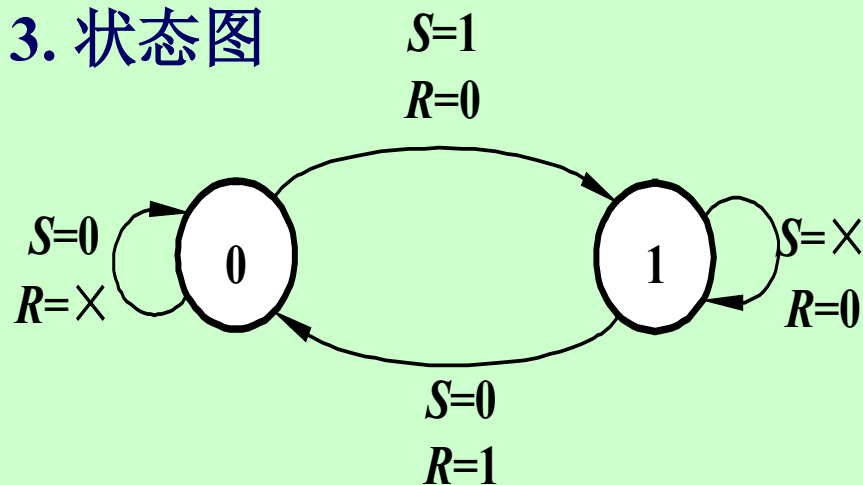
Q^n	S	R	Q^{n+1}
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	不确定
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	不确定

SR		\overline{S}		S	
		00	01	11	10
Q	\overline{Q} 0	0	0	X	1
	Q 1	1	0	X	1
		\overline{R}	R	\overline{R}	

2. 特性方程

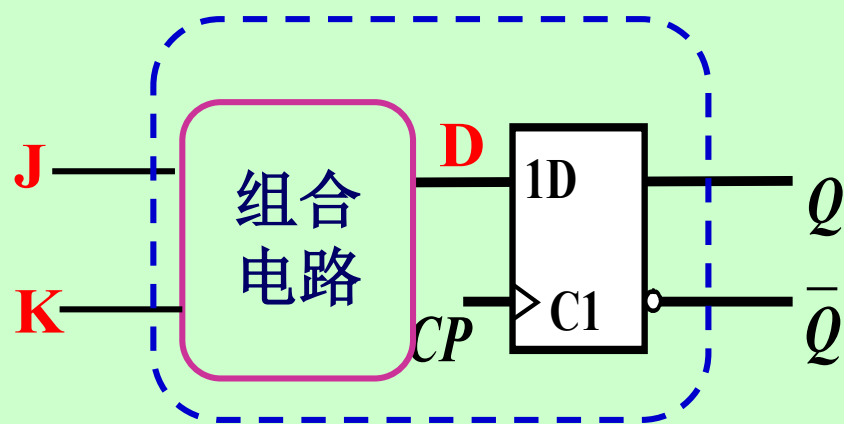
$$\begin{cases} Q^{n+1} = S + \bar{R}Q^n \\ SR=0 \text{ (约束条件)} \end{cases}$$

3. 状态图



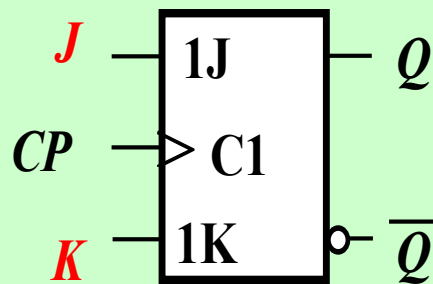
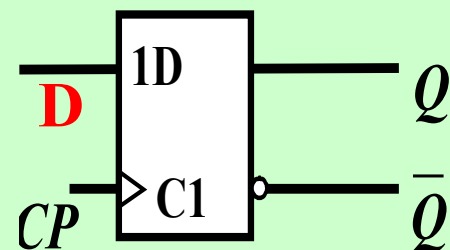
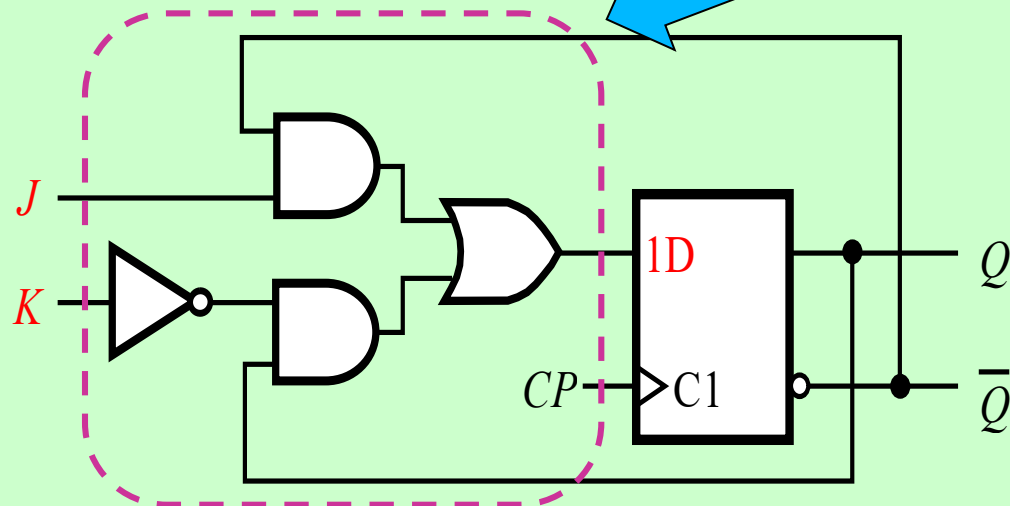
5.5.5 D触发器功能的转换

1. D 触发器加上与门、或门和非门构成 JK 触发器

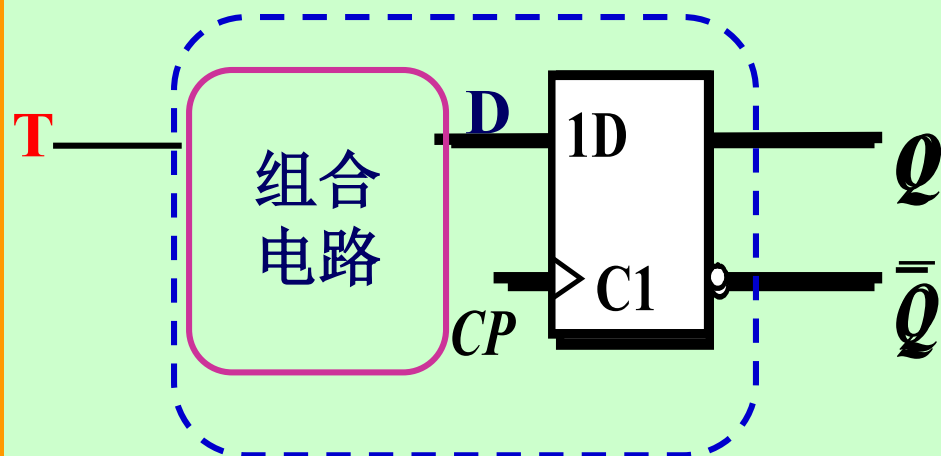


$$\begin{aligned} Q^{n+1} &= J\bar{Q}^n + \bar{K}Q^n \\ Q^{n+1} &= D \end{aligned}$$

$$D = J\bar{Q} + \bar{K}Q$$



2. D 触发器和异或门构成 T 触发器

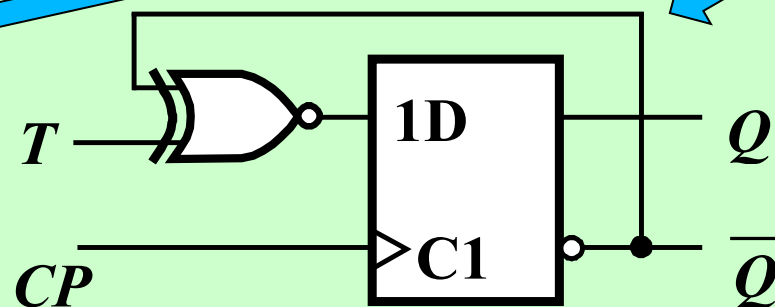
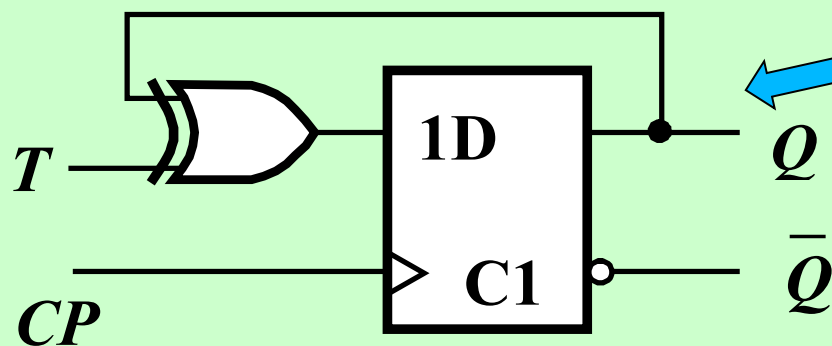


$$Q^{n+1} = D$$

$$Q^{n+1} = T\bar{Q}^n + \bar{T}Q^n$$

$$D = T\bar{Q} + \bar{T}Q = T \oplus Q$$

$$D = T\bar{Q} + \bar{T}Q = T \odot \bar{Q}$$

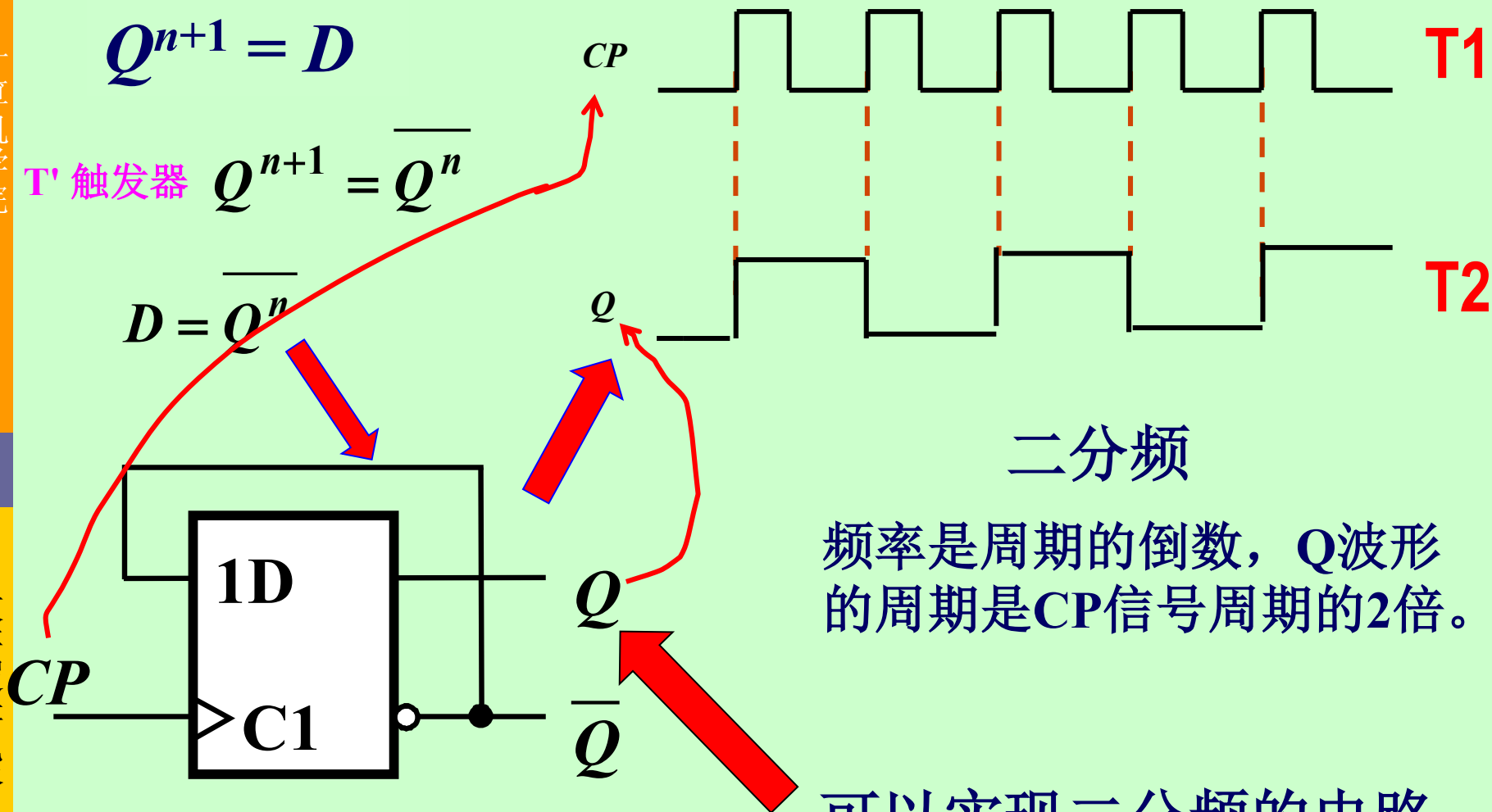


3. D 触发器构成 T' 触发器

$$Q^{n+1} = D$$

T' 触发器 $Q^{n+1} = \overline{Q^n}$

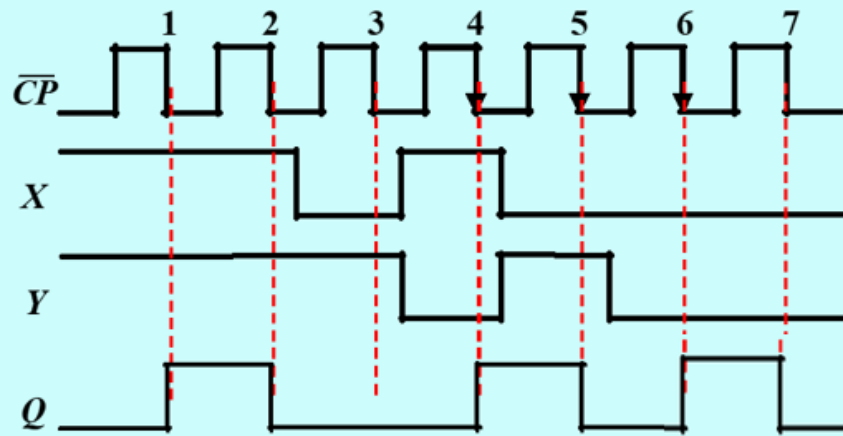
$$D = \overline{Q^n}$$



二分频

频率是周期的倒数，Q波形的周期是CP信号周期的2倍。

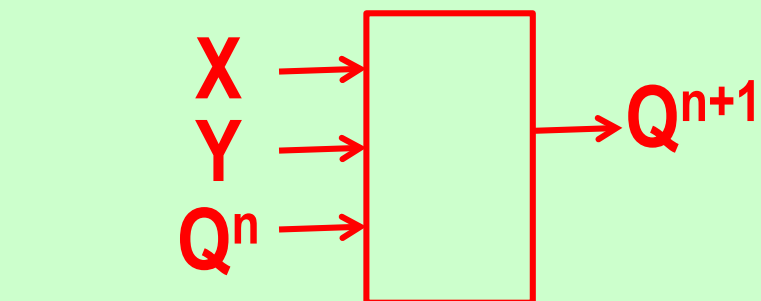
可以实现二分频的电路



例题：已知时钟CP和输入X、Y，输出Q的波形，请写出 Q^{n+1} 表达式

在时钟CP下降沿处，真值表如下：

X	Y	Q^n	Q^{n+1}
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	



$X \backslash YQ^n$	00	01	11	10
0	1	0	0	0
1	1	X	0	1

$$Q^{n+1} = X\overline{Q^n} + \overline{Y}\overline{Q^n}$$

第6章 时序逻辑电路

Sequential Logic Circuit

Outputs Depend Not Only on its Current Inputs, But also on the Past Sequence of Inputs.

(任一时刻的输出不仅取决与当时的输入，
还取决于过去的输入序列)

**Character of Circuit: Have Feedback Circuit,
Have Memory Device**

(电路特点：有反馈回路、有记忆元件)

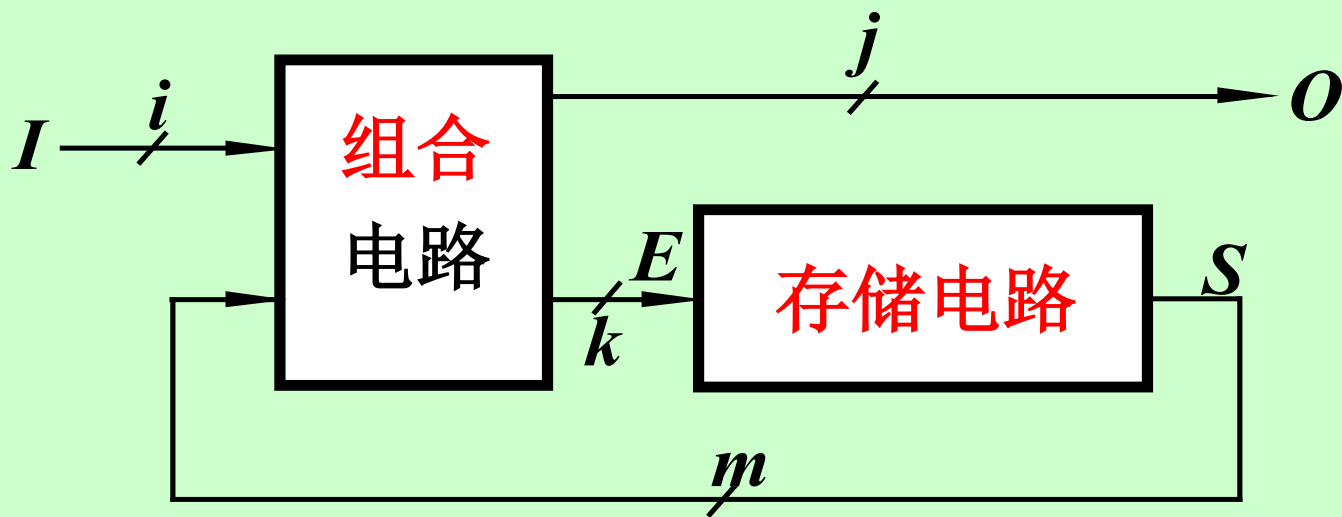
6. 时序逻辑电路

- 6.1 时序逻辑电路的基本概念
- 6.2 同步 时序逻辑电路的分析
- 6.3 同步 时序逻辑电路的设计
- 6.4 异步 时序逻辑电路的分析
- 6.5 若干典型的时序逻辑电路
- 6.6 简单的时序可编程逻辑器件GAL
- 6.7 用Verilog描述时序逻辑电路

6.1 时序逻辑电路的基本概念

6.1.1 时序逻辑电路的基本结构与分类

1. 时序电路的基本结构



结构特征:

- *电路由组合电路和存储电路组成。
- *电路存在反馈。

输出方程: $O = f_1(I, S)$

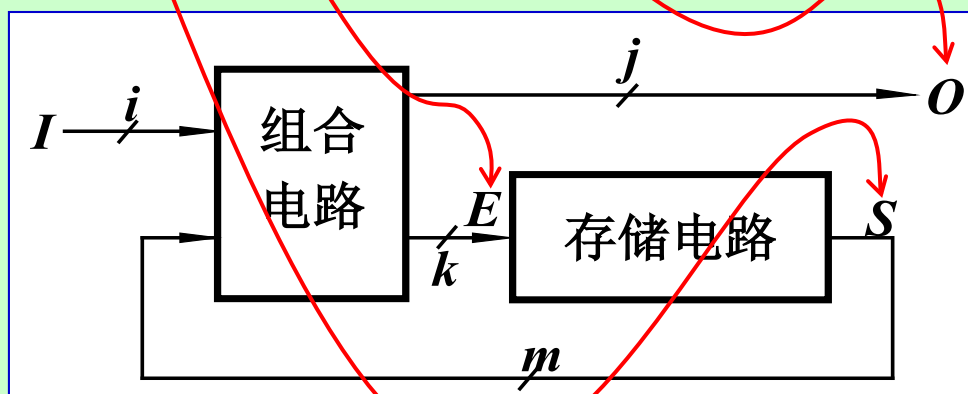
表达输出信号与输入信号、状态变量的关系式

激励方程: $E = f_2(I, S)$

表达了激励信号与输入信号、状态变量的关系式

状态方程: $S^{n+1} = f_3(E, S^n)$

表达存储电路从现态到次态的转换关系式

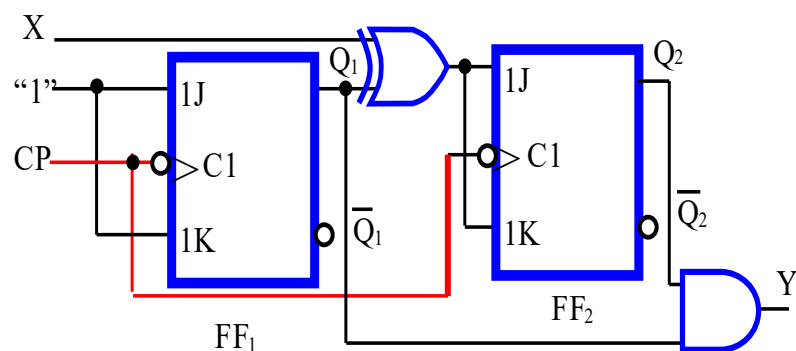


2、异步时序电路与同步时序电路

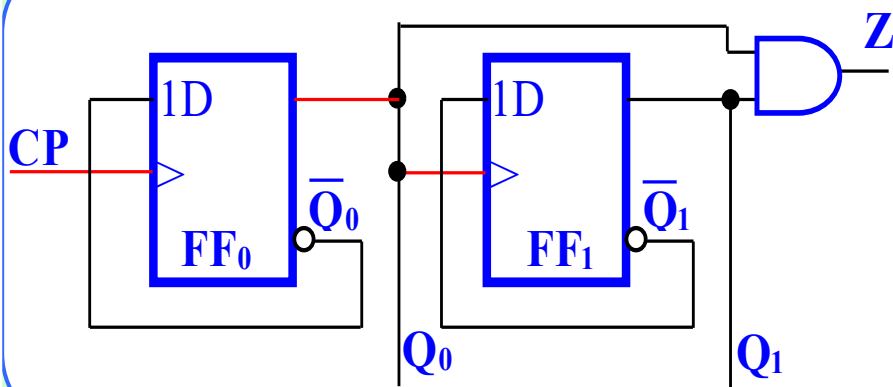
时序电路

同步：存储电路里所有触发器有一个**统一的时钟源**，它们的状态在同一时刻更新。

异步：**没有统一的时钟脉冲**或没有时钟脉冲，电路的状态更新不是同时发生的。



同步

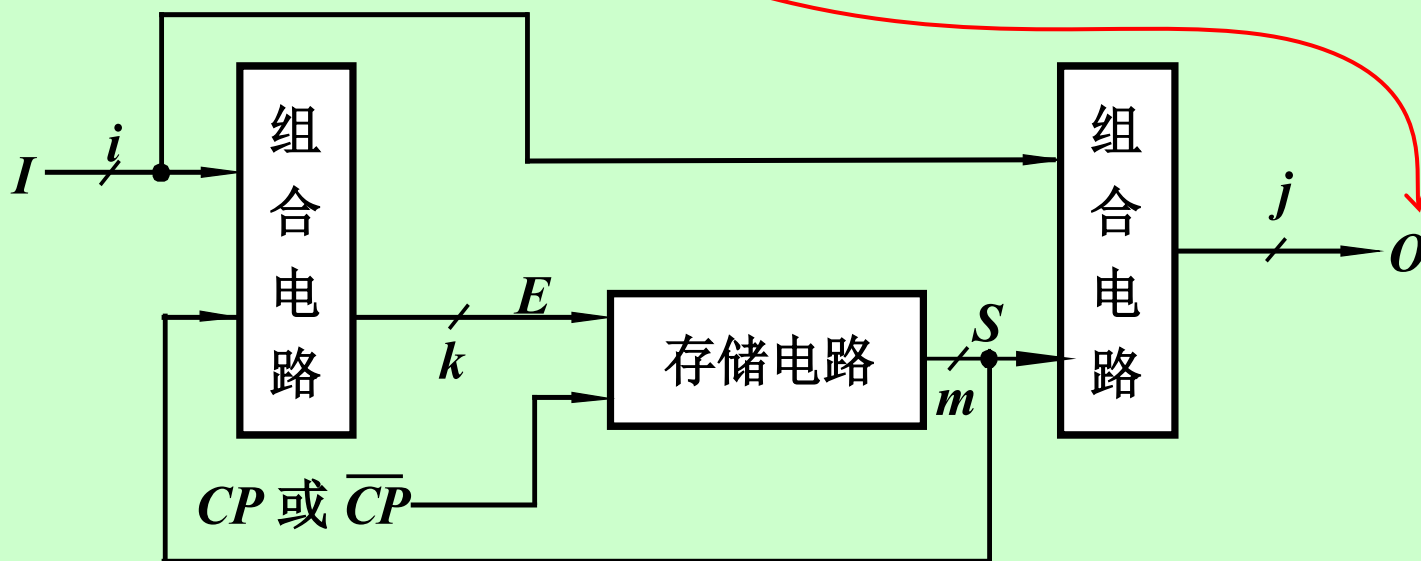


异步

3. 米利型和穆尔型时序电路

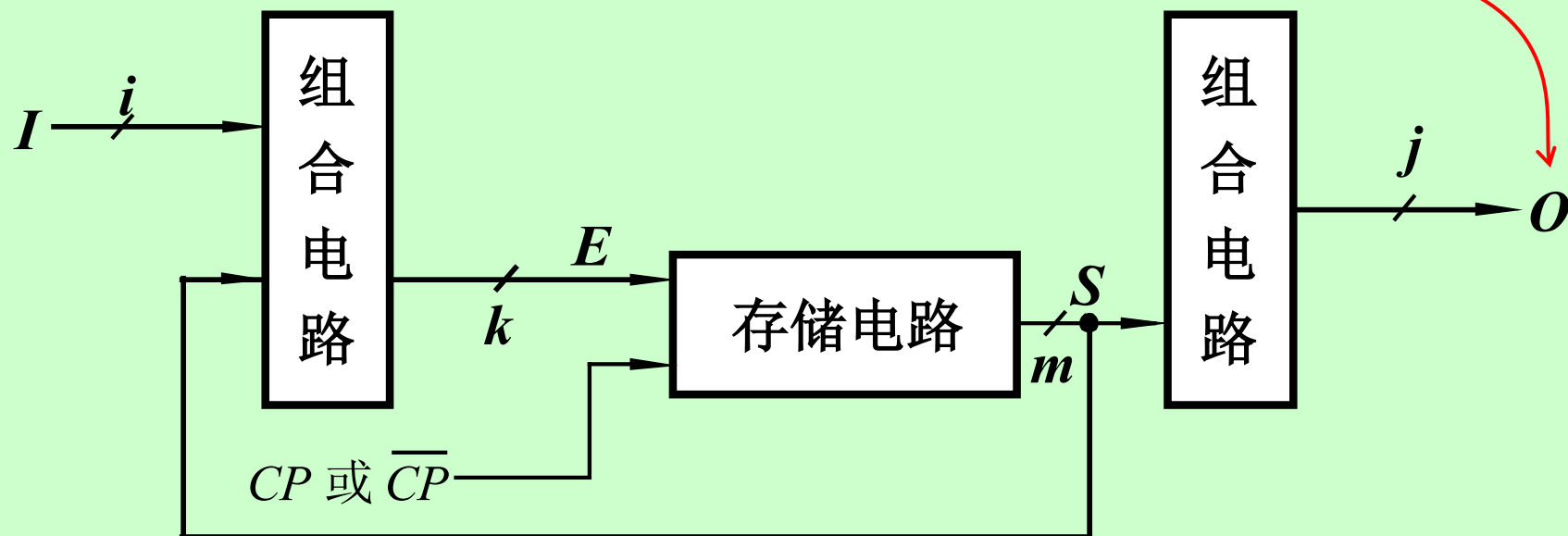
米利型电路

电路的输出是输入变量 A 及触发器输出 Q_1 、 Q_0 的函数，
这类时序电路亦称为米利型电路



穆尔型电路

电路输出仅仅取决于各触发器的状态，而不受电路当时的输入信号影响或没有输入变量，这类电路称为穆尔型电路。



6.2 时序逻辑电路的分析（先上6.2节）

6.2.1 分析同步时序逻辑电路的一般步骤

6.2.2 同步时序逻辑电路分析举例

6.2.1 分析同步时序逻辑电路的一般步骤:

1.了解电路的组成:

电路的输入、输出信号、触发器的类型等

2. 根据给定的时序电路图,写出下列各逻辑方程式:

(1) 输出方程;

(2) 各触发器的激励方程;

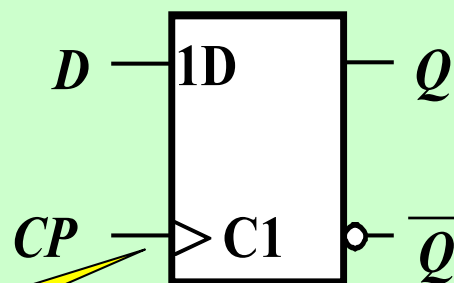
(3) 状态方程: 将每个触发器的驱动方程代入其特性方程得状态方程.

3.列出状态转换表或画出状态图和波形图;

4.确定电路的逻辑功能.

记忆：常用的触发器

1. 维持阻塞触发器



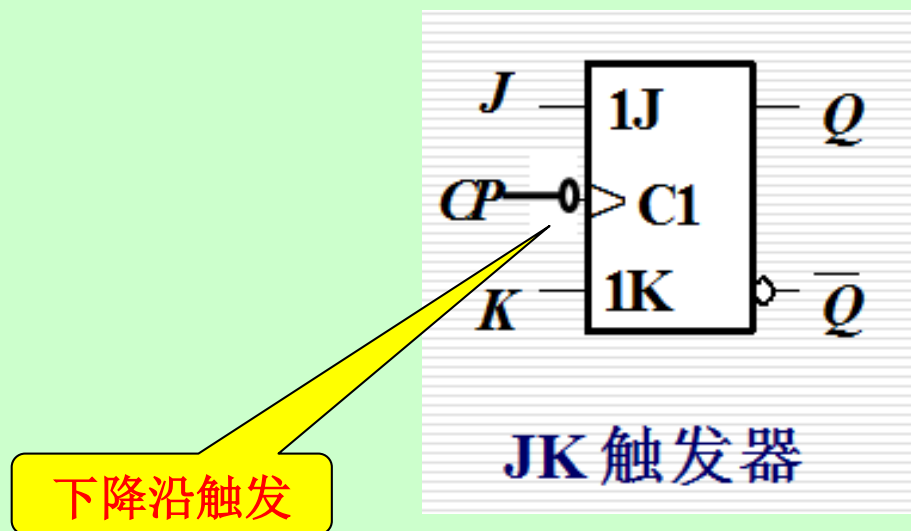
上升沿触发

D 触发器

在 CP 脉冲的上升沿到来瞬间
使触发器的状态（ Q 的值）才发生变化：

$$Q^{n+1} = D$$

2.下降沿触发的 JK 触发器

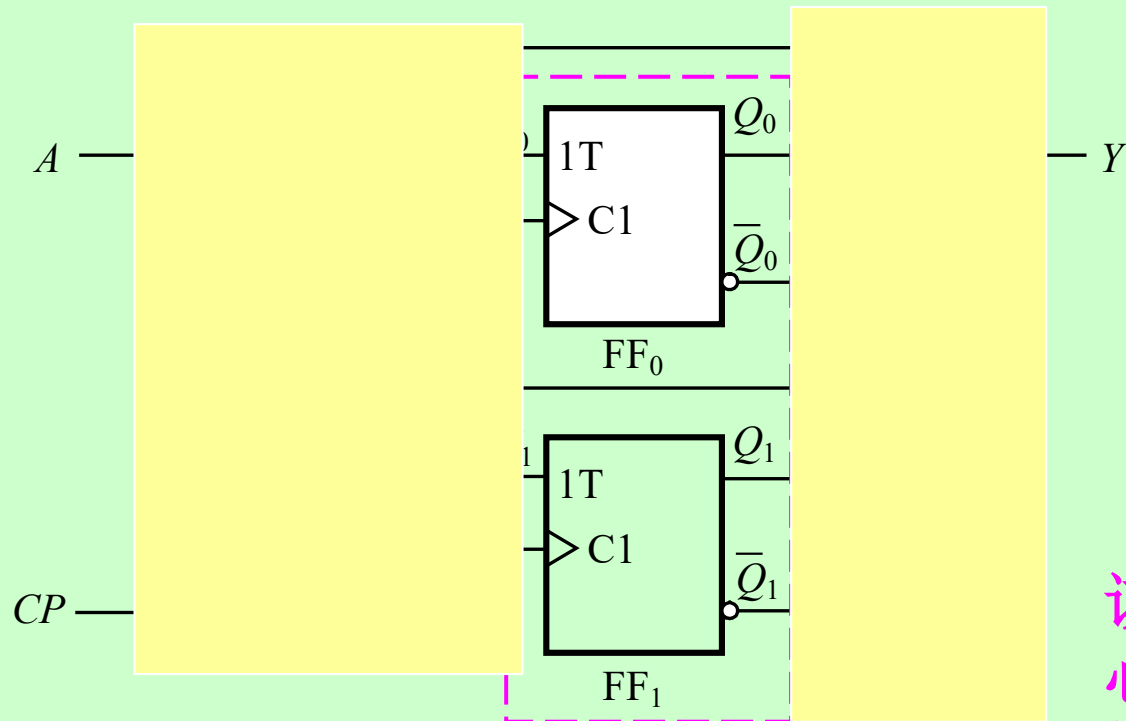


在CP脉冲的下降沿到来瞬间使触发器的状态（Q的值）才发生变化：

$$Q^{n+1} = J\bar{Q}^n + \bar{K}Q^n$$

6.2.2 同步时序逻辑电路分析举例

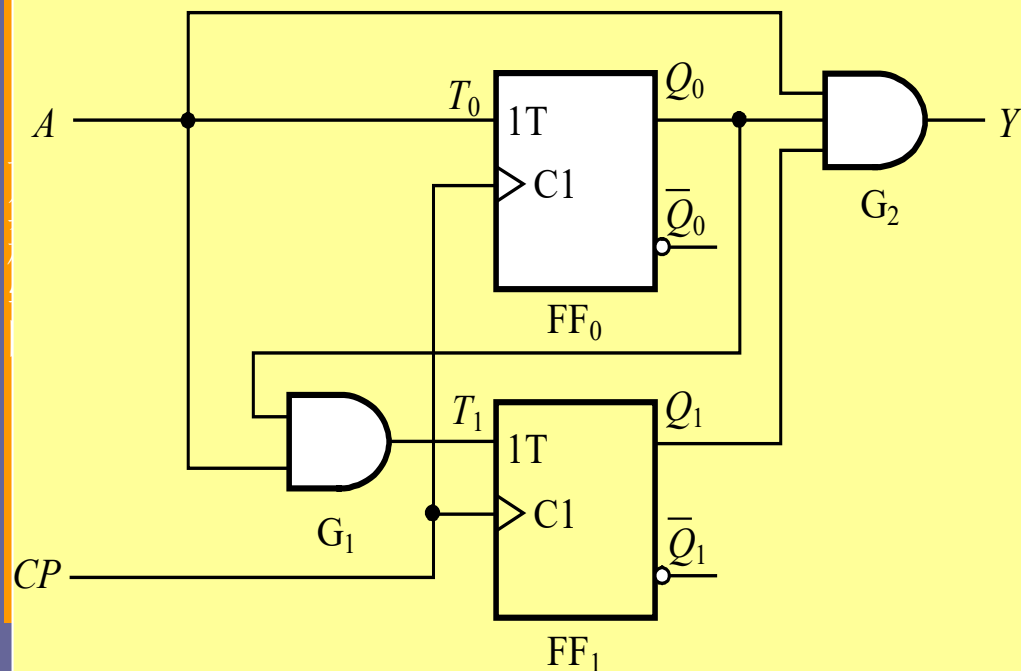
例1 试分析如图所示时序电路的逻辑功能。



该时序电路核心部分是两个T触发器。

解： (1) 了解电路组成。

电路是由两个**T 触发器**组成的同步时序电路。



(2) 根据电路列出三个方程组

输出方程组:

$$Y = AQ_1Q_0$$

激励方程组:

$$T_0 = A$$

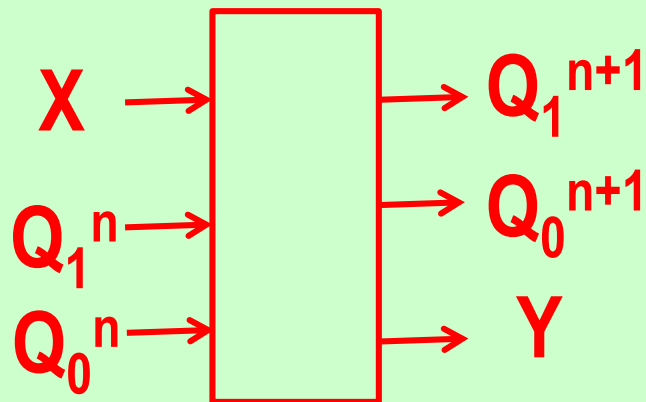
$$T_1 = AQ_0$$

将激励方程组代入T触发器的特性方程得状态方程组

$$Q^{n+1} = T \oplus Q^n = T\overline{Q}^n + \overline{T}Q^n$$

$$Q_0^{n+1} = A \oplus Q_0^n$$

$$Q_1^{n+1} = (AQ_0^n) \oplus Q_1^n$$



(3) 根据状态方程组和输出方程列出状态表

$$Q_0^{n+1} = A \oplus Q_0^n$$

$$Y = A Q_1 Q_0$$

$$Q_1^{n+1} = (A Q_0^n) \oplus Q_1^n$$

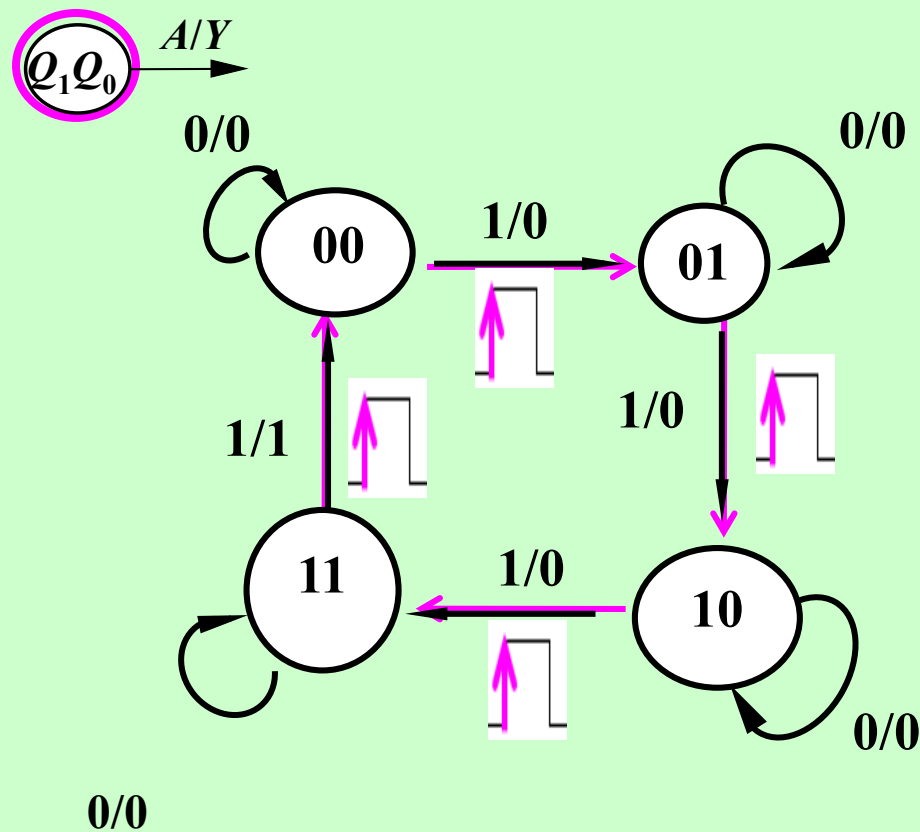
状态转换真值表

Q_1^n	Q_0^n	A	Q_1^{n+1}	Q_0^{n+1}	Y
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A=0$	$A=1$
0 0		
0 1		
1 0		
1 1		

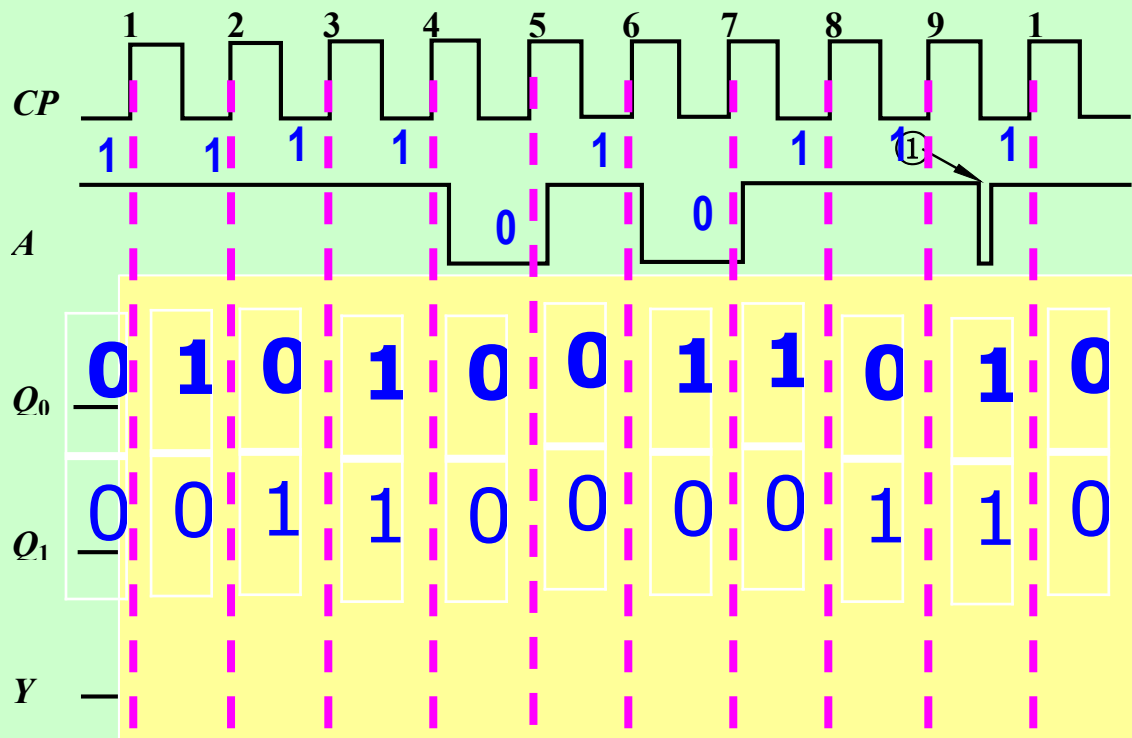
(4) 画出状态图,找出闭合回路

$Q_1^n Q_0^n$	$Q_1^{n+1} Q_0^{n+1} / Y$	
	$A=0$	$A=1$
0 0		
0 1		
1 0		
1 1		



计算机学院

数字逻辑电路



(6) 逻辑功能分析

观察状态图和时序图可知，电路是一个由信号 A 控制的可控二进制计数器。当 $A=0$ 时停止计数，电路状态保持不变；当 $A=1$ 时，在 CP 上升沿到来后电路状态值加1，一旦计数到11状态， Y 输出1，且电路状态将在下一个 CP 上升沿回到00。输出信号 Y 的下降沿可用于触发进位操作，模4加一计数器。

