A[0..18]

J1 Conn_02x12_Odd_Even

VCC

	1	2	
A18	3	4	AP17
A16	5	6	A17
A14	7	8	A15
A12	9	10	A13
A10	11	12	A11
A8	13	14	A9
A6	15	16	A7
A4	17	18	A5
A2	19	20	A3
A0	21	22	A1
	23	24	

GND

U1 27C040

VCC

A0 12 A0 — VCC 32
A1 11 A1
A2 10 A2
A3 9 A3
A4 8 A4
A5 7 A5
A6 6 A6
A7 5 A7
A8 27 A8
A9 26 A9
A10 23 A10
A11 25 A11
A12 4 A12
A13 28 A13
A14 29 A14
A15 31 A15
A16 2 A16
AP17 30 A17
A18 31 A18

D0 13 D0
D1 14 D1
D2 15 D2
D3 17 D3
D4 18 D4
D5 19 D5
D6 20 D6
D7 21 D7

VPP 1
CS2 22 CE
OE2 24 OE

GND 16

GND

U2 AS6C4008-55PCN

VCC 32

A0 12 A0
A1 11 A1
A2 10 A2
A3 9 A3
A4 8 A4
A5 7 A5
A6 6 A6
A7 5 A7
A8 27 A8
A9 26 A9
A10 23 A10
A11 25 A11
A12 4 A12
A13 28 A13
A14 3 A14
A15 31 A15
A16 2 A16
A17 30 A17
A18 1 A18

DQ0 13 D0
DQ1 14 D1
DQ2 15 D2
DQ3 17 D3
DQ4 18 D4
DQ5 19 D5
DQ6 20 D6
DQ7 21 D7

CE# 22 CS1
OE# 24 OE1
WE# 29 WE1

VSS 16

GND

R1 1K PullUp

VCC

U3 AS6C4008-55PCN

VCC 32

RA0 12 A0
RA1 11 A1
RA2 10 A2
RA3 9 A3
RA4 8 A4
RA5 7 A5
RA6 6 A6
RA7 5 A7
27 A8
26 A9
23 A10
25 A11
4 A12
28 A13
3 A14
31 A15
2 A16
A17
PullUp 30 A18 1

DQ0 13 D0
DQ1 14 D1
DQ2 15 D2
DQ3 17 D3
DQ4 18 D4
DQ5 19 D5
DQ6 20 D6
DQ7 21 D7

CE# 22 CS0
OE# 24 OE0
WE# 29 WE0

VSS 16

GND

RA[0..7]

J2 Conn_02x14_Odd_Even

VCC

	1	2	
CS2	3	4	OE2
CS1	5	6	OE1
CS0	7	8	OE0
WE1	9	10	WE0
RA6	11	12	RA7
RA4	13	14	RA5
RA2	15	16	RA3
RA0	17	18	RA1
D6	19	20	D7
D4	21	22	D5
D2	23	24	D3
D0	25	26	D1
	27	28	

GND

D[0.7]

VCC   PWR_FLAG

C1 100nF   C2 100nF   C3 100nF   C4 100nF

GND   PWR_FLAG

(C) 2023 Dr Matthew Regan
TTL APPLE2

Sheet: /
File: TuringAppleSmall.kicad_sch
Title: Memory and Register Bank
Size: A3   Date: Rev:
KiCad E.D.A. kicad 7.0.1   Id: 1/1