

一种使用混合 p-SOT-MTJ/GAA-CNTFET 的高吞吐量嵌入式 MRAM 计算方案

佟中振 (通讯作者)、徐艺琳、刘云隆、段新瑞、唐浩、赵苏腾、李成航、林智婷[✉], IEEE 高级会员、吴秀龙[✉], IEEE 高级会员

王兆浩, IEEE 高级会员, 以及林晓阳, IEEE 高级会员

摘要 - 由于特征尺寸不断缩小, 基于硅的半导体晶体管正接近其物理极限。同时, 传统的基于硅的冯·诺依曼架构在以数据为中心的应用 (如物联网和人工智能) 中表现出显著的延迟和功耗问题。为应对这些挑战, 本研究引入了一种新方法: 使用环绕栅碳纳米管场效应晶体管 (GAA-CNTFET) 的磁阻随机存取存储器 (MRAM) 嵌入式计算 (CIM)。所提出的 MRAM 阵列由三个晶体管和一個垂直磁各向异性自旋轨道矩磁隧道结 (p-SOT-MTJ)(3T1M) 单元组成, 可实现全阵列布尔逻辑运算和半/全加器运算。计算结果可在计算阶段原位存储, 无需额外的外围电路。在 GAA-CNTFET/p-SOT-MTJ 和 14 纳米 FinFET/p-SOT-MTJ 技术中对 16 Kb MRAM 进行了仿真, 以检验所提出设计的有效性。与 14 纳米 FinFET/p-SOT-MTJ 同类产品相比, GAA-CNTFET/p-SOT-MTJ CIM 宏的写入和计算延迟分别降低了约 21% 和 20.6%, 而读取和计算能耗分别降低了约 45.3% 和 24.7%。此外, 所提出的嵌入式布尔逻辑吞吐量为 8192 GOPS, 比现有 CIM 解决方案高出约 160 - 250 倍, 现有解决方案中仅能激活两行字线。

关键词 - 布尔逻辑运算、磁阻随机存取存储器、嵌入式计算、原位存储, 1549 - 8328 ©2023 IEEE。允许个人使用, 但重新发布/再分发需要获得 IEEE 许可。

半/全加器、环绕栅碳纳米管场效应晶体管、冯·诺依曼瓶颈。

I. 引言

多年来, 用于大规模集成电路应用的互补金属氧化物半导体 (CMOS) 技术取得了显著进展, 这在很大程度上归功于摩尔定律 [1]、[2]。然而, 随着硅基半导体晶体管接近其物理极限, 短沟道效应等问题日益加剧 [3]、[4]。这意味着随着晶体管尺寸的缩小, 其性能提升越来越有限, 而漏电流却不断增加 [5]。因此, 摩尔定律面临着巨大挑战 [6]。

此外, 由于人工智能 (AI) 应用的发展 [7], 算法模型的规模不断增大, 导致对计算能力和存储的需求大幅增加。大量频繁的内存访问任务由于冯·诺依曼瓶颈 [8]、[9] 限制了人工智能芯片的能效, 这一问题在智能手表、手机和无线耳机等资源受限设备中尤为突出 [10]。因此, 学者们开始专注于探索具有新物理特性的器件 [11]、[12]、[13]、[14] 以及集成存储和计算架构。为了提高能效并克服现有局限, 引入了内存计算 (CIM) 的概念——一种在内存中执行部分计算的技术 [6]、[15]。CIM 技术可以有效降低数据迁移带来的功耗和延迟。然而, 现有的硅基 CIM 宏单元已经达到了性能极限 [10]、[16]、[17]、[18]。

与硅基晶体管相比, 全环绕栅碳纳米管场效应晶体管 (GAA - CNTFETs) 具有更低的漏电流和更高的 I_{ON}/I_{OFF} [19]、[20]、[21], 因此被用于设计高速、低功耗电路。此外, 自旋电子器件, 如垂直磁各向异性自旋轨道矩磁隧道结 (p - SOT - MTJ) 器件, 具有诸多优势。首先, 小的自旋转移矩 (STT) 电流 (I_{STT}) 能够打破自旋轨道矩 (SOT) 的对称性, 使 p - SOT - MTJ 器件实现无场切换。其次, 由于在平衡状态下 SOT 与自由层 (FL) 磁矩正交, 施加 SOT 电流 (I_{SOT}) 会立即破坏 FL 的稳定磁状态。这一独特特性提高了磁阻随机存取存储器 (MRAM) 的写入耐久性和可靠性, 提升了操作速度, 并降低了功耗 [22]。此外, MTJ 的后端集成与 CNT - FET 工艺兼容 [3]、[23], 且不需要大面积芯片。因此, GAA - CNTFET 和 p - SOT - MTJ 器件被认为是构建未来高能效 CIM 宏单元的有前途的候选者。

稿件于 2023 年 4 月 26 日收到; 2023 年 10 月 14 日修订; 2023 年 12 月 6 日接受。出版日期为 2023 年 12 月 20 日; 当前版本日期为 2024 年 1 月 30 日。本工作部分得到北京自然科学基金 (项目编号 4232070) 的支持, 部分得到国家自然科学基金 (项目编号 51602013 和 52261145694) 的支持, 部分得到中国科学技术协会青年人才托举工程 (项目编号 2018QNRC001) 的支持, 部分得到国际交流项目 (项目编号 B16001) 的支持, 部分得到中央高校基本科研业务费的支持。本文由副编辑 C. Liu 推荐。(通信作者: 林晓阳)

目前, 关于混合碳纳米管场效应晶体管 (CNTFET) 和磁性隧道结 (MTJ) 的研究主要集中在逻辑运算 [5]、[24]、[25]、[26]、[27]、三值电路 [3]、[28]、非易失性触发器 [29]、[30]、神经网络加速器 [21]、[31]、[32] 和真随机数发生器 [33]。然而, 上述关于混合 CNTFET 和 MTJ 的研究主要设计了计算或存储单元, 包括 [5] 将 CNTFET 和自旋转移矩 MTJ 相结合以构建近内存计算电路, [30] 使用多阈值 CNT - FET 实现了非易失性通用三值触发器, 以及 [32] 利用 CNTFET 和 MTJ 获得了全非易失性基于自旋的突触。尽管大量研究集中在使用碳纳米管场效应晶体管 (CNFET)/MTJ 进行电路设计, 但其中大多数仅实现了小规模电路, 导致吞吐量和能效有限。

为了克服上述限制, 本研究提出了一种由三个环绕栅碳纳米管场效应晶体管 (GAA - CNTFET) 和一个 p 型自旋轨道矩磁性隧道结 (p - SOT - MTJ) 单元 (3T1M) 组成的结构, 用于全阵列布尔逻辑运算。所提出结构的优点如下:

1. 可以使用 p-SOT-MTJ/GAA-CNTFET 和 14 纳米 FinFET/p-SOT-MTJ 技术实现 16Kb 磁随机存取存储器 (MRAM)。与 14 纳米 FinFET/p-SOT-MTJ 同类产品相比, 所提出的基于 p-SOT-MTJ/GAA-CNTFET 的存内计算 (CIM) 宏单元在读写和计算操作方面表现出更好的性能。

2. 3T1M 单元实现了全阵列布尔逻辑运算, 并在一个计算周期内原位存储运算结果, 从而无需额外的存储空间和外围电路。

3. 所提出的电路可以通过改变位线 (BL) 编码模式来支持全阵列半加器运算。基于半加器运算, 所提出的结构使用更少的器件和周期来实现全加器运算。

本文的其余部分组织如下: 第二部分介绍基于 MRAM 的存内布尔逻辑的相关研究。第三部分介绍所提出的 3T1M CIM 宏单元的结构和工作原理。第四部分验证该结构的性能, 分析能耗和延迟, 并将结果与其他研究进行比较。最后, 第五部分给出结论。

II. 相关研究

为了解决能效和延迟问题, CIM 技术受到了科学界的广泛关注。由于磁隧道结 (MTJ) 技术具有非易失性和写入操作耐久性 [34], 因此被广泛应用于 CIM 解决方案中。基于 MRAM 的逻辑实现方案可分为基于读取的方案 [35]、[36]、[37]、[38]、[39]、[40] 和基于写入的方案 [9]、[41]、[42]、[43]、[44]、[45], 如图 1 所示。

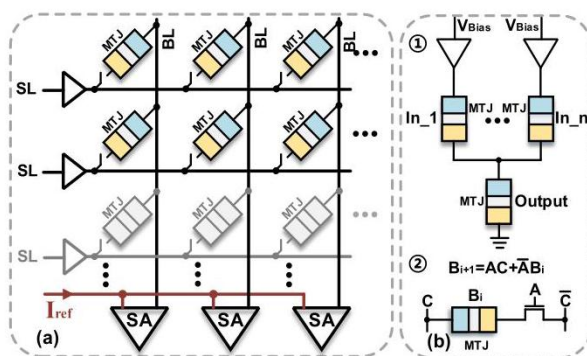


图 1. 基于磁随机存储器 (MRAM) 的逻辑实现方案:(a) 基于读取; (b) 基于写入。

佟中振和林晓阳就职于北京航空航天大学国际创新研究院自旋电子学国家重点实验室, 浙江杭州余杭 311115, 同时就职于北京航空航天大学费尔北京研究院集成电路科学与工程学院工信部自旋电子学重点实验室, 北京 100191(电子邮件:xylin@buaa.edu.cn)。

徐一霖、段新瑞、唐浩、赵苏腾、李成航和王兆浩就职于中国北京 100191 北京航空航天大学集成电路科学与工程学院。

刘云龙、林智廷和吴秀龙就职于中国合肥 230601 安徽大学集成电路学院、安徽省高性能集成电路工程研究中心。

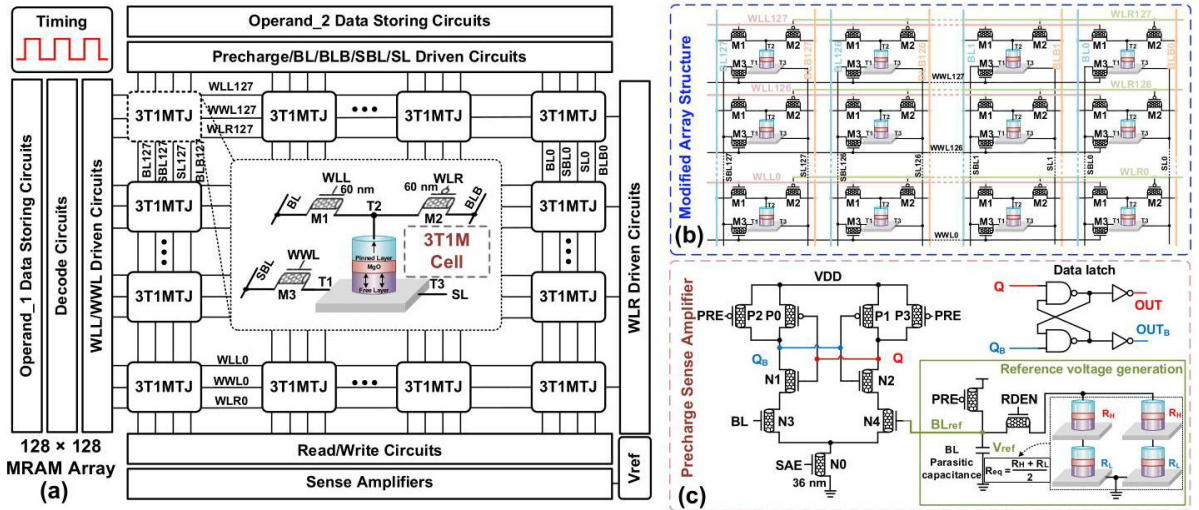
本文中一个或多个图的彩色版本可在 <https://doi.org/10.1109/TCSI.2023.3341608> 获取。

数字对象标识符 10.1109/TCSI.2023.3341608

A. 基于读取的存内计算 (CIM) 方案

Pinatubo [46] 提出了一种方法, 该方法可以在存储器中执行诸如或 (OR)、与 (AND)、异或 (XOR) 和非 (INV) 等布尔逻辑, 以在非易失性存储架构中实现批量位布尔逻辑运算; 可以同时激活多行, 感测放大器 (SA) 通过感测位线 (BL) 电压或电流输出按位计算结果。在读取操作期间, SA 用于区分由高电阻 (反平行状态, R_H) 或低电阻 (平行状态, R_L) 单元放电引起的 BL 电压差。然而, 在 CIM 模式下, 如图 1(a) 所示, Pinatubo 在 SA 中配置了多个参考电路; 因此, 可以区分以下三种状态: $R_H//R_H$ (对应逻辑 “11”), $R_H//R_L$ (对应逻辑 “01” 或 “10”) 和 $R_L//R_L$ (对应逻辑 “00”), 这些状态可用于按位与/或运算。但是, 如果实现异或或同或逻辑, 则必须添加额外的或非门和 SA, 这意味着一列中包含两个 SA [36]、[40]。此外, 如果磁性隧道结 (MTJ) 的隧穿电阻比 (TMR) 足够高, 则可以支持多数逻辑 [36]。

在文献 [40] 中, 使用了 1T1M 单元, 其中多字线激活实现了布尔逻辑。所提出的 CIM 宏单元被集成到通用计算系统中。类似地, Monga 等人提出了一种基于 2T + 1MTJ 存储单元的 MRAM 阵列, 以实现诸如与非 (NAND)、或非 (NOR) 和多数 (MAJORITY) 等逻辑运算, 需要多个参考电压。在文献 [37] 中, 提出了一种 4T1M 单元来实现 16 种布尔逻辑功能和算术运算, 利用晶体管的栅极电容存储动态位。这些研究使用 SA 来完成基于读取的 CIM 操作。然而, 复杂的外围电路 (包括参考电路和 SA) 降低了能量效率, 并需要额外的面积开销。此外, 有限的 TMR 可能导致较小的感测裕度和 BL 电压摆幅, 降低计算精度并限制操作吞吐量。



一种计算随机存取存储器 (CRAM) 架构, 用于在阵列中执行布尔逻辑操作。然而, 全加器的进位必须复制以参与下一次计算, 这需要一个外围电路。此外, 复杂的时序控制信号增加了实现复杂度。因此, 文献 [42] 的作者提出了一种基于自旋转移矩 (STT) 的存内计算 (STT-CIM) 方案, 该方案通过修改自旋转移矩磁随机存储器 (STT-MRAM) 的阵列结构来执行逻辑和算术运算。

如图 1(b) 所示, 在 1T1M 单元中, 可以实现 $B_{i+1} = AC + \bar{A}B_i$ 的逻辑运算, 计算结果可以原位存储。然而, 由于无法灵活执行异或运算, 实现一个 1 位全加器需要分别进行五个读取周期和一个写入周期。此外, 这些方法无法激活整个阵列参与计算。

与以往的研究相比, 所提出的设计仅使用 3T1M 单元, 可以实现全阵列布尔逻辑 (与/与非、或/或非、蕴含/非蕴含以及异或/异或非), 运算结果会在一个计算周期内自动存储。还可以在存储器中使用更少的器件和周期实现半加器和全加器运算。此外, 它不需要额外的灵敏放大器 (SAs) 或复杂的外围电路, 从而简化了电路设计。

III. 所提出的用于存储和存内计算模式的磁随机存储器 (MRAM) 宏单元

在本节中, 我们将概述所提出的混合 p-SOT-MTJ/全环绕栅碳纳米管场效应晶体管 (GAA-CNTFET) 的 MRAM-CIM 宏单元, 并介绍存储模式、全阵列原位存储布尔逻辑以及半加/全加运算的原理。

A. 宏观结构与概述

图 2(a) 展示了所提出的混合 p - SOT - MTJ/GAA - CNTFET MRAM - CIM 宏单元的结构, 它包括一个 3T1M 单元阵列、用于布尔运算的输入数据存储电路、解码电路、预充电电路、字线 (WL) 和位线 (BL) 驱动电路、参考电压生成电路、灵敏放大器 (SAs) 和时序控制电路。3T1M MRAM - CIM 宏单元可以在存储和 CIM 模式下运行。在存储模式下, 读取功能通过单端预充电灵敏放大器实现。在 CIM 模式下, 可以实现布尔逻辑的全阵列原位恢复以及半加器/全加器功能, 其中全加器基于半加器的逻辑实现。

图 2(a) 展示了 3T1M MRAM 单元配置。与传统的 2T1M SOT - MRAM 单元相比, 所提出的 3T1M 单元包含一个额外的晶体管, 从而支持存储和 CIM 两种模式。在该图中, M1 - M3 代表访问晶体管, T1 - T3 对应 p - SOT - MTJ 器件的三个端子。I_{SOT} 的产生是通过在 T1 和 T3 之间施加自旋霍尔效应 (SHE) 电流实现的。传统的 I_{STT} 可以施加在 T2 和 T3(或 T1) 之间。左字线 (WLL) 和右字线 (WLR) 分别控制访问晶体管栅极 (M1) 和 (M2), 用于读写和 CIM 操作。此外, WLL 和 WLR 被映射为操作数数据以参与计算。类似地, 位线 (BL) 和反相 BL (BLBs) 可以实现读写操作, 并且可以被映射为操作数数据。写字线 (WWL) 控制访问晶体管栅极 (M3), 源极线 (SL) 和源极 BL (SBL) 用于为写和计算操作生成 I_{SOT}。

图 2(b) 展示了由 128 行 × 128 列 3T1M 单元组成的改进阵列结构示意图。操作数 1 (O₁) 被映射为水平连接的 WLL/WLR 的电压。操作数 2 (O₂) 被映射为垂直连接的 BL/BLB 的电压。计算结果原位存储, 无需预设周期, 从而减少了布尔逻辑的操作周期数。

图 2(c) 展示了基于 GAA-CNTFET 的感测放大器示意图, 其中 P0/P1 和 N1/N2 构成交叉耦合反相器, 提供正反馈。P2 和 P3 用于使用 PRE 信号对 Q 和 Q_B 节点进行预充电。N3 和 N4 用作输入晶体管, N0 是下拉晶体管。在放大之前, Q 和 Q_B 被预充电到高电压。当启用的 SAE 信号处于高电压时, 感测放大器开始工作。N3 和 N4 的栅极分别连接到 BL 和 BL_{ref}。V_{ref} 是通过一个预充电到 VDD 的电容器 (R_H + R_L) / 2 的电阻放电得到的, 其中电容与 BL 的寄生电容一致, 电阻是通过将 R_H (MTJ 保持反平行状态) 和 R_L (MTJ 保持平行状态) 串联并联得到等效电阻 (R_H + R_L) / 2。当感测放大器开始工作时, Q 和 Q_B 处的电压下降。考虑到感测放大器的相应输入电压 (BL 和 BL_{ref}) 不同, 放电速度也不同。如果 BL 的电压高于 V_{ref}, Q_B 的放电速度将大于 Q 的放电速度。因此, 节点 Q_B 处的电压比 Q 的电压更快下降到 VDD - |V_{THp}|, 其中 V_{THp} 是 p-CNTFET 的阈值电压。P1 导通将节点 Q 上拉到高电压; N1 导通将节点 Q_B 下拉到 VSS。最后, 从 Q 和 Q_B 节点读取的数据存储在锁存器 (由 OUT 和 OUT_B 的节点电压表示) 中, 以实现读取操作。

B. 存储模式

1) 写入操作: 图 3(a) 展示了写入数据“0”的操作。首先, 激活 WWL, 将 SL 和 SBL 分别设置为高电压和 VSS。此时, 从 SL 到重金属和 SBL 产生 I_{SOT} , 由于自旋霍尔效应 (SHE), MTJ 在其自由层 (FL) 中形成面内磁化。然后, 将 WLL 和 WLR 分别设置为高电压和 VSS。将 BL 和 BLB 分别配置为 VSS 和浮空。从 SL 到 BL 产生 I_{STT} 。值得注意的是, I_{SOT} 和 I_{STT} 持续较短时间。最后, 关闭 M3, 从 SL 到 MTJ、M1(n-CNTFET) 和 BL 的 I_{STT} 将 MTJ 设置为 R_L , 从而完成写“0”操作。

同样, 图 3(b) 展示了写入数据“1”的操作。首先, 激活 WWL, 并将 SL 和 SBL 分别设置为 VSS 和高电压。请注意, 在这种情况下, 由于 n - CNTFET 传输高电压时存在阈值电压损失, T1 处的电压只能达到 $V_{DD} - V_{THn}$, 其中 V_{THn} 表示 n - CNTFET 的阈值电压。因此, 会从 SBL 到 SL 产生一个 I_{SOT} 。尽管 T1 和 T3 之间的电压差比写入数据“0”时小, 但所产生的 I_{SOT} 足以将 p - SOT - MTJ 初始化为 R_H 和 R_L 之间的中间状态。关于此初始化的更多细节将在第四节中分析。然后, 将 WLL 和 WLR 分别设置为高电压和 VSS。将 BL 和 BLB 分别配置为浮空和 VDD。会产生一个从 BLB 到 SL 的 I_{STT} 。请注意, I_{SOT} 和 I_{STT} 会同时存在一段时间。最后, 关闭 M3, 从 BLB 到 M2(p - CNTFET)、MTJ 和 SL 的 I_{STT} 将 MTJ 设置为 R_H , 以完成写入“1”的操作。在写入操作期间, WLL 和 WLR 会同时启用。因此, 写入“0”或“1”时不存在阈值损失。然而, 传统的 2T1M 单元 (使用 NMOS 传输高电压进行写入操作 [47]) 存在阈值损失。因此, 所提出的 3T1M 单元在写入操作方面更快。

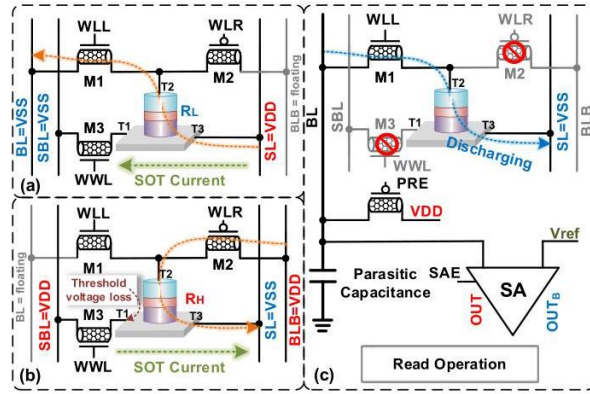


图 3. 写入操作:(a) 写入“0”; (b) 写入“1”; (c) 读取操作。

2) 读取操作: 在读取操作中, 启用 PRE 信号将 BL 预充电到高压。随后, 将相应的 WLL 设置为 VDD, 导致 BL 通过 p - SOT - MTJ 放电。由于存储的数据有两种状态 (R_H 或 R_L), 因此 BL 有两种不同的电压下降速度。此外, BL_{ref} 的放电速度介于“1”和“0”之间。在 BL 和 BL_{ref} 之间会形成电压差。如果存储的数据是“1”, BL 的放电速度将比 BL_{ref} 慢, 形成 $\Delta V_H = V_{BL} - V_{ref}$; 如果存储的数据是“0”, BL 的放电速度将比 BL_{ref} 快, 形成 $\Delta V_L = V_{ref} - V_{BL}$ 。最后, 启用 SAE 信号以完成读取操作。

图 4 展示了所提出的 MRAM 电路进行读写操作的时序图。前两个周期展示了数据位“0”的写入和读取操作。同样, 第三和第四个周期展示了数据位“1”的写入和读取操作。

图 5 展示了所提出的磁性随机存取存储器 (MRAM) 整个写入/读取操作过程的瞬态仿真结果。通过适当使用 I_{SOT} 和 I_{STT} , 磁性隧道结 (MTJ) 的状态从“1”切换到“0”, 然后再切换回“1”。在此, 写入“0”时最大 I_{SOT} 为 $321\mu A$, 写入“1”时为 $191\mu A$ (由 T1 电流表示)。同样, 写入“0”时最大 I_{STT} 为 $92\mu A$, 写入“1”时为 $70\mu A$ (由 T2 电流表示)。请注意, 尽管在重金属中流动的 I_{SOT} 相对较大, 但由于其持续时间较短 (300 皮秒), 写入操作的总能耗得以有效降低。当 M3 通过高电压表现出阈值电压损失时, 写入“0”和“1”时的 I_{SOT} 会产生较大差异。然而, $191\mu A$ 的 I_{SOT} 足以将 p - SOT - MTJ 初始化为中间状态。对于读取“0”和“1”, ΔV_H 和 ΔV_L 分别可以达到 77mV 和 84mV, 为灵敏放大器 (SA) 提供了足够的读取裕量 (主要受第四节中讨论的失调电压限制)。

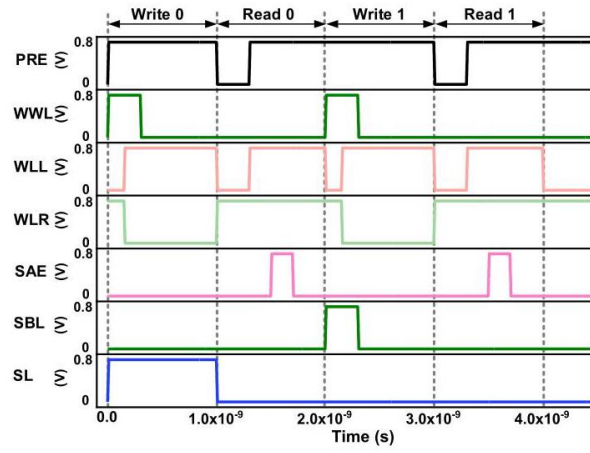


图 4. 所提出的 MRAM - CIM 宏单元的写入和读取操作时序图。

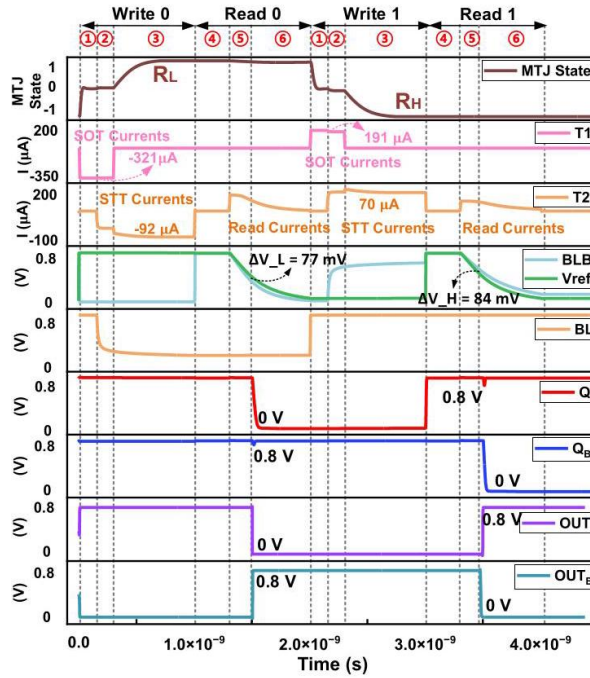


图 5. 整个写入和读取过程的瞬态仿真结果。□ 自旋轨道矩 (SOT) 写入阶段。□ SOT 和自旋转移矩 (STT) 写入阶段。□ STT 写入阶段。□ 位线 (BL) 和 SA 预充电阶段。□ 电压差形成阶段。□ SA 放大阶段。

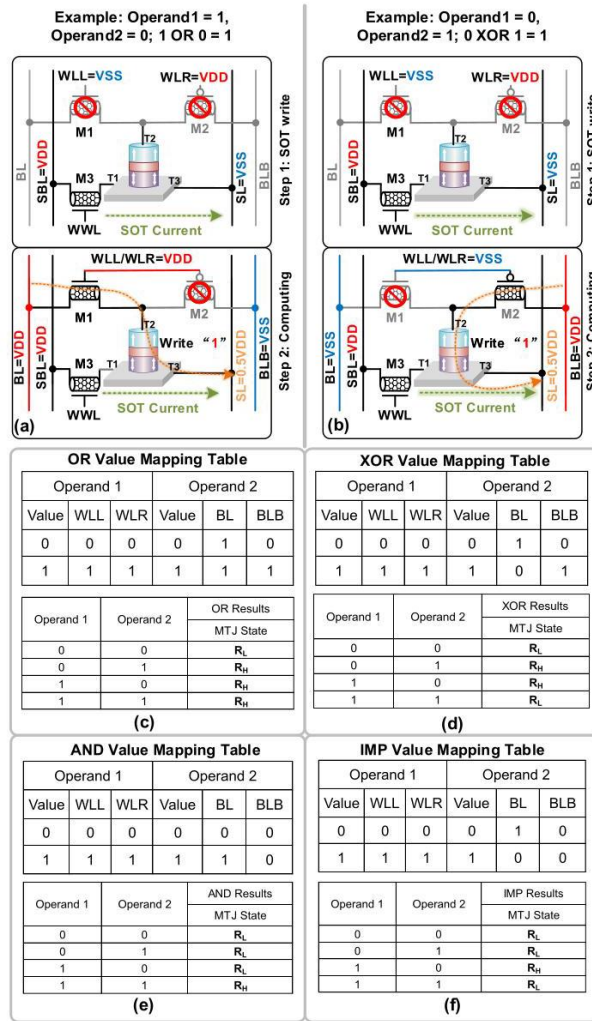


图 6. 布尔运算和原位存储:(a) 或 (OR) 运算; (b) 异或 (XOR) 运算; (c) OR 值映射表和计算结果; (d) XOR 值映射表和计算结果; (e) 与 (AND) 值映射表和计算结果; (f) 蕴含 (IMP) 值映射表和计算结果。

C. 存内计算 (CIM) 模式

1) 布尔运算和原位存储: 如图 6(a) 所示, 或 (OR) 运算和计算结果的原位存储可分为两个步骤。

(1) 自旋轨道矩 (SOT) 写入: 全局写入线 (WWL) 被激活以开启晶体管 M3。源极位线 (SBL) 和源极线 (SL) 分别配置为电源电压 (VDD) 和地电压 (VSS)。因此, I_{SOT} 电流从 SBL 流经 M3 和重金属层到达 SL, 从而将磁性隧道结 (MTJ) 初始化为中间状态。此时, 写入线左 (WLL) 和写入线右 (WLR) 分别保持在 VSS 和 VDD。位线 (BL) 和互补位线 (BLB) 保持浮空。

(2) 计算: 根据输入数据改变 3T1M 单元的 WLL/WLR 和 BL/BLB——例如, $O_1 = 1$ 且 $O_2 = 0$ (WLL/WLR = VDD; BL/BLB = VDD/VSS)。因此, 晶体管 M2 关闭。将 SL 的电压设置为 $0.5V_{DD}$ 。此时, I_{SOT} 会维持一小段时间。随后, 移除 I_{SOT} 。BL 的电压高于 SL 的电压, 从而实现 I_{STT} 电流从 BL 流经 M1、MTJ 和重金属层到达 SL, 将 MTJ 设置为 R_H 状态。 R_H 和 R_L 状态的 MTJ 分别代表计算结果 “1” 和 “0”。因此, 计算结果存储在 MTJ 中, 实现或 (OR) 逻辑和原位存储。由于灵敏放大器 (SA) 读取的数据是互补的, 因此可以从 OUT_B 获得或非 (NOR) 逻辑。

图 6(c) 展示了或运算值映射表和计算结果, 其中 WLL/WLR = 0 表示输入 O_1 为 0; WLL/WLR = 1 表示输入 O_1 为 1; BL/BLB = 1/0 表示 O_2 为 0; BL/BLB = 1/1 表示 O_2 为 1。或运算结果反映在 MTJ 状态 (R_H =

1 和 $R_L = 0$ 中。例如，如果 O_1 和 O_2 都为 0 ($WLL = 0, WLR = 0, BL = 1, BLB = 0$)，MTJ 状态变为 R_L ，对应或运算结果。相反，如果 O_1 或 O_2 为 1，MTJ 状态变为 R_H 。

异或 (XOR) 运算与或 (OR) 运算类似，包括自旋轨道矩写入和计算两个步骤，如图 6(b) 所示。通过改变输入操作数的编码可以实现不同的逻辑运算。图 6(d)、6(e) 和 6(f) 展示了异或、与 (AND) 和蕴含 (IMP) 计算的不同输入编码。同样，异或非 (XNOR)、与非 (NAND) 和蕴含非 (NIMP) 逻辑可以从灵敏放大器 (SA) 中的 OUT_B 节点获得。

鉴于与 (AND)/与非 (NAND)、或 (OR)/或非 (NOR)、蕴含 (IMP)/非蕴含 (NIMP) 以及异或 (XOR)/同或 (XNOR) 运算的一致性，图 7 仅展示了异或运算的瞬态仿真结果。磁隧道结 (MTJ) 状态根据字线写入线 (WWL)/字线读取线 (WLR) 以及位线 (BL)/反相位线 (BLB) 的电压进行切换，分别代表 O_1 和 O_2 。例如，如果 $O_1 = 1$ 且 $O_2 = 0$ ，则将字线写入线 (WLL) 和字线读取线 (WLR) 配置为电源电压 (VDD)，将位线 (BL) 和反相位线 (BLB) 分别配置为电源电压 (VDD) 和地电压 (VSS)。在此，用于将磁隧道结 (MTJ) 初始化为中间状态的最大电流 I_{SOT} 为 $184\mu A$ ，最小 I_{STT} 为 $10\mu A$ 。在这种情况下，自旋轨道矩转移电流 (ISTT) 通过晶体管 M1 流入磁隧道结 (MTJ)，而 n 型碳纳米管场效应晶体管 (n - CNTFET) 在传输高电压时会出现阈值损失。此外，根据计算结果，磁隧道结 (MTJ) 具有高电阻，从而增加了位线 (BL) 和源极线 (SL) 之间的电阻。因此，当计算“1”异或“0”时，自旋轨道矩转移电流 (ISTT) 最小，这是最不利的情况。即使在执行逻辑运算时 (与写入操作相比)，自旋轨道矩电流 (ISOT) 和 I_{STT} 相对较低， I_{STT} 也很容易破坏自旋轨道矩 (SOT) 的对称性，计算可在 2 纳秒内完成 (在第四部分讨论)。

在计算过程中，整个阵列的字线 (WLs) 和位线 (BLs) 可以同时激活，这表明每个 3T1M 单元都可以执行逻辑运算。计算结果可以原位存储，无需额外的空间或外围电路。此外，通过改变输入操作数的输入编码，可以在整个阵列中同时实现不同的布尔逻辑。例如，可以分别在第一列、第二列和第三列实现异或 (XOR)、或 (OR) 和蕴含 (IMP) 运算，其中不同的布尔逻辑可用于实现算术逻辑单元 (ALU) 的功能，包括半加器和全加器。因此，所提出的混合 p 型自旋轨道矩 - 磁隧道结 (p - SOT - MTJ)/全环绕栅碳纳米管场效应晶体管 (GAA - CNTFET) 磁随机存储器 - 存内计算 (MRAM - CIM) 宏单元解决了传统逻辑运算中通过激活阵列中的两条字线所导致的吞吐量瓶颈问题。

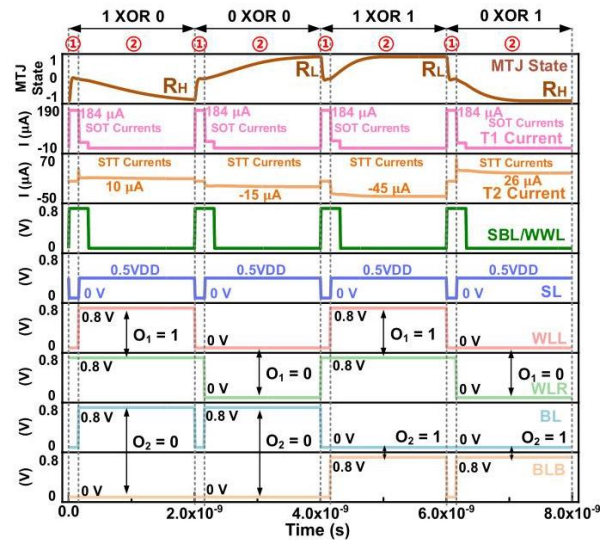


图 7. 异或计算和原位存储过程的瞬态仿真结果。□ 自旋轨道矩 (SOT) 写入阶段。□ 计算阶段。

2) 半加器运算: 图 8(a) 展示了半加器的原理，半加器是一种可以对两个一位二进制数进行相加的算术逻辑单元 (ALU)。它有两个输入端 (加数 A 和加数 B)、输出和 (S) 以及进位 (C)，其逻辑表达式如下:

$$S = A \oplus B$$

$$C = AB \quad (1)$$

其中，异或运算和与运算表示基本逻辑运算。

所提出的 MRAM-CIM 宏单元可以在存储器中同时实现不同的布尔逻辑。因此，如图 8(b) 所示，使用所提出的 3T1M 阵列可以轻松实现半加器运算。加数 $A_n - A_0$ 被映射为写左线 (WLL) 和写右线 (WLR) 的电压，加数 $B_n - B_0$ 被映射为位线 (BL) 和反相位线 (BLB) 的电压。两个 3T1M 单元可以组合形成一个半加器。异或运算和与运算分别在左单元和右单元中实现。例如， B_n 被映射到 BL_n/BLB_n ， BL_{n-1}/BLB_{n-1} ； A_n 被映射到 WLL_n/WLR_n 。左单元可以实现 $A_n \oplus B_n$ 以得到输出和。类似地，右单元可以实现 $A_n B_n$ 以得到输出进位。因此，可以激活整个阵列来实现一个一位半加器。对于 $n \times n$ MRAM 阵列，可以实现 $n^2/2$ 半加器运算。

3) 全加器运算: 与半加器不同，一位全加器可以处理低位进位并输出标准加法进位。通过组合两个半加器并添加或逻辑，可以实现一位全加器运算，如图 9(a) 所示。全加器包括加数 (A)、加数 (B) 和进位 (C)。由于有两个半加器，会产生两个进位。无论哪个半加器产生进位，全加器都需要输出进位。因此，需要或逻辑来组合两个半加器的进位。全加器的和由输入 C 与 S_1 半加得到，其中 S_1 是输入 A 与输入 B 半加的和。逻辑表达式如下：

$$\text{Sum} = A \oplus B \oplus C$$

$$\text{Carry} = AB + (A \oplus B)C \quad (2)$$

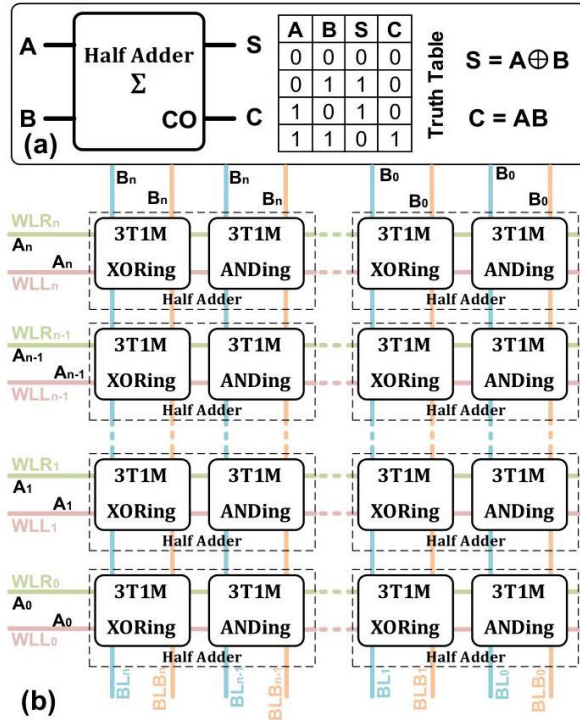


图 8. (a) 半加器原理。(b) 使用所提出的 MRAM-CIM 宏单元实现的全阵列半加器原理。

图 9(b) 展示了使用所提出的半加器运算实现的一位全加器的基本操作。以三个 3T1M 单元为例，详细步骤如下：

步骤 1: A 半加 B。输入 A 被加载到 WLL/WLR 中，输入 B 被加载到 BL_2/BLB_2 和 BL_1/BLB_1 中。 $3T1M^{#2}$ 和 $3T1M^{#1}$ 单元组合成一个半加器。结果，在 $3T1M^{#2}$ 和 $3T1M^{#1}$ 单元中实现了 A 异或 B 和 A 与 B 的运算，它们分别表示 S_1 和 C_1 。此时， $3T1M^{#0}$ 单元保持空闲。

步骤 2: 读取操作。读取存储在 $3T1M^{#2}$ 单元中的 S_1 的半加结果。此时, $3T1M^{#1}$ 和 $3T1M^{#0}$ 单元保持空闲。

步骤 3: C 半加 $A \oplus B$ 。输入 C 被加载到 WLL/WLR 中; 从步骤 2 读取的 $A \oplus B$ 被加载到 BL_2/BLB_2 和 BL_0/BLB_0 中。 $3T1M^{#2}$ 和 $3T1M^{#0}$ 组合成一个半加器。因此, 在 $3T1M^{#2}$ 和 $3T1M^{#0}$ 单元中, 实现了 C 异或 $A \oplus B$ 和 C 与 $A \oplus B$ 的运算, 它们分别表示 S_2 和 C_2 。 S_2 是存储在 $3T1M^{#2}$ 单元中的全加器的和。此时, $3T1M^{#1}$ 单元保持空闲。

步骤 4: 读取操作。读取存储在 $3T1M^{#1}$ 单元中的 C_1 的半加器结果和存储在 $3T1M^{#0}$ 单元中的 C_2 的半加器结果。此时, $3T1M^{#2}$ 单元保持空闲。

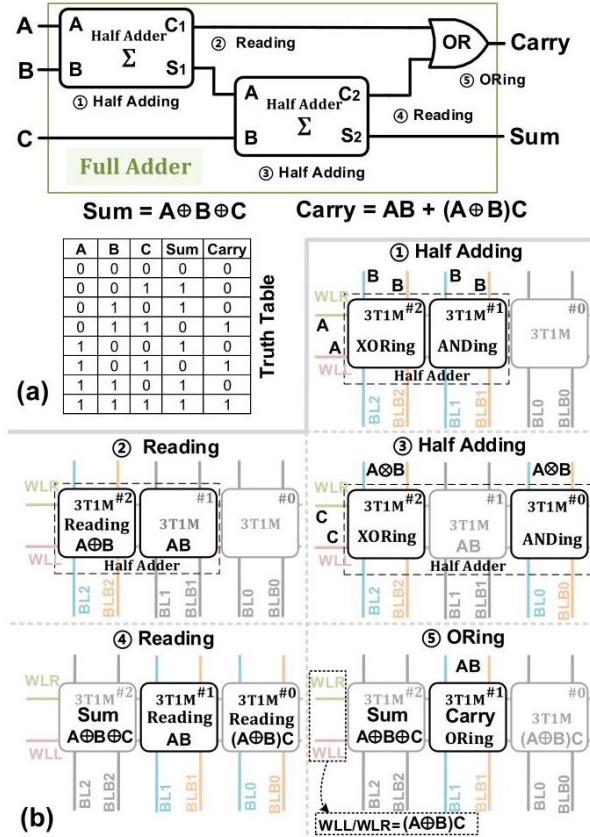


图 9. (a) 全加器原理。(b) 使用所提出的半加器操作实现的 1 位全加器的基本操作。

步骤 5: $(A \oplus B)C$ ORing AB 。从 $3T1M^{#0}$ 单元读取的 C_2 ($(A \oplus B)C$) 被加载到 WLL/WLR 中; 从 $3T1M^{#1}$ 单元读取的 C_1 (AB) 被加载到 BL_1/BLB_1 中。然后在 $3T1M^{#1}$ 单元中执行或运算以获得全加器的进位。此时, $3T1M^{#2}$ 和 $3T1M^{#0}$ 单元保持空闲。最后, 全加器的和与进位分别存储在 $3T1M^{#2}$ 和 $3T1M^{#1}$ 单元中。

全加器操作的瞬态仿真结果如图 10 所示, 其中 A 、 B 和 C 的输入分别为 1、1 和 1。在步骤 1 中, $3T1M^{#2}$ 和 $3T1M^{#1}$ 单元分别转换为 R_L 和 R_H 。 BL_0 和 BLB_0 保持在 VSS 中以维持 $3T1M^{#0}$ 单元的状态。在步骤 2 中, 为 $OUT2$ 获得 $A \oplus B$ 。在步骤 3 中, $3T1M^{#2}$ 和 $3T1M^{#0}$ 单元分别转换为 R_H 和 R_L 。 BL_1 和 BLB_1 保持在 VSS 中以维持 $3T1M^{#1}$ 单元的状态。在步骤 4 中, 分别从 $OUT1$ 和 $OUT0$ 获得 AB 和 $(A \oplus B)C$ 的结果。在步骤 5 中, $3T1M^{#1}$ 单元暴露于 R_H 。同样, BL_2/BLB_2 和 BL_0/BLB_0 保持在 VSS 中以维持 $3T1M^{#2}$ 和 $3T1M^{#0}$ 单元的状态。整个全加器操作在 8 ns 内完成。

IV. 评估与比较结果

所提出的磁阻随机存取存储器 (MRAM) 基于 SPICE 进行了仿真, 采用了混合 p-SOT-MTJ [22]/全环绕栅碳纳米管场效应晶体管 (GAA-CNTFET) [19]、[20] 以及商用 14 纳米鳍式场效应晶体管 (FinFET)/p-SOT-MTJ。GAA-CNTFET 和 p-SOT-MTJ 模型的重要参数列于表 I。请注意, 在所提出的基于 MRAM 的存内计算 (CIM) 宏单元中, 碳纳米管场效应晶体管 (CNTFET) 的最小栅极宽度为 18 nm。如果使用不同的 CNTFET 栅极宽度, 栅极宽度将如示意图所示。存储器大小为 128×128 以获得 16 Kb 阵列。

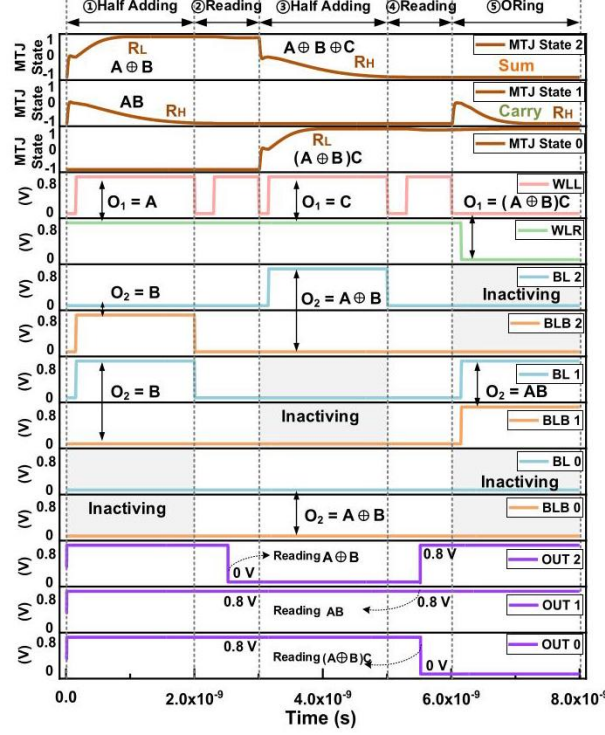


图 10. 全加器操作的瞬态仿真结果。

TABLE I

全环绕栅碳纳米管场效应晶体管 (GAA-CNTFET) 和磁隧道结 (MTJ) 模型的重要参数

	参数	值
2016 年 1 月	晶体管宽度 (W)	18 纳米
	物理栅极长度 (Lg)	12 纳米
	接触长度 (Lc)	12 纳米
	源极/漏极延伸长度 (Lext)	3 纳米
	碳纳米管直径 (d)	1.2 纳米
	栅氧化层厚度 (tox)	3 纳米
	栅极高度 (Hg)	20 纳米
	平带电压 (Vfb)	± 0.015 伏
	碳纳米管之间的间距 (s)	3 纳米
港元千元	自由层厚度 (tsl)	0.7 纳米
	氧化镁势垒厚度 (tox)	0.85 纳米
	零偏置电压下的隧穿磁电阻比 (TMR)	150%
	磁性隧道结 (MTJ) 表面长度 (a)	40 纳米
	磁性隧道结 (MTJ) 表面宽度 (b)	40 纳米
	磁性隧道结 (MTJ) 表面半径 (r)	20 纳米
	重金属宽度 (W)	40 纳米
	重金属厚度 (d)	3 纳米
	重金属长度 (l)	60 纳米

A. 性能分析

为了分析读操作的稳定性, 我们评估了不同隧穿磁电阻 (TMR) 下的读取裕度 (ΔV_H 和 ΔV_L), 评估结果如图 11 所示; 磁性隧道结 (MTJ) 的 TMR 越大, 读取裕度就越大。当 TMR 为 100%, 77mV 和 46mV 时, 分别可以得到 ΔV_H 和 ΔV_L ; 当 TMR 高达 150%, 84mV 时, 分别可以得到 ΔV_H 和 ΔV_L 的 77mV。然而, 对于 p - 自旋轨道矩磁性隧道结 (p - SOT - MTJ), 大量实验研究表明, 室温下的 TMR 约为 180% 至 250% [48]。在本研究中, 选择 150% 的 TMR 来实现所提出的电路设计。

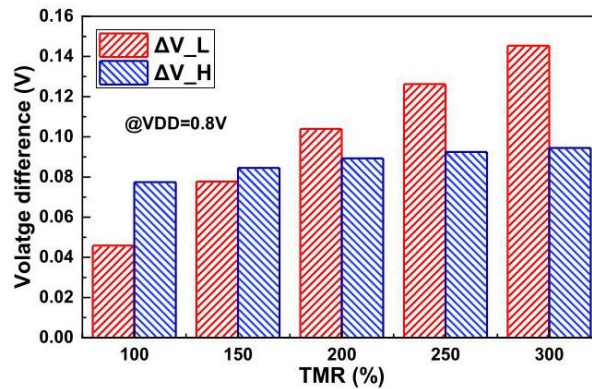


图 11. 不同 TMR 下读取裕度的仿真结果。

TABLE II

全环绕栅碳纳米管场效应晶体管 (GAA - CNTFET) 和磁性隧道结 (MTJ) 模型的蒙特卡罗参数

	蒙特卡罗参数	$\pm 3\delta$ 变化
2016 年 1 月	物理栅极长度 (L_g)	10%
	接触长度 (L_c)	10%
	栅极高度 (H_g)	10%
	栅氧化层厚度 (t_{ox})	10%
	平带电压 (V_{fb})	10%
	碳纳米管场效应晶体管的数量 (N_{cnt})	10%
港元千元	氧化镁势垒厚度 (t_{ox})	3%
	自由层厚度 (t_{sl})	3%
	零偏置电压下的隧穿电阻比 (TMR)	3%

灵敏放大器 (SA) 在读取操作中至关重要。因此，我们分析了环绕栅碳纳米管场效应晶体管 (GAA - CNTFET) 中不同参数对灵敏放大器性能的影响，包括包含预充电时间、感测时间和失调电压的读取延迟 (T_{SA})。作为 GAA - CNTFET 最关键的工艺参数，物理栅长 (L_g)、接触长度 (L_c)、栅极高度 (H_g)、栅极氧化物厚度 (t_{ox})、平带电压 (V_{fb}) 和碳纳米管数量 [49] (N_{cnt}) 的变化率被认为是 10%，其中 N_{cnt} 通过碳纳米管之间的间距 (s) 计算为晶体管宽度，如表 II 所示。

图 12(a) 和 12(b) 展示了使用不同 GAA - CNTFET 参数进行 2k 次蒙特卡罗模拟得到的 T_{SA} 和失调电压结果。 N_{cnt} 对灵敏放大器性能影响极大，其平均 T_{SA} 最长，为 304.96 ps，标准差为 140.28 fs，平均失配为 1.3 mV，标准差为 18.11 mV。相比之下， V_{fb} 对灵敏放大器性能的影响最小，其平均 T_{SA} 最短，为 304.92 ps，标准差为 10.09 fs，平均失配为 0.19 mV，标准差为 3.22 mV。值得注意的是，最大失调电压为 18.11 mV，小于 ΔV_H 或 ΔV_L 。因此，有足够的读取裕量来保证读取操作的稳健性。

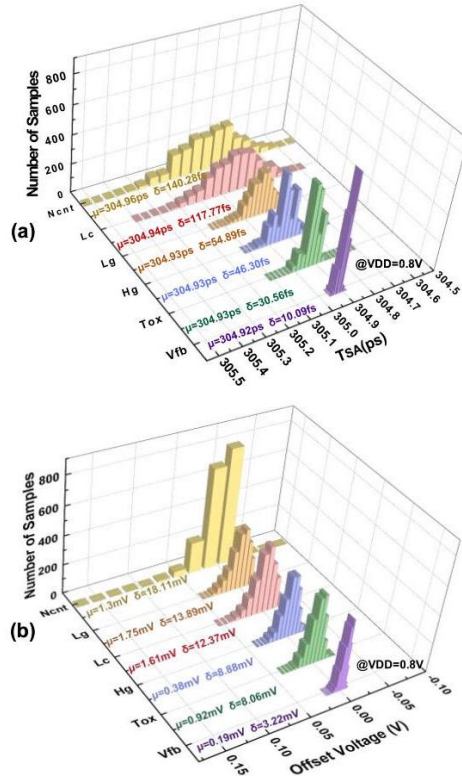


图 12. 在 0.8 V 条件下，预充电 - 灵敏放大器的 (a) 延迟和 (b) 失调电压的蒙特卡罗模拟结果。

在提出的 CIM 宏中，在写入“0”、写入“1”和 CIM 操作期间，由于 T1 和 T3 之间或 T2 和 T1(T3) 之间的电压差不同，会产生不同的 I_{SOT} 和 I_{STT} 。为了理解这些 I_{SOT} 和 I_{STT} 变化对 p - SOT - MTJ 的影响，

我们进行了仿真实验，实验结果如图 13 所示。图 13(a) 展示了向 p - SOT - MTJ 输入不同的 I_{SOT} 值，将其从 R_{H} 状态初始化为中间状态的效果。当 I_{SOT} 低于 $60\mu\text{A}$ 时，初始化操作无法完成。当 I_{SOT} 为 $60\mu\text{A}$ 时，初始化延迟为 418ps ；当 I_{SOT} 增加到 $110\mu\text{A}$ 时，初始化延迟缩短至 85.2ps 。所提出电路中的最小 I_{SOT} 为 $182\mu\text{A}$ ，确保初始化操作能够在 50ps 内完成。然而，在该设计中，SOT 写入阶段分配的 300ps 足以可靠地实现初始化操作。

图 13(b) 展示了在“写入 1”操作期间，不同的 I_{STT} 值对 p - SOT - MTJ 的影响，其中 I_{SOT} 固定为 $180\mu\text{A}$ ，延迟为 300ps 。由于 I_{SOT} 的辅助，较小的 I_{STT} 也可以完成写入操作。然而， I_{STT} 越小，写入延迟越大。当 I_{STT} 为 $2\mu\text{A}$ 时，写入延迟为 4.5ns ；当 I_{STT} 为 $10\mu\text{A}$ 时，写入延迟为 1.8ns 。因此，即使在最坏的情况下 (产生 $10\mu\text{A}I_{\text{STT}}$)，所提出的设计也能保持较高的计算速度。

为了验证布尔逻辑运算的可靠性，我们对其进行了蒙特卡罗模拟。除了全环绕栅碳纳米管场效应晶体管 (GAA - CNTFET) 的工艺变化外，还考虑了磁性隧道结 (MTJ) 重要工艺参数的 3% 变化，包括 MgO 势垒厚度 (t_{ox})、自由层 (FL) 厚度 (t_{sl}) 以及零偏置电压下的隧穿磁电阻 (TMR) 比 [22]，如表 II 所示。0 异或 0 和 1 异或 0 的布尔逻辑运算如图 14 所示。所有 MTJ 状态都被正确反转，这意味着所有数据都被正确计算。图 14(a) 显示，当进行 0 异或 0 运算时，MTJ 的状态迅速反转到 R_{L} ，表明计算结果为零。由于相对较大的 I_{STT} ，OXORing0 以 0.7ns 的平均延迟实现，相应的标准偏差为 28皮秒 。类似地，图 14(b) 显示，当进行 1 异或 0 运算时，MTJ 的状态反转到 R_{H} ，表明计算结果为 1， I_{STT} 通过重金属层从 M1 流向选择线 (SL) 并流入 MTJ。由于 n 型碳纳米管场效应晶体管 (n - CNTFET) 通过高电压的能力较弱， I_{STT} 相对较低。尽管如此，结果表明 1 异或 0 运算以 1.8ns 的平均延迟完成，相应的标准偏差为 92皮秒 。

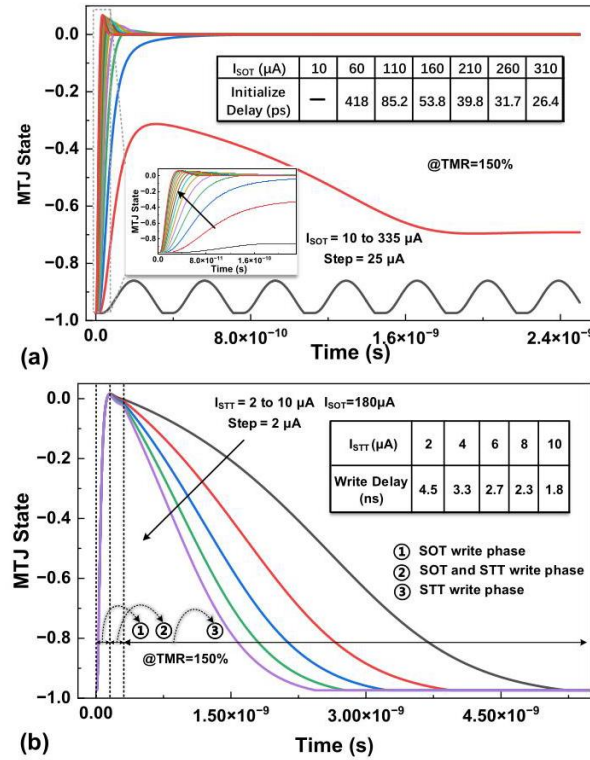


图 13. (a) 施加到 T1 或 T3 以将 p 型自旋轨道矩磁性隧道结 (p - SOT - MTJ) 初始化为中间状态的电流 (I_{SOT}) 在 $25\mu\text{A}$ 中从 10 到 $310\mu\text{A}$ 变化。(b) 施加到 T2 以将 p - SOT - MTJ 切换到 R_{H} 状态的 I_{STT} 在 $2\mu\text{A}$ 中从 2 到 $10\mu\text{A}$ 变化。

B. 与 14 纳米鳍式场效应晶体管 (FinFET)/p - SOT - MTJ 的能耗和延迟比较

为了准确展示全环绕栅碳纳米管场效应晶体管 (GAA - CNTFET) 的优势, 我们使用商用 14 纳米鳍式场效应晶体管 (FinFET) 工艺和使用 Verilog - A 建模的 p - SOT - MTJ [22] 来实现一个基于 16 千比特磁随机存储器 (MRAM) 的存内计算 (CIM) 宏单元进行比较。

图 15(a) 显示了所提出的 MRAM 在存储模式下的能耗和延迟。考虑到写入磁性隧道结 (MTJ) 不同电阻状态时 I_{STT} 不同, 写入不同数据 (0 或 1) 时会产生不同的延迟和能耗。当写入 R_L 时, I_{STT} 较大, 导致延迟较低且能耗较高。相反, 当表示 R_H 时, I_{STT} 较小, 导致延迟较高且能耗较低。写入能耗主要由 MTJ 的固有特性决定。因此, 基于 GAA - CNTFET/p - SOT - MTJ 设计的改进并不显著, 平均提高了 6.5%。然而, 写入速度主要由晶体管产生的电流决定。与 FinFET 相比, GAA - CNTFET 具有更大的导通态电流 [50], 导致写入速度提高了 21%。

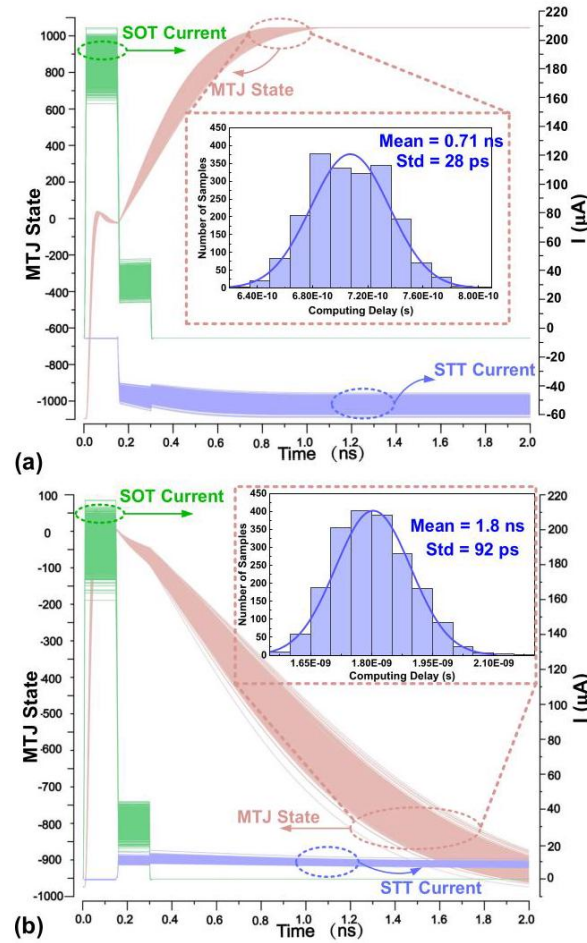


图 14. 在 0.8 V 下进行存内计算 (CIM) 操作时, (a) 0 异或 0 和 (b) 1 异或 0 的蒙特卡罗模拟。

对于读操作, 读延迟包括预充电 (T_{Pre})、放电 (T_{Dis}) 和感测时间。 T_{Pre} 和 T_{Dis} 是固定的; 因此, GAA - CNTFET 设计带来的读延迟改善 (4.4%) 主要来自于灵敏放大器 (SA) 的响应速度。读能耗包括放电和 SA 的能耗。与 FinFET/p-SOT-MTJ 设计相比, 基于 GAA-CNTFET 的 SA 具有更高的响应速度和更低的能耗, 使读能耗降低了 45.3%。

由于布尔逻辑运算具有一致性, 因此图 15(b) 仅展示了异或 (XOR) 运算的仿真结果。在最坏情况下 (1 异或 0), 通过 n 型晶体管将磁隧道结 (MTJ) 设置为高阻态 (R_H)。基于 GAA-CNTFET 的设计可以在 1.8 ns 内完成计算, 而基于 FinFET 的设计则需要 2.95 ns 才能完成。因此, 所提出的基于 FinFET 的基于 MRAM

的存内计算 (CIM) 宏单元需要更长的操作周期。尽管其导通电流小于 GAA-CNTFET，但额外的计算延迟增加了能耗开销。对于 CIM 操作，GAA-CNTFET/p-SOT-MTJ 设计和 FinFET/p-SOT-MTJ 设计的平均能耗分别为 56.95 和 75.64 fJ/bit。GAA-CNTFET/p-SOT-MTJ 设计和 FinFET/p-SOT-MTJ 设计的平均计算延迟分别为 1.53 和 1.93 ns。因此，与 FinFET/p-SOT-MTJ 设计相比，所提出的基于 GAA-CNTFET/p-SOT-MTJ 的基于 MRAM 的 CIM 宏单元在计算延迟和能耗方面分别降低了 20.6% 和 24.7%。

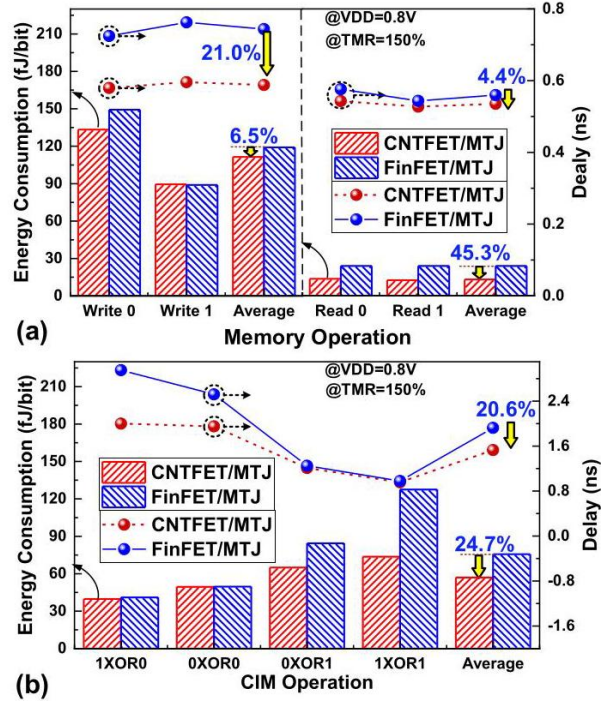


图 15. 能耗和延迟的仿真结果:(a) 存储操作。(b) 存内计算 (CIM) 操作。

为了进一步展示所提出的基于 MRAM 的 CIM 宏单元的性能，图 16 展示了 1 位半加器和 1 位全加器操作的仿真结果。与 FinFET/p-SOT-MTJ 设计相比，1 位半加器和 1 位全加器操作的能耗分别降低了 34.6% 和 30.5%，延迟分别降低了 33.3% 和 27.3%。

C. 与其他工作的比较

近期详细介绍布尔逻辑和全加器操作实现的文献为比较器件、周期和延迟结果提供了依据，如表 III 所示。与现有最先进的工作 [9]、[42]、[44] 相比，所提出的架构仅需一个周期 (包括 □ 自旋轨道矩 (SOT) 写入阶段、□ SOT 和自旋转移矩 (STT) 写入阶段以及 □ STT 写入阶段) 即可执行逻辑操作。值得注意的是，诸如异或 (XOR) 和异或非 (XNOR) 等复合逻辑操作也可以在一个周期内执行，无需预设周期。相比之下，包括 [9]、[42]、[44] 在内的先前工作在逻辑操作之前需要预设周期，涉及更复杂的时序控制，并且在实现全加器操作时会导致延迟。此外，所提出的设计只需改变位线 (BLs) 的编码即可灵活实现各种逻辑操作。与其他工作 (如 [36](4T + 2M + SA)、[17](20T + SA) 和 [9](15T + 5M)) 相比，这种方法降低了开销，因为这些工作的逻辑操作开销相对较高 (3T + 1M)。此外，在综合评估整体计算操作的延迟时，必须考虑回写延迟。

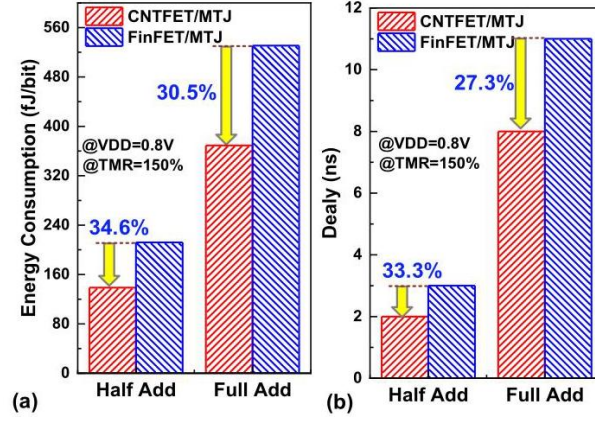


图 16. 1 位半加器和 1 位全加器操作的仿真结果:(a) 能耗; (b) 延迟。

在所提出的存内计算 (CIM) 方案中, 计算结果直接存储在 3T1M 单元中, 有效消除了回写操作的需求。与文献 [9]、[17]、[18]、[42]、[51]、[52] 和 [53] 中引用的先前工作相比, 这导致延迟降低。在相关研究 [26] 中, 其在逻辑运算期间展示了更快的计算速度。然而, 这种方法存在大量的电路开销 (117T + 6M), 并且每个计算单元中都包含一个灵敏放大器 (SA) 结构, 这降低了计算并行性。此外, 它需要额外的回写周期来存储计算结果。总之, 所提出的 CIM 宏单元在器件开销、操作周期和计算延迟方面具有优势。

表 IV 将所提出的基于磁随机存储器 (MRAM) 的 CIM 方案与最先进的 CIM 方案进行了比较, 即二进制存内计算 (BSCIM)[9]、内容可寻址随机存取存储器 (CRAM)[41] 和混合计算静态随机存取存储器 (HCSRAM)[16] 方案。在文献 [9] 和 [41] 中采用了基于写入的 CIM 架构, 其中计算出的布尔逻辑存储在目标单元中。然而, BSCIM 方案通过增加额外的决策单元数量来执行布尔逻辑, 预设周期也需要增加面积开销和计算延迟。BSCIM 架构的吞吐量和能效分别为 51.2 GOPS 和 9.9 TOPS/W。与 CRAM 方案相比, 所提出的基于 MRAM 的 CIM 方案中的异或 (XOR) 和同或 (XNOR) 可以在一个周期内实现, 大大减少了所需的操作次数。在基于读取的 CIM 架构 [16]、[36] 中, 使用灵敏放大器 (SA) 来区分位线 (BL) 电压; 当激活多行时, 感测裕度显著降低。此外, 参考电压生成电路也增加了系统复杂性。在 HCSRAM 架构中, 激活两行来实现逻辑运算, 其中实现 XOR 和 XNOR 仍然需要外围电路来实现 32.7 GOPS 的吞吐量和 5.27 TOPS/W 的能效。

TABLE III
逻辑方案比较

操作	设计	公共信息模型 (CIM) 操作			写回	总延迟 (纳秒)
	参考文献	设备	周期	延迟 (纳秒)	延迟 (纳秒)	
与	19"TED [42]	1T + 1M	1	6	0	6
	22"TNANO [36]	4T+2M+SA	1	0.68	5.39	6.07
	21"JSSC [17]	20T+SA	1	3.3 ¹	2.7 ¹	6
	22"TCAS-I [9]	15T+5M	2 ³	4 ³	0	4
	我们的	3T+1M	1	1.8	0	1.8
与非	22"TNANO [36]	4T+2M+SA	1	0.68	5.39	6.07
	22"TCAS-I [9]	15T+5M	2	4	0	4
	我们的	3T+1M	1	1.8	0	1.8
或	19"TED [42]	1T + 1M	1	6	0	6
	22"TNANO [36]	4T+2M+SA	1	0.68	5.39	6.07
	21"JSSC [17]	20T+SA	1	3.3 ¹	2.7 ¹	6
	22"TCAS-I [9]	15T+5M	2 ³	4 ³	0	4
	我们的	3T+1M	1	1.8	0	1.8
或非	22"TNANO [36]	4T+2M+SA	1	0.68	5.39	6.07
	22"TCAS-I [9]	15T+5M	2 ³	4 ³	0	4
	我们的	3T+1M	1	1.8	0	1.8
异或	23"TEC [44]	4T+2M	2	2.01	0	2.01
	17"HPCA [18]	12T+SA + 逻辑	1	2.65	2.42	5.07
	18"TVLSI [40]	2T+2M+SA + 逻辑	1	6.31	9.34	15.65
	19"TED [42]	1T + 1M	2	10	0	10
	22"TCAS-I [9]	15T+5M	3 ³	6 ³	0	6
	我们的	3T+1M	1	1.8	0	1.8
异或非	23"TEC [44]	4T+2M	1	1.71	0	1.71
	17"HPCA [18]	12T+SA + 逻辑	1	2.65	2.42	5.07
	18"TVLSI [40]	2T+2M+SA + 逻辑	1	6.31	9.34	15.65
	22"TCAS-I [9]	15T+5M	3 ³	6 ³	0	6
	我们的	3T+1M	1	1.8	0	1.8
1 位全加器	22"TMAG [26]	11T + 6M	1	0.134	0.357	0.498
	17"TCAD [27]	23T + 3M	1	7 ⁴	0	7
	23"TEC [44]	12T + 6M + SA + 2 延迟电路	6	3.19	0	3.19
	17"HPCA [18]	18T + SA + 逻辑	1	2.65	2.42	5.07
	18"TVLSI [40]	3T + 3M + SA + 逻辑	1	6.51	9.34	15.85
	19"TED [42]	6T + 6M + SA + 3 寄存器	10	36 ²	0	36 ²
	22"TCAS-I [9]	30T + 10M	4 ³	8 ³	0	8
	22"TNANO [36]	6T+3M+SA + 逻辑	1	0.7	5.39	6.09
	19 届国际电路与系统会议 (ISCAS) [51]	14T+10R ⁵	10	100 2	0	100
	17 年《物理学杂志 D》[52]	8T+8R ⁵	27	2000	0	2000
	18 届欧洲固态器件研究会议 (ESSDERC) [53]	9R ⁵	43	345	0	345
	我们的	9T+3M+SA	5	8	0	8

¹ 由读写和逻辑操作频率计算得出；² 由瞬态仿真计算得出；

³ 其中包含一个预设周期；⁴ 其中延迟包括写入和读取操作。

⁵ 电阻式随机存取存储器。

如图 17(a) 所示，所提出的基于磁阻随机存取存储器 (MRAM) 的存内计算 (CIM) 架构，仅考虑计算操作时，实现了高达 8192 GOPS 的最大吞吐量，令人印象深刻。考虑到为计算激活整个阵列，这一吞吐量比现有的存内布尔逻辑方法高出约 160 - 250 倍，有了显著提升。在能效方面，图 17(b) 展示了所提出的基于 MRAM 的 CIM 架构的改进。由于其灵活的布尔逻辑配置，与 BSCIM 和 CRAM 方案相比，其能效提高了 1.78 - 4.92 倍。

TABLE IV

本研究与以往存内布尔逻辑研究的比较

技术	这项工作		BSCIM [9]	CRAM [41]	HCSRAM [16]	TNANO [36]			BSC [17]
	14 纳米	跨式场效应晶体管/磁性隧道结	互补金属氧化物半导体/磁性隧道结	互补金属氧化物半导体/磁性隧道结	互补金属氧化物半导体	45 纳米	90 纳米	180 纳米	28 纳米
单元类型	3T1M		3T1M	2T1M	8T		2T1M		10T
数据大小	16 千比特		32 千字节	1 兆比特	16 千字节		1 千比特		4 千字节
电源电压 (V)	0.8		1.1	-	0.61.1				0.78.9
阵列激活	是		否	否	否		否		否
逻辑能耗 (飞焦/比特)	56.9	75.6	175385	-	-	230	570	1230	15 (0.9V) 10.5 (0.7V)
能源效率 (万亿次运算每秒每瓦)	17.6	13.2	9.9	3.58	5.27	4.3	1.8	0.8	66.67(0.9V) 95.2(0.7V)
吞吐量 (十亿次运算每秒)	8192 ^a	5461 ^a	51.3	45.6	32.7	141.1	80 ^a	80 ^a	38.4
存储器 (CMO) 类型	基于写入的		基于写入的	基于写入的	基于读取	基于读取			基于读取
支持的功能类型	原位/逻辑 (与/与非/或/异或/蕴含/异或/非) 全加		原位/逻辑/全加/乘法	原位/逻辑/全加/乘法	逻辑/加法/浮点运算/减法/乘法/除法	逻辑/全加			静态随机存取存储器 (SRAM)/内存可寻址存储器 (CAM)/逻辑电路

¹ 计算方式为 $32 \times 3 \text{ 逻辑/周期} \times 1 \text{ 运算/逻辑} \times 1/T_{\text{latency}}$ 周期。其中 T_{latency} 为计算延迟；CAM 为内容可寻址存储器。² 仅考虑计算操作。

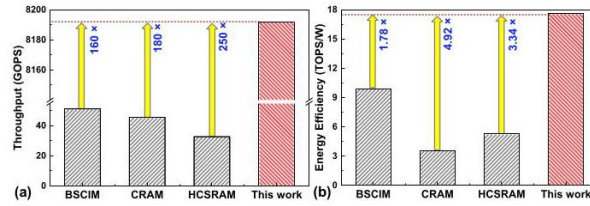


图 17. (a) 吞吐量、(b) 能效的比较。

V. 结论

在后摩尔定律时代，探索具有新物理特性的器件和新颖的计算架构至关重要。本研究提出了一种基于混合 p - SOT - MTJ/GAA - CNTFET 方法的基于 MRAM 的存内计算 (CIM) 宏单元。所提出的方法基于 3T1M 单元展现出灵活的配置编码模式，无需额外的外围电路即可实现各种全阵列布尔逻辑。此外，所提出的结构基于所提出的半加器操作，使用更少的 MTJ 和周期来实现全加器操作。混合仿真结果表明，与 14 纳米 FinFET/p - SOT - MTJ 设计相比，GAA - CNTFET/p - SOT - MTJ CIM 宏单元的写入和计算延迟分别降低了约 21% 和 20.6%，读取和计算能耗分别降低了 45.3% 和 24.7%。所提出的基于 MRAM 的 CIM 宏单元的吞吐量提高了 160 - 250 倍，达到 8192 GOPS。在 0.8V 电源电压下，能效为 17.6 TOPS/W。

参考文献

- [1] A. B. Kelleher, “庆祝晶体管诞生 75 周年——回顾摩尔定律创新的演变”，收录于《国际电子器件会议技术文摘》，2022 年 12 月，第 1.1.1 - 1.1.5 页，doi: 10.1109/IEDM45625.2022.10019538。
- [2] F. Schwierz and J. J. Liou, “CMOS 缩放和摩尔定律的现状与未来展望——个人观点”，收录于《IEEE 拉丁美洲电子器件会议论文集》(LAEDC), 2020 年 2 月，第 1 - 4 页，doi: 10.1109/LAEDC49063.2020.9073539。
- [3] F. Razi, M. H. Moaiyeri, R. Rajaei 和 S. Mohammadi, “基于混合 MTJ/GAA - CNTFET 逻辑的变感知三值自旋霍尔辅助 STT - RAM”，《IEEE 纳米技术汇刊》，第 18 卷，第 598 - 605 页，2019 年。
- [4] C. - X. Xue 等人, “用于人工智能边缘设备的基于阻变随机存取存储器的 CMOS 集成内存计算宏单元”，《自然电子学》，第 4 卷，第 1 期，第 81 - 90 页，2020 年 12 月。
- [5] N. Yang, X. Wang, X. Lin 和 W. Zhao, “利用碳纳米管场效应晶体管和磁性隧道结实现近内存计算范式”，《IEEE 电子器件汇刊》，第 68 卷，第 4 期，第 1975 - 1979 页，2021 年 4 月。
- [6] W. Zhang 等人, “神经形态计算芯片”，《自然电子学》，第 3 卷，第 7 期，第 371 - 382 页，2020 年 7 月。
- [7] P. Hamet 和 J. Tremblay, “医学中的人工智能”，《新陈代谢》，第 69 卷，第 S36 - S40 页，2017 年 4 月。
- [8] Y. Zhang 等人, “使用自旋电子学在内存中进行时域计算以实现节能卷积神经网络”，《IEEE 电路与系统汇刊 I: 正则论文》，第 68 卷，第 3 期，第 1193 - 1205 页，2021 年 3 月。
- [9] J. Wang 等人, “使用 -toggle SOT - MRAM 进行可重构位串行操作以实现高性能内存计算架构”，《IEEE 电路与系统汇刊 I: 正则论文》，第 69 卷，第 11 期，第 4535 - 4545 页，2022 年 11 月。
- [10] Z. Lin 等人, “用于全阵列布尔逻辑和复制操作的原位存储 8T SRAM - CIM 宏单元”，《IEEE 固态电路杂志》，第 58 卷，第 5 期，第 1472 - 1486 页，2023 年 5 月。
- [11] C. Lv 等人, “用于多功能传感器内计算的相变控制磁隧道结”，《IEEE 电子器件快报》，第 43 卷，第 3 期，第 482 - 485 页，2022 年 3 月。

- [12] S. Li 等人, “垂直磁隧道结中的相变辅助自旋转移矩开关”, 《应用物理快报》, 第 119 卷, 第 12 期, 2021 年 9 月, 文章编号 122401。
- [13] L. Wang 等人, “皮秒光自旋电子隧道结”, 《美国国家科学院院刊》, 第 119 卷, 第 24 期, 2022 年 6 月, 文章编号 e2204732119。
- [14] W. Yang、J.-C. Han、Y. Cao、X.-Y. Lin 和 W.-S. Zhao, “ $\text{Fe}_3\text{GeTe}_2/\text{h}-\text{BN}/$ 石墨烯异质结构中的高效自旋注入”, 《物理学报》, 第 70 卷, 第 12 期, 2021 年 6 月, 文章编号 129101
- [15] S. Jung 等人, “用于内存计算的磁阻存储器件交叉阵列”, 《自然》, 第 601 卷, 第 7892 期, 第 211 - 216 页, 2022 年 1 月。
- [16] J. Wang 等人, “用于可编程内存向量计算的具有位串行逻辑/算术运算的 28 纳米计算静态随机存取存储器”, 《IEEE 固态电路杂志》, 第 55 卷, 第 1 期, 第 76 - 86 页, 2020 年 1 月。
- [17] Z. Lin 等人, “基于具有水平和垂直解耦读取端口的 10T 静态随机存取存储器的双向内存计算”, 《IEEE 固态电路杂志》, 第 56 卷, 第 9 期, 第 2832 - 2844 页, 2021 年 9 月。
- [18] S. Aga、S. Jeloka、A. Subramaniyan、S. Narayanasamy、D. Blaauw 和 R. Das, “计算缓存”, 收录于《IEEE 高性能计算机体系结构国际研讨会论文集》(HPCA), 2017 年 2 月, 第 481 - 492 页, doi: 10.1109/HPCA.2017.21。
- [19] C.-S. Lee、E. Pop、A. D. Franklin、W. Haensch 和 H.-S. P. Wong, “亚 10 纳米碳纳米管场效应晶体管的紧凑虚拟源模型 - 第一部分: 本征元件”, 《IEEE 电子器件汇刊》, 第 62 卷, 第 9 期, 第 3061 - 3069 页, 2015 年 9 月。
- [20] C.-S. Lee、E. Pop、A. D. Franklin、W. Haensch 和 H. P. Wong, “亚 10 纳米碳纳米管场效应晶体管的紧凑虚拟源模型——第二部分: 外部元件、性能评估和设计优化”, 《IEEE 电子器件汇刊》, 第 62 卷, 第 9 期, 第 3070 - 3078 页, 2015 年 9 月。
- [21] M. T. Nasab、A. Amirany、M. H. Moaiyeri 和 K. Jafari, “基于高性能和稳健自旋电子/碳纳米管场效应晶体管的二值化神经网络硬件加速器”, 《IEEE 新兴计算主题汇刊》, 第 11 卷, 第 2 期, 第 527 - 533 页, 2023 年 4 月。
- [22] Z. Wang、W. Zhao、E. Deng、J.-O. Klein 和 C. Chappert, “自旋霍尔辅助自旋转移扭矩切换的垂直各向异性磁性隧道结”, 《物理学 D: 应用物理学杂志》, 第 48 卷, 第 6 期, 2015 年 2 月, 文章编号 065001。
- [23] M. M. Shulaker 等人, “用于单芯片计算和数据存储的纳米技术三维集成”, 《自然》, 第 547 卷, 第 7661 期, 第 74 - 78 页, 2017 年 7 月。
- [24] M. Krishna Gopi Krishna、A. Roohi、R. Zand 和 R. F. DeMara, “异构节能可重构逻辑: 基于自旋的存储和基于碳纳米管场效应晶体管的复用”, 《IET 电路、器件与系统》, 第 11 卷, 第 3 期, 第 274 - 279 页, 2017 年 5 月。
- [25] H. Thapliyal、F. Sharifi 和 S. D. Kumar, “混合磁性隧道结/互补金属氧化物半导体和磁性隧道结/纳米电子电路的节能设计”, 《IEEE 磁学汇刊》, 第 54 卷, 第 7 期, 第 1 - 8 页, 2018 年 7 月。
- [26] P. Barla、V. K. Joshi 和 S. Bhat, “基于 SHE+STT - MTJ/CMOS LIM 架构的全非易失性混合全加器”, 《IEEE 磁学汇刊》, 第 58 卷, 第 9 期, 第 1 - 11 页, 2022 年 9 月。
- [27] A. Roohi、R. Zand、D. Fan 和 R. F. DeMara, “基于电压的可级联全加器, 采用自旋霍尔效应开关”, 《IEEE 计算机辅助设计集成电路与系统汇刊》, 第 36 卷, 第 12 期, 第 2134 - 2138 页, 2017 年 12 月。
- [28] M. BahmanAbadi、A. Amirany、K. Jafari 和 M. H. Moaiyeri, “基于碳纳米管场效应晶体管和隧道磁电阻磁性隧道结的高效且高度可靠的自旋电子非易失性四元存储器”, 《电化学学会固态科学与技术杂志》, 第 11 卷, 第 6 期, 2022 年 6 月, 文章编号 061007。
- [29] A. A. Javadi、M. Morsali 和 M. H. Moaiyeri, “用于三元系统电源门控的具有自旋霍尔辅助的磁性非易失性触发器”, 《计算电子学杂志》, 第 19 卷, 第 3 期, 第 1175 - 1186 页, 2020 年 9 月。
- [30] A. Amirany、K. Jafari 和 M. H. Moaiyeri, “高性能自旋电子非易失性三元触发器和通用移位寄存器”, 《IEEE 超大规模集成电路系统汇刊》, 第 29 卷, 第 5 期, 第 916 - 924 页, 2021 年 5 月。

- [31] A. Amirany、M. H. Moaiyeri 和 K. Jafari, “基于自旋电子突触和碳纳米管场效应晶体管神经元的非易失性关联存储器设计”,《IEEE 新兴计算主题汇刊》, 第 10 卷, 第 1 期, 第 428 - 437 页, 2022 年 1 月。
- [32] A. Amirany、M. H. Moaiyeri 和 K. Jafari, “使用磁隧道结突触和基于碳纳米管场效应晶体管的神经元的内存内处理”,《IEEE 磁学快报》, 第 10 卷, 第 1 - 5 页, 2019 年。
- [33] A. Amirany、K. Jafari 和 M. H. Moaiyeri, “基于神经形态容错自旋电子结构的可靠硬件安全模块真随机数发生器”,《IEEE 纳米技术汇刊》, 第 19 卷, 第 784 - 791 页, 2020 年。
- [34] Y. Li 等人, “以 MRAM 为中心的计算综述: 从近内存到内存内”,《IEEE 新兴计算主题汇刊》, 第 11 卷, 第 2 期, 第 318 - 330 页, 2023 年 4 月/6 月, doi: 10.1109/TETC.2022.3214833。
- [35] A. Musello、E. Garzón、M. Lanuzza、L. M. Prócel 和 R. Taco, “利用 STT - MRAM 进行内存内计算的 XNOR 位计数操作”,《IEEE 电路与系统汇刊 II: 快报》, 第 70 卷, 第 3 期, 第 1259 - 1263 页, 2023 年 3 月。
- [36] K. Monga、N. Chaturvedi 和 S. Gurunaryanan, “用于数据密集型应用的基于 STT - MTJ 的原位处理随机存取存储器设计”,《IEEE 纳米技术汇刊》, 第 21 卷, 第 455 - 465 页, 2022 年。
- [37] Z. Yang 等人, “基于混合自旋电子/CMOS 存储器的新型内存内计算平台”,《IEEE 电子器件汇刊》, 第 69 卷, 第 4 期, 第 1698 - 1705 页, 2022 年 4 月。
- [38] X. Wang 等人, “三角形计数加速: 从算法到内存计算架构”,《IEEE 计算机汇刊》, 第 71 卷, 第 10 期, 第 2462 - 2472 页, 2022 年 10 月。
- [39] A. Jaiswal、R. Andrawis、A. Agrawal 和 K. Roy, “单晶体管 - 单电阻存储器阵列中的功能读取使能内存计算”,《IEEE 电路与系统汇刊 II: 快报》, 第 67 卷, 第 12 期, 第 3347 - 3351 页, 2020 年 12 月。
- [40] S. Jain、A. Ranjan、K. Roy 和 A. Raghunathan, “基于自旋转移矩磁性随机存取存储器的内存计算”,《IEEE 超大规模集成电路系统汇刊》, 第 26 卷, 第 3 期, 第 470 - 483 页, 2018 年 3 月。
- [41] M. Zabihi、Z. I. Chowdhury、Z. Zhao、U. R. Karpuzcu、J.-P. Wang 和 S. S. Sapatnekar, “自旋电子 CRAM 上的内存处理: 从硬件设计到应用映射”,《IEEE 计算机汇刊》, 第 68 卷, 第 8 期, 第 1159 - 1173 页, 2019 年 8 月。
- [42] H. Zhang、W. Kang、K. Cao、B. Wu、Y. Zhang 和 W. Zhao, “自旋转移矩磁性随机存取存储器中的自旋电子处理单元”,《IEEE 电子器件汇刊》, 第 66 卷, 第 4 期, 第 2017 - 2022 页, 2019 年 4 月 3 日。
- [43] L. Chang、X. Ma、Z. Wang、Y. Zhang、Y. Xie 和 W. Zhao, “PXNOR - BNN: 基于自旋轨道矩 MRAM 预设 - 异或非运算的二进制神经网络”,《IEEE 超大规模集成电路系统汇刊》, 第 27 卷, 第 11 期, 第 2668 - 2679 页, 2019 年 11 月。
- [44] B. Wu 等人, “一种使用无场自旋轨道矩 (SOT) 磁随机存储器的节能内存计算 (CiM) 方案”,《IEEE 新兴计算主题汇刊》, 第 11 卷, 第 2 期, 第 331 - 342 页, 2023 年 4 月/6 月, doi: 10.1109/TETC.2022.3237541。
- [45] J. Feng、B. Wang、Z. Hou、C. Wang、Z. Wang 和 W. Zhao, “利用自旋转移矩 (STT) 和自旋轨道矩 (SOT) 之间的内在相互作用实现内存计算范式”,《IEEE 电子器件汇刊》, 第 69 卷, 第 12 期, 第 6769 - 6775 页, 2022 年 12 月。
- [46] S. Li、C. Xu、Q. Zou、J. Zhao、Y. Lu 和 Y. Xie, “PinaTubo: 一种用于新兴非易失性存储器中批量按位操作的内存处理架构”, 收录于《第 53 届 ACM/EDAC/IEEE 设计自动化会议 (DAC) 论文集》, 2016 年 6 月, 第 1 - 6 页。
- [47] J. Wang 等人, “一种用于高速可靠触发式自旋扭矩磁随机存储器的自匹配互补参考传感方案”,《IEEE 电路与系统汇刊 I: 正则论文》, 第 67 卷, 第 12 期, 第 4247 - 4258 页, 2020 年 12 月。
- [48] A. Duluard 等人, “外延 Fe/MgO/Fe 隧道结中单个原子粗糙度增强磁电阻”,《物理评论 B: 凝聚态物质》, 第 91 卷, 第 17 期, 2015 年 5 月, 文章编号 174403。
- [49] M. H. Moaiyeri 和 F. Razi, “存在碳纳米管 - 金属接触电阻时基于 10 纳米全环绕栅碳纳米管场效应晶体管 (GAA CNTFET) 电路的性能分析与增强”,《计算电子学杂志》, 第 16 卷, 第 2 期, 第 240 - 252 页, 2017 年 6 月。
- [50] M. K. Q. Jooq、A. Bozorgmehr 和 S. Mirzakuchaki, “基于 10 nm 环绕栅碳纳米管场效应晶体管

(CNTFET) 技术中新型 14T 混合全加器的低功耗高效 4:2 精确压缩器”，《微电子学杂志》，第 104 卷，2020 年 10 月，文章编号 104892。

[51] Z. Yang 和 L. Wei, “使用双极电阻式随机存取存储器 (RRAM) 的内存计算应用逻辑电路和存储器设计”，收录于《电气与电子工程师协会 (IEEE) 国际电路与系统研讨会 (ISCAS) 论文集》，2019 年 5 月，第 1 - 5 页，doi: 10.1109/ISCAS.2019.8702555。

[52] L. Cheng 等人, “用于内存计算的忆阻器交叉开关中的可重编程逻辑”，《物理学 D: 应用物理学杂志》，第 50 卷，第 50 期，2017 年 12 月，文章编号 505102。

[53] F. M. Puglisi, L. Pacchioni, N. Zagni 和 P. Pavan, “基于物理的电阻式随机存取存储器 (RRAM) 紧凑模型实现的高能效内存逻辑 1 位全加器”，收录于《第 48 届欧洲固态器件研究会议论文集》，2018 年 9 月，第 50 - 53 页，doi: 10.1109/ESSDERC.2018.8486886。



佟忠振于 2019 年从天津职业技术师范大学获得电子科学与技术专业学士学位，并于 2022 年从安徽大学获得电路与系统专业硕士学位。他目前正在北京航空航天大学集成电路科学与工程学院攻读博士学位。

他的研究兴趣包括混合碳纳米管场效应晶体管 (CNTFET)/自旋电子集成电路设计以及基于静态随机存取存储器 (SRAM) 的内存计算。



徐一霖目前正在中国北京的北京航空航天大学攻读微电子科学与工程专业的学士学位。他主修模拟电路设计。他目前的研究兴趣包括面向生物医学的模拟电路前端设计和混合碳纳米管场效应晶体管/自旋电子集成电路设计。



刘云龙于 2020 年在中国济南的齐鲁理工学院获得电子信息工程专业的学士学位。他目前正在安徽大学攻读微电子与固体电子学专业的硕士学位。他的研究兴趣包括基于静态随机存取存储器的存内计算电路。



段新蕊目前正在中国北京的北京航空航天大学攻读微电子科学与工程专业的学士学位。她主修模拟电路设计。她的研究兴趣包括混合碳纳米管场效应晶体管/自旋电子集成电路设计。



唐浩目前正在中国北京的北京航空航天大学攻读微电子科学与工程专业的学士学位。他主修模拟电路设计。他目前的研究兴趣包括新兴的非易失性存储技术和混合低功耗电路设计。



赵苏腾在中国北京的北京航空航天大学获得微电子科学与工程专业的学士学位，目前正在该校攻读集成电路科学与工程专业的硕士学位。他主修自旋器件的仿真与建模。他目前的研究兴趣包括磁记录器件和新兴的非易失性存储技术。



李成航于 2023 年在北京科技大学获得材料成型及控制工程专业的学士学位。他目前正在中国北京的北京航空航天大学集成电路科学与工程学院攻读硕士学位。

他的研究兴趣包括混合碳纳米管场效应晶体管 (CNTFET)/自旋电子集成电路设计。



林志挺 (IEEE 高级会员) 分别于 2004 年和 2009 年在中国安徽合肥的中国科学技术大学 (USTC) 获得电子与信息工程专业的学士学位和博士学位。2015 年至 2016 年，他是美国德克萨斯州韦科市贝勒大学工程与计算机科学系的访问学者。2011 年，他加入了合肥安徽大学集成电路学院，目前是学院的教授。他已发表约 50 篇文章，并拥有 20 多项中国专利。他的研究兴趣包括流水线模数转换器和高性能静态随机存取存储器。



吴秀龙 (IEEE 高级会员) 于 2001 年在中国合肥的中国科学技术大学 (USTC) 获得计算机科学学士学位，分别于 2005 年和 2008 年在合肥安徽大学获得电子工程专业的硕士学位和博士学位。2013 年至 2014 年，他是美国德克萨斯州理查森市德克萨斯大学达拉斯分校工程系的访问学者。他目前是安徽大学的教授。他已发表约 60 篇文章，并拥有 10 多项中国专利。他的研究兴趣包括高性能静态随机存取存储器和混合信号集成电路。



王兆浩 (IEEE 高级会员) 于 2009 年在天津大学获得微电子学学士学位，2012 年在中国北京航空航天大学获得硕士学位，2015 年在法国巴黎 - 萨克雷大学获得物理学博士学位。他目前的研究兴趣包括非易失性纳米器件的建模以及新型非易失性存储器和逻辑电路的设计。



林晓阳 (IEEE 高级会员) 于 2015 年在中国清华大学获得物理学博士学位。他一直致力于新兴自旋电子材料和器件的研究。他目前是北京航空航天大学副教授。他是北京航空航天大学集成电路科学与工程学院集成电路材料与器件系主任。他在《自然电子学》《美国国家科学院院刊》《应用物理评论》和《IEEE 电子器件快报》等 SCI 期刊上发表了 50 多篇文章。他是《科学报告》的编委会成员。他是《先进器件与仪器》的副主编。