

STT-MRAM 电压模式传感的时序优化模型与 PVT 跟踪方案

周勇亮[□], IEEE 会员, 林晓, 周子轩[□], 孙颖雪, 魏毅明, 杨振, 戴成兴, 钟静雪, 吴修龙[□], IEEE 会员, 以及彭春雨[□], IEEE 会员

摘要-随着工艺偏差对低电压 STT-MRAM 读取操作的影响日益严重, 确定传感放大器的最佳传感时序成为一个挑战。本研究调查了细化传感电路时序方案的技术, 以提高 STT-MRAM 的传感可靠性。分析了供电电压 V_{DD} , 隧道磁阻比率 TMR , 位单元的低阻态 R_P , 以及位线的寄生电容 C_{BL} , 以及参与传感产生的电压传感放大器 (VSA)。通过理论分析, 我们开发了一个时序模型来确定最佳的 VSA 使能信号 (SAE)。此外, 提出了一种创新的工艺-电压-温度 (PVT) 跟踪方案, 能够跟踪最佳的 VSA 使能信号 (SAE) 并抑制时序变化。在 28 nm CMOS 和磁隧道结 (MTJ) 工艺的蒙特卡洛仿真证实, 该联合方案显著提高了传感操作的鲁棒性。与 0.6 V 供电电压下的传统传感方案相比, 所提出的方案将产量提高了 20% 至 35%, 降低了 43% 至 63% 的功耗, 并将读取访问延迟降低了 47% 至 59%。

索引术语-STT-MRAM, 传感产出优化, 分析模型, 电压模式传感放大器。

I. 引言

随着 CMOS 技术下设备尺寸和供电电压的缩小, 静态功耗显著增加, 成为静态随机存取存储器 (SRAM) 发展的瓶颈。自旋转移力磁随机存取存储器 (STT-MRAM) 因其独特的特性, 如零待机功耗和更高的可扩展性 [1]、[2]、[3]、[4]、[5], 而成为一种有前景的替代品。然而, 在低电压下读操作的不可靠性是 STT-MRAM 的一个不容忽视的问题, 因为当电源电压降低时, 工艺变化会加剧。这在设计 STT-MRAM 感测方案时带来了挑战, 特别是在高数据可靠性和高能效应用场景 [6]、[7] 中。

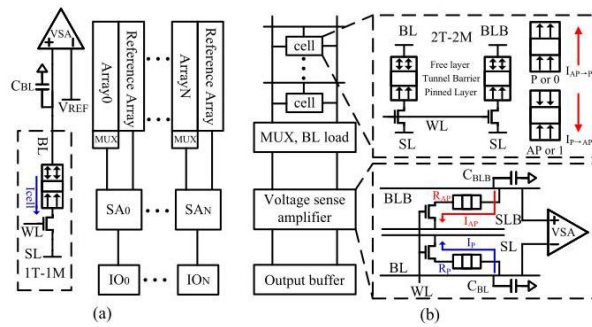


图 1. STT-MRAM 的 (a)1T+1MTJ 位元单元 (b)2T+2MTJ 位元单元。

广泛使用的 STT-MRAM 架构显示在图 1 中, 1T+1MTJ 位元单元的结构如图 1(a) 所示, 2T+2MTJ 位元单元的结构如图 1(b) 所示。1T+1MTJ 位元单元采用传统的数据单元参考比较读取方案, 具有非差分 (单端) 读取路径。读取数据时, 需要额外的参考源。1T+1MTJ 的优点在于其单元面积较小, 可以实现更高的阵列密度。在 2T+2MTJ 存储器中, 两个 MTJ 表现出相反的电阻状态, 其读出路径为差分 (双端) 结构。双端结构的采样采用局部参考, 使得采样余量比 1T+1MTJ 结构翻倍。然而, 这以增加面积为代价。为了更清楚地讨论最佳采样时间, 我们采用 2T+2MTJ 位元单元进行更直观的信号分析。

2T+2MTJ 结构由两个访问晶体管 and 两个磁隧道结 (MTJ) 组成。MTJ 的隧道层被两个铁磁层夹在中间, 一层称为固定层 (PL), 具有固定的磁化方向, 另一层是自由层 (FL), 两个相对的磁化方向代表 MTJ 的状态。在写入操作期间, 如果从源线 (SL) 到位线 (BL) 的电流超过阈值开关电流 (I_{th}), 并且从源线 (SL) 流向位线 (BL), 则存储在 MTJ 中的数据被写入为 '0'。相反, 方向相反的电流可以写入为 '1'。

手稿于 2024 年 3 月 31 日收到; 于 2024 年 6 月 20 日修订; 于 2024 年 7 月 6 日接受。发表日期为 2024 年 7 月 22 日; 当前版本日期为 2024 年 8 月 29 日。这项工作得到了安徽省自然科学基金的部分资助, 资助编号为 2308085QF214, 部分得到了安徽省高等教育自然科学基金资助, 资助编号为 2023AH040011, 部分得到了中国国家自然科学基金资助, 资助编号为 62274001。本文得到了副编辑 L. Fick 的推荐。(通讯作者: 彭春雨。)

周勇亮, 任职于中国合肥安徽大学集成电路学院, 邮编 230601, 同时任职于中国合肥安徽省高性能集成电路工程研究中心, 邮编 230601, 也任职于中国池州安芯电子科技有限公司, 邮编 247000。

林晓, 周子轩, 孙颖雪, 魏毅明, 杨振, 戴成星, 钟静雪, 吴秀龙, 彭春雨, 均任职于中国合肥安徽大学集成电路学院, 邮编 230601, 同时任职于中国合肥安徽省高性能集成电路工程研究中心, 邮编 230601(电子邮件: cyupeng@ahu.edu.cn)。

本文中的一个或多个图彩版可在以下网址查看: <https://doi.org/10.1109/TCSI.2024.3425935>。

数字对象标识符 10.1109/TCSI.2024.3425935

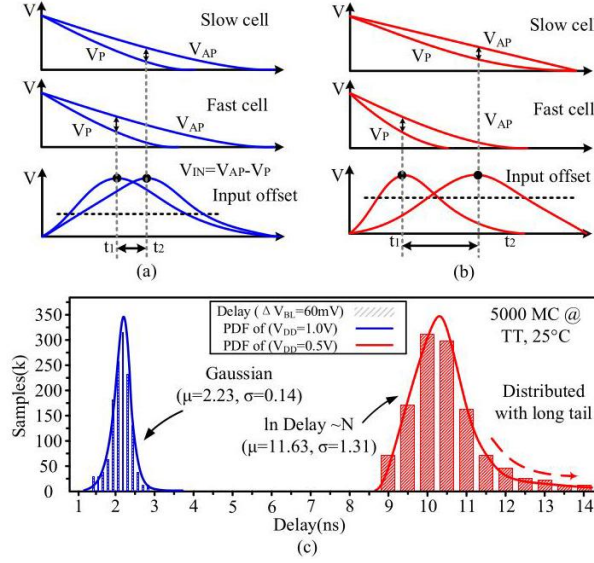


图 2. 在读操作期间位线摆动情况:(a) 标准供电电压下和 (b) 低供电电压下。(c) 在不同供电电压下, 当 ΔV_{BL} 发展到 60mV 时, 位线延迟的分布情况。

VSA 利用强烈的正反馈和高输入阻抗的优势实现。电压感测过程可以分为三个阶段。第一阶段是预充电阶段, 位线负载通过预充电额外的钳位晶体管产生直流电压。在放电阶段, 电流 (I_{cell}) 流入选定的单元, 放电与位线 (BL) 相关联的电容量, 并导致位线上的电压摆动。在 RH 状态下的电压摆动小于 RL 状态下的电压摆动。互补位线 (BLB) 也将经历同样的放电过程。最后, 在感测阶段, 电压感测放大器 (VSA) 检测 BL 和 BLB 之间的电压差 (V_{IN})。

图 2 展示了 STT-MRAM 读操作期间位线摆动的示意图和感测放大器的输入电压。存储单元与位线之间驱动能力的 mismatch 导致单元放电速度的差异, 进而定义了单元的分类为快速或慢速。如图 2 (a) 所示, 在标准供电电压下, 感测放大器输入电压的最大值出现在相对集中的时间, 感测放大器的常见激活时间可以延迟, 以考虑最慢的单元。

然而, 如图 2(b) 所示, 在低电压下, 随机变化带来的负面影响导致晶体管和 MTJ 的不匹配加剧, 不同单元的最大 V_{IN} 出现时间分布更宽。更具体地说, 图 2(c) 展示了当 ΔV_{BL} 发展到 60mV 时, 不同供电电压下位线延时的分布。在 1.0 V 时, 位线的延时遵循高斯分布。相比之下, 在 0.5 V 供电电压下, 由于一些模拟样本的延时超过 14 ns, 分布形成了长尾。因此, 在采用传统感测方案的情况下, VSA 的感测余量在低电压下会降低, 导致感测失败率上升。

以往的研究主要集中在优化感测电路和感测放大器的变化容忍度, 以提高 STT-MRAM 读操作的可靠性。文献 [8] 和 [9] 中引入的新型感测方案, 为感测放大器在感测操作之前提供了宽电压幅度。参考文献 [7] 和 [10] 旨在提出不同的感测放大器设计, 以抵消偏置电压。我们之前的工作提出了基于 MTJ 的循环复制位线技术 [11], 该技术改善了由 MRAM 中的时序引起的性能下降, 以及一种自定时电压模式感测方案 [12], 该方案在低电压下实现了感测输出的显著增加。

作为一种替代策略, 建模操作机制可以有效地指导在不增加面积和功耗成本的情况下设计最优嵌入式存储器。之前的工作提出了一个分析层次产率模型 [13], 该模型优化了动态随机存取存储器 (DRAM) 电路的设计权衡。此外, Patel 等人 [14] 开发了统计模型, 用以表示 DRAM 设备的错误特性, 帮助设计者应对缩小规模的挑战。在另一项研究中, Singh 等人 [15] 进行了理论建模, 以定量预测静态随机存取存储器 (SRAM) 阵列的行为, 识别出更加节能且产量更高的设计方案。然而, 目前尚未尝试在读取期间建模自旋转移矩磁随机存取存储器 (STT-MRAM) 的时间特性, 以指导设计具有高稳定性的低电压 STT-MRAM。

本文提出了一种优化 STT-MRAM 设计中电压感测的感测时序的方法, 以提高感测产率并最小化工艺变化带来的负面影响。所提出的分析模型为确定电压感测放大器 (VSA) 使能信号 (SAE) 的激活时序提供了指导。此外, 还提出了一种顺序控制技术, 用以抑制 SAE 的时间变化, 增强读操作的鲁棒性。本研究的主要贡献如下:

- 这是首次探索 STT-MRAM 电压感测方案设计中时序优化方法, 旨在提高读操作的感测产率。
- 基于分析模型, 提出了一种 PVT 跟踪副本位线方案, 用以抑制 SAE 时序的变化, 增强时序电路的鲁棒性。
- 模拟结果证明, 所提出的分析模型和时序方案在 STT-MRAM 的电压感测性能和感测产率方面实现了显著改进。

本文的其余部分组织如下。第二节讨论电压感测操作的过程。第三节分析了影响电压感测电路可靠性的主要因素。第四节描述了所提出的模型以及 SAE 最佳激活时刻的表达式。第五节介绍了用于顺序控制电路的 PVT 跟踪方案。第六节讨论了仿真结果和比较，最后，第七节提出了结论。

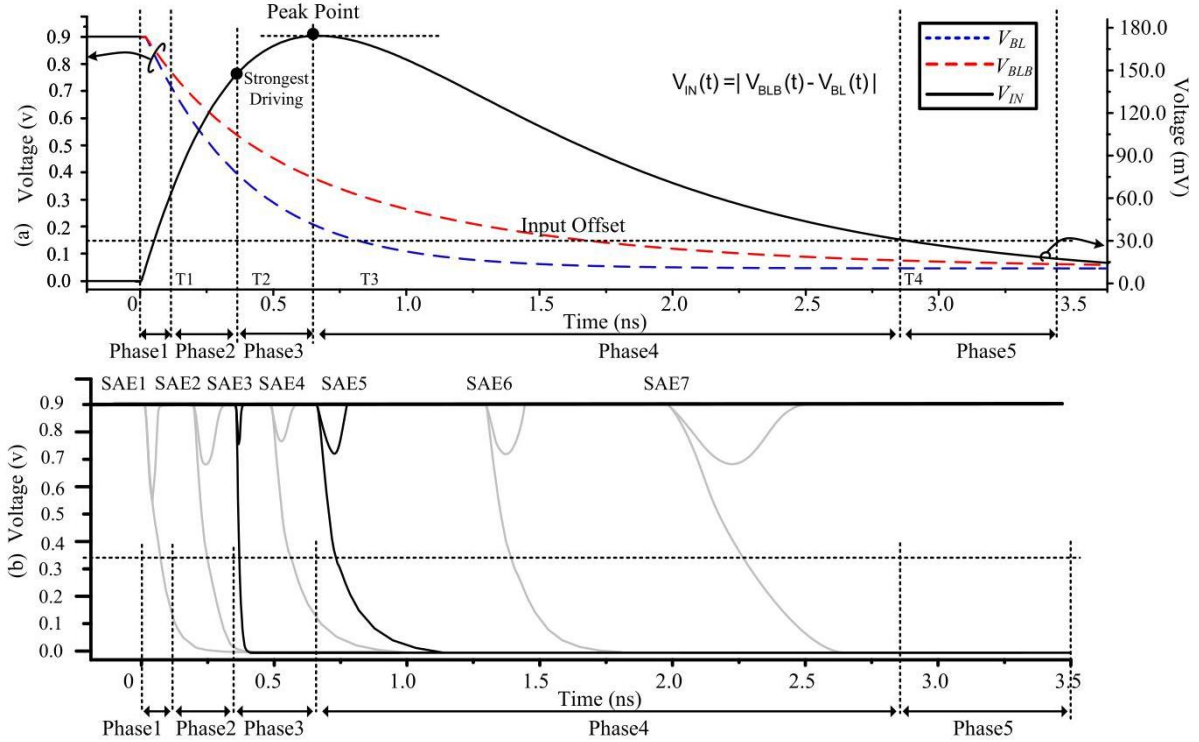


图 3. (a) 访问期间输入电压差的模拟瞬态行为。(b) 在不同启用时刻的锁存型感测放大器的模拟瞬态行为。

II. 感测操作的时序行为

信号路径的瞬态过程定义了 STT-MRAM 中电压感测操作的时序行为。读操作关键路径上的过程变化和寄生参数可能导致电压敏感放大器的读操作定时不稳定。在讨论顺序电路的时序行为之前，本节基于耦合锁存型电压感测放大器 (CL-VSA) 详细分析了感测过程。

Wicht 等人 [16] 提出了一种基于恒定差分输入的 CL-VSA 的定量产量分析，这表明感测产量随着输入电压差的增加而提高。对于 SRAM 的读过程，输入电压差逐渐增加到峰值并保持不变。因此，较晚启用感测操作会导致产量更高。然而，对于 STT-MRAM [17]、[18] 的情况则完全不同。

图 3 (a) 描述了位线的瞬态行为。假设预充电的 BL 和 BLB 分别存储 '0' 和 '1'，它们连接到单元的内部节点。在读取访问时，位线电压 V_{BL} 和 V_{BLB} 通过相应的访问晶体管放电。连接到位线的 MTJ 的不同电阻导致位线放电速度不同。在上升期间，偏移电压与输入电压之间的交点时间表示为 T1，而 T2 表示输入电压差达到最强驱动点的时间。峰值输入电压的时间表示为 T3，T4 表示输入电压下降期间偏移电压与输入电压的交点时间。

图 3 (b) 描述了在不同启用时刻下 CL-VSA 的翻转行为。在作为 MRAM 的电压模式感测放大器的应用中，输入直流电压几乎可以是地与 V_{DD} 之间的任何值。位线放电过程可以分为五个阶段。在第一阶段，输入电压低于感测放大器的偏移电压。如果放大器在此阶段启用，感测结果主要依赖于偏移电压。如果偏移电压和输入电压向同一方向摆动，感测结果是正确的；如果它们向不同方向摆动，输出结果是错误的。

在第二阶段， V_{IN} 高于输入偏移，SA 的输出由输入电压决定。随着感测时间接近最强驱动时间 T2，SA 输出的翻转变得更加稳健。如图 3(b) 所示，SAE2 的瞬态行为比 SAE3 的慢。

第三阶段是驱动时间 T2 最强过渡到最大 V_{IN} 时间 T3 的阶段。模拟结果显示，由 SAE3 实现的翻转行为比 SAE5 强。换句话说，输入的最强驱动点与最大 V_{IN} 点不同。在第四阶段，输入的驱动能力减弱，输出的翻转时间逐渐延长。最终，它进入第五阶段，此时输入电压低于偏置电压。

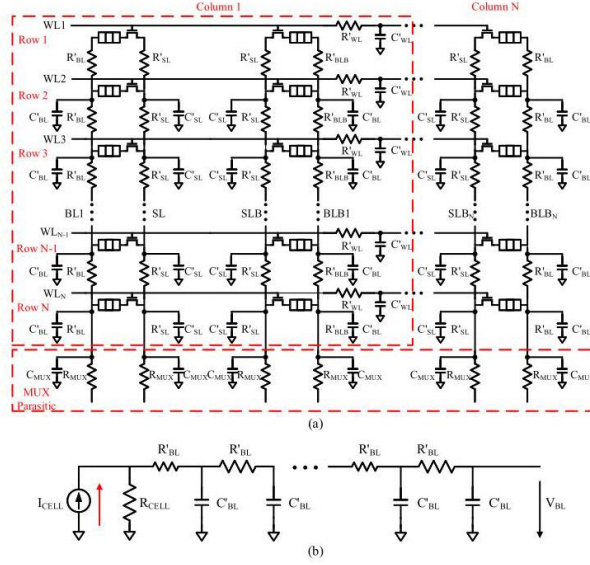


图 4。(a) 包括存储单元、分布式位线模型和 MUX 的阵列等效电路。(b) 一系列位线的等效电路。

因此，无法直观地判断最优感测发生在输入电压峰值。为了严格分析 MRAM 读过程中传感放大器的最佳启用时间，需要结合理论推导和实验观察。

III. 感测过程定时和产量的分析

对于电压模式感测方案，感测过程的不稳定性主要源于读操作关键路径上工艺和寄生参数的变化。本节重点介绍了对读路径上感测产量和定时有重大影响的参数，如寄生效应、供电电压和 MTJ 设备参数。这些参数变化的统计影响是通过在 28 nm CMOS & MTJ 技术下的蒙特卡洛模拟获得的。注意，这种效果应用于一定数量的样本时，被称为参数产量 Y：

$$Y = \frac{\text{number of correct bits}}{\text{number of readout bits}} \times 100\% \quad (1)$$

这代表了感测过程中正确决策的百分比。

A. STT-MRAM 阵列的等效电路和寄生效应

制造过程中的非理想性和寄生效应在关键路径上的存在可能导致读电路接收到的总电容和电阻产生变化。在感知过程中，影响 VSAs 的总电容和电阻是感知访问路径的电容和电阻以及设备的电容和电阻的串联总和，如图 4(a) 所示，包括访问晶体管、多路选择器以及位线 (BL) 和源线 (SL) 上的任何寄生效应 [19]、[20]、[21]。由于 2T+2MTJ 位元的结构完全对称，因此分析一侧位线的放电过程就足够了。

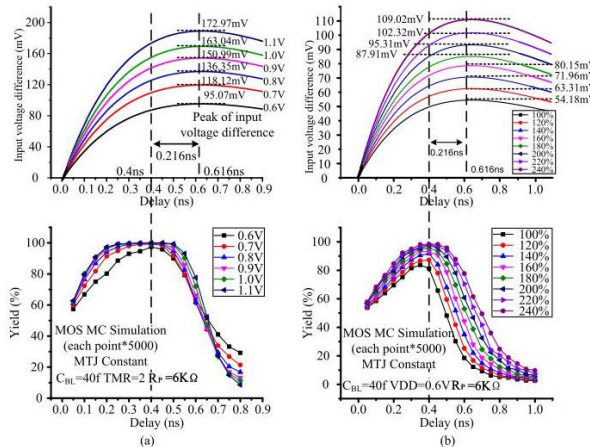


图 5. 模拟的感测放大器的产量与供电电压和 TMR 在 0.05 ns 步进延迟之间的变化。产量定义为在 15 ns 的感测周期内，下降输出是否达到 $V_{DD}/2$ 。(a) 供电电压。(b) TMR 。

图 4(b) 展示了单列位线的等效电路，其特点是由电阻和寄生电容组成。随着位线电压的降低， I_{cell} 动态变化，使得传递给 SA 的输入电压依赖于寄生路径。此外，制造梯度导致每个细胞的最佳读取条件不同。感测路径上的电容和电阻是由位线、晶体管和 MTJ 设备的寄生效应相加确定的。在本文的其余部分，我们将有效电容和电阻表示为关键路径上寄生效应的总和。感测延迟可以从时间常数 τ 计算得出，其中 $\tau = RC$, R 和 C 分别代表关键路径上的总电阻和总寄生电容。

B. 供电电压和 TMR 的影响

图 5(a) 展示了传感产量作为传感延迟的函数，供电电压在 0.6 V 和 1.1 V 之间。传感产量的分布显示在图 5(a) 底部的图表中，而输入电压差 V_{IN} 绘制在顶部图表中。供电电压对 V_{IN} 产生了明显的影响，如顶部图表所示，表明 V_{IN} 随着 V_{DD} 的增大而增加。随着 V_{DD} 的增加，整体的传感产量分布得到改善，特别是在高压区域，其分布平滑且稳定。另一方面，在低压区域，传感产量分布较陡峭。

此外，如图 5(a) 所示的实验结果表明，峰值 V_{IN} (T_P) 的时间几乎不变，不受 V_{DD} 变化的影响。然而， V_{DD} 对 V_{IN} 的峰值时间确实有轻微的影响。进一步地，对于供电电压在 0.6 V 到 1.1 V 之间的范围，最大传感产量的时间 (T_Y) 几乎保持不变，且最大产量时间与 V_{IN} 峰值时间之间的延迟保持不变。

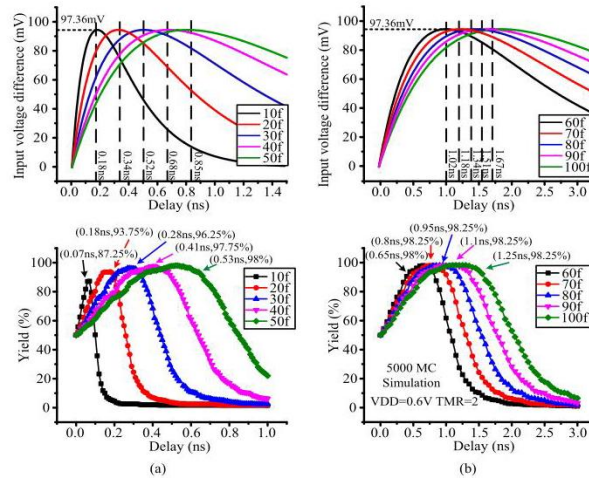


图 6. 根据蒙特卡洛模拟，不同 τ 值的传感产量与传感延迟的关系:(a) $0.6 \times 10^{-10} \text{ S} \sim 3.0 \times 10^{-10} \text{ S}$ 。(b) $3.6 \times 10^{-10} \text{ S} \sim 6.0 \times 10^{-10} \text{ S}$ 。

图 5(b) 描述了感测产量与感测延迟的关系，针对 TMR 比例在 100% 到 240% 范围内的变化。感测产量的分布与 V_{IN} 相关，可以观察到感测产量分布和 V_{IN} 曲线都随着 TMR 比例的增大而提高。从图 5(b) 中可以看出 TMR 对感测产量的峰值影响较小，并且在一定的 TMR 范围内，最高产量点几乎保持不变。

C. 阻力与寄生电容的影响

图 6 展示了时间常数 (τ) 在 $0.6 \times 10^{-10} \text{ S}$ 到 $6.0 \times 10^{-10} \text{ S}$ 范围内变化的感测产量与感测延迟的关系。已经验证，在访问晶体管导通期间，MOSFETs 的导通电阻和路径上的寄生电阻远低于 MTJ 的低温阻态 (R_P)。在接下来的文本中， R_P 代表路径上的总电阻。图 6 绘制了与输入电压差 V_{IN} 相关的感测产量分布。 V_{IN} 的传输特性显示了时间常数 τ 的影响，这在图 6 顶部的图表中展示了对 V_{IN} 相较于 V_{DD} 和 TMR 的独特效果。

峰值时间 V_{IN} 随 τ 的增加而延迟，而峰值保持几乎不变。最大感测产量的时间推迟，最大产量时间与峰值时间 V_{IN} 之间的延迟与 τ 线性相关。此外， V_{IN} 的峰值时间主要受 τ 的影响，较大的 τ 会导致感测产量分布更平滑且更稳定，而较小的 (τ) 则会导致感测产量分布陡峭。

IV. 最优时间描述与建模

在第 III 节中，详细讨论了影响感测产量分布和电压差异 (VSA) 的因素。已经发现，传感路径上的寄生电容是显著影响感测产量分布的关键因素。为了准确确定 VSA 的最佳激活时间，本节基于统计分析理论与

计算开发了一个精确模型。图 7 展示了简化的推导过程。首先，通过分析位线在放电期间的电压摆动，我们建立了 VSA 输入电压随时间 t 的理论表达式。然后，通过获得的 V_{IN} 表达式，找到了 V_{IN} 达到最大值的峰值时间 T_P 。通过拟合蒙特卡洛模拟和理论分析，我们接着呈现了 T_P 与 T_Y 之间以及与 τ 相关的线性关系。最后，我们利用这种线性依赖性推导出 T_Y 的方程，该方程表示使 VSA 生效的最优时间。

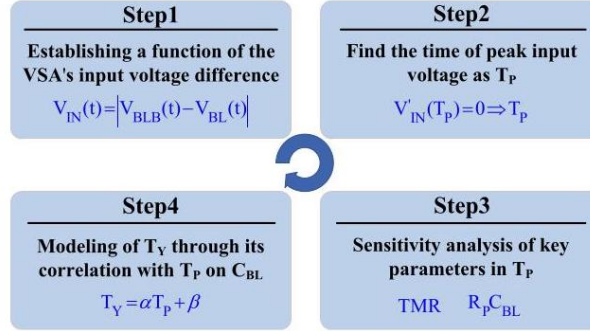


图 7. 分析和建模最优 SAE 时间的过程。

A. 输入电压的峰值时间

首先，讨论输入电压差的峰值。输入电压差 V_{IN} ，定义为位线之间的差值。其行为可以通过分析位线瞬态行为的函数，并用方程 (2) 表示 V_{IN} 作为时间的函数 t ：

$$V_{IN}(t) = V_{BLB}(t) - V_{BL}(t) \quad (2)$$

假设连接到 BL 的位元单元处于 P 状态，而连接到 BLB 的位元单元处于 AP 状态。如第 III 节所述，最简单的方法是在放电过程中计算平均电容电流，以获得 BL 的传输过程。在字线激活后，时间 t 时 BL 和 BLB 的电压可以计算为

$$V_{BL}(t) = V_{pre} - V_{pre} \times [1 - \exp(-t/R_P C_{BL})] \quad (3)$$

$$V_{BLB}(t) = V_{pre} - V_{pre} \times [1 - \exp(-t/R_{AP} C_{BLB})] \quad (4)$$

其中 V_{pre} 表示位线的预充电电压； R_P 和 R_{AP} 指位元单元的总电阻， C_{BL} 和 C_{BLB} 代表线路寄生电容， t 表示时间变量。

在此分析中，我们假设同一列中的两条位线 (C_{BL} 和 C_{BLB}) 的电容相同，即

$$C_{BL} = C_{BLB} \quad (5)$$

为了确定电压差峰值 (T_P) 的时间，我们首先需要计算方程 (2) 的导数，即

$$V_{IN}'(t) = (V_{pre}/C_{BL}) \times [\exp(-t/R_P C_{BL})/R_P - \exp(-t/R_{AP} C_{BL})/R_{AP}] \quad (6)$$

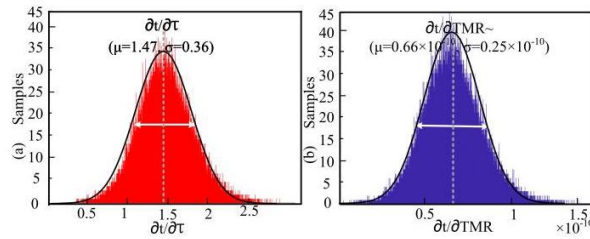


图 8. T_P 对不同控制变量的偏导数的直方图 (10k 样本)。 (a) T_P 对 τ 的敏感性。 (b) T_P 对 TMR 的敏感性。

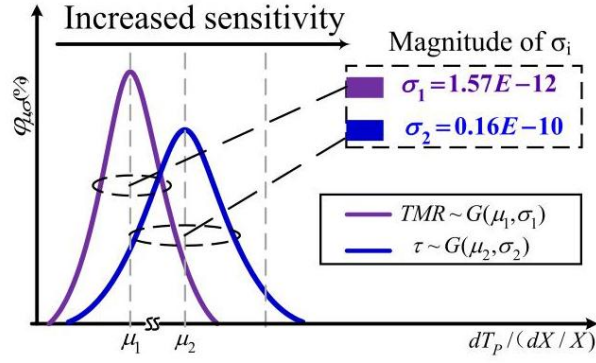


图 9. T_P 对关键参数敏感性的比较。

如图 3 所示, V_{IN} 是一个单峰函数, 这意味着它是一个单峰单变量函数。我们定义峰值输入电压的时间为 T_P , $V_{IN}(t)$ 随着 $t \leq T_P$ 的增加而增加, 随着 $t > T_P$ 的减少而减少。利用单峰函数的特性, 我们将导数函数 (2) 在 T_P 处设为 0, 从而得到

$$V_{IN}'(T_P) = 0 \quad (7)$$

求解 T_P 得到所期望的表达式:

$$\Rightarrow \exp(-T_P/R_P C_{BL})/R_P = \exp(-T_P/R_{AP} C_{BL})/R_{AP}$$

(8)

对两边关于 e 求导得到

$$\Rightarrow T_P [(1/R_P C_{BL}) - (1/R_{AP} C_{BL})] = \ln(R_{AP}/R_P)$$

(9)

因此, T_P 可以计算为

$$\Rightarrow T_P = \frac{R_{AP} R_P C_{BL} \times [\ln(R_{AP}) - \ln(R_P)]}{R_{AP} - R_P} \quad (10)$$

对于 MTJ, 有效的隧道磁阻比 (TMR) 定义为

$$TMR = \frac{R_{AP} - R_P}{R_P} \times 100\% \quad (11)$$

R_{AP} 可以表示为

$$\Rightarrow R_{AP} = (1 + TMR) R_P \quad (12)$$

将方程 (12) 代入方程 (10), 我们得到最终的方程:

$$\Rightarrow T_P = \frac{R_P C_{BL} (1 + TMR) \times \ln(1 + TMR)}{TMR} \quad (13)$$

B. 敏感性分析

在先前的分析中, 电路系统的数学模型通常由多个参数表征 [22], [23], [24]。这些参数代表了优化任务中搜索空间的维度, 特别是在大小和形状优化的情况下。对于复杂模型, 可能很难估计哪些参数对结果有较大影响, 哪些没有 [25], [26], [27]。这就是为什么敏感性分析被用来量化参数对模型解的影响 [28], [29], [30]。

为了估计输入电压峰值点与控制变量之间的定量关系, 我们在给定的运行状态下, 对一些控制变量变化时峰值时间的变异进行敏感性分析。偏导数 (PaD) 是估计敏感性的常用方法 [31], [32]。在这个方法中, T_P 的敏感性可以表示为关于控制变量的一阶偏导数。因此, 可以通过这种方法计算每个控制变量小变化时 T_P 变化的轮廓。

方程 (13) 解释了各种参数的影响。如预期, 峰值时间 (T_P) 与位线寄生电容 (C_{BL}) 与 MTJ 低电阻 (R_P) 的乘积, 即隧道磁阻比 (TMR) 成正比。我们将寄生电容和电阻的乘积称为时间常数 τ 。为了获得峰值点

与关键参数之间的灵敏度，必须推导出峰值点公式中因素 TMR 和 τ 的导数。一阶导数可以通过对方程 (13) 对 τ 求导得到，这给出

$$\frac{\partial T_P}{\partial \tau} = \frac{\ln(TMR + 1) \times (1 + TMR)}{TMR} \quad (14)$$

方程 (13) 对 TMR 的导数可以表示为

$$\frac{\partial T_P}{\partial TMR} = \frac{C_{BL} R_P \times [TMR - \ln(1 + TMR)]}{TMR^2} \quad (15)$$

为了计算关键参数对 T_P 的影响，研究了最近论文中报告的数据，以确定参数范围。文献中报告的 MTJ 低电阻状态的电阻值 (R_P) 在 $2 \sim 6k\Omega$ [3], [5], [33] 的范围内波动，变化分布的标准差 (σ) 为 R_P 电阻值的 4%~8% [34], [35]，而 TMR 的变化范围从 80%~200% [4], [36]。这些值分别代入导数方程 (方程 (14)-方程 (15)) 中。

根据 (14) 式和 (15) 式的推导， T_P 对 τ 和 TMR 的敏感性由 $\partial T_P / \partial \tau$ 和 $\partial T_P / \partial TMR$ 给出。对于 R_P 参数，我们假设其服从均值为 $6k\Omega$ ，标准差为 $0.48k\Omega$ 的正态分布。参数 C_{BL} 被设置为均值为 $40fF$ ，标准差为 $10fF$ 的正态分布。如图 8 (a) 所示， T_P 对 τ 的敏感性计算结果分布在 $0.5 \sim 2.5$ 之间。 TMR 参数被设置为均值为 150%，标准差为 20% 的正态分布。图 8 (b) 显示了 T_P 对 TMR 的敏感性，表示为 $\partial T_P / \partial TMR$ 。获得的结果表明了每个变量的偏导数的确定和 T_P 敏感性的估计。图 9 显示偏导数呈高斯分布 $G(\mu_i, \sigma_i)$ ，并且 T_P 对 TMR 和 τ 的敏感性逐渐增加。结果已经归一化，以便在比较敏感性时进行公平比较。显然， $\partial T_P / \partial \tau$ 的 σ 敏感性远高于 $\partial T_P / \partial TMR$ 的 σ 敏感性。这意味着与 BL 的电阻和寄生电容相比， T_P ， TMR 的影响可以忽略不计。理论推导与第 III 节讨论的模拟结果一致。

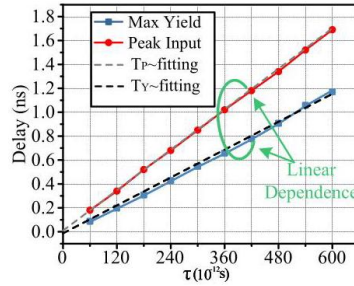


图 10. 通过 $(k_1\tau + b_1)$ 和 $(k_2\tau + b_2)$ 分别对项 C_{BL} 和 T_P 以及 T_Y (来自模拟的结果) 进行线性化。参数为 $k_1 = 0.0027, k_2 = 0.0022, b_1 = 0.0167, b_2 = -0.101, TMR = 150\%$ 和 $V_{DD} = 0.6 V$ 。

C. 最强感测点的时间模型

根据模拟结果，我们得出了峰值电压差点 T_P 和峰值感测产量点 T_Y 的分布曲线，随着 τ 的变化而变化，如图 10 所示。通过理论推导已经证明了 T_P 和 T_Y 之间关于 τ 的线性相关性，允许将 T_P 和 T_Y 表示为线性方程：

$$T_P = k_1\tau + b_1 \quad (16)$$

$$T_Y = k_2\tau + b_2 \quad (17)$$

为了确定 T_Y 与 T_P 的关系，我们可以将其表示为

$$\Rightarrow T_Y = \frac{k_2}{k_1} (T_P - b_1) + b_2 \quad (18)$$

这个方程可以重排为

$$\Rightarrow T_Y = \frac{k_2}{k_1} T_P - \left(\frac{k_2}{k_1} b_1 - b_2 \right) = \alpha T_P + \beta \quad (19)$$

通过将方程 (13) 代入方程 (20)，我们得到

$$\Rightarrow T_Y = \alpha \times \frac{\tau \times (1 + TMR) \ln(1 + TMR)}{TMR} + \beta \quad (20)$$

利用这个公式，可以确定在执行电压感测方案时激活电压感测放大器的最佳时间。

V. MTJ-变化容忍的复制品位线

在前面的章节中，已经发现描述 VSA 的传递函数的方程 (20) 由 BL 放电的行为决定。VSA 的最佳使能时间是在输入电压达到其最大驱动点时。

为了抑制 SAE 的时间变化，一种常用的技术涉及使用复制位线 [11], [37], [38]。这项技术利用了复制单元和复制位线。复制单元是使用存储单元晶体管而不是逻辑晶体管创建的，这确保了复制位线延迟与正常位线延迟的系统晶体管阈值电压、供电电压和温度变化相关。复制单元是使用存储单元晶体管制造的，而不是逻辑晶体管。这比由反相器链组成的逻辑门延迟要好得多。

虽然传统的 RBL 技术通常被提出用于 SRAM，并且读取‘1’和‘0’的 BL 摆动行为相同，使得使用传统的复制技术跟踪 BL 的放电过程变得容易，但在 MRAM 中并非如此。

传统的 RBL 技术通常被提出用于 SRAM，并且读取‘1’和‘0’的 BL 摆动行为相同，使得使用传统的复制技术跟踪 BL 的放电过程变得容易 [38], [39]。然而，在 MRAM 中并非如此，因为在 MRAM 中，AP 状态和 P 状态下 BL 的摆动过程不同，而且 ΔV 发展的延迟分布也不同 [11]。图 11 说明了由工艺变化引起的 BL 放电延迟分布。AP 状态的放电延迟分布大于 P 的，这是由于不对称的 STT 效率 [40]。因此，使用传统的 RBL 技术在 MRAM 中准确控制时序是困难的。

为了克服这个问题，我们提出了一种 MTJ-Variation-Tolerant 复制位线 (MVT-RBL) 技术，该技术能够为 SAE 生成合适的时序并跟踪 MTJ 的不同状态。MVT-RBL 技术确保 SAE 始终锁定在其最强的感测时间，最小化 BER(比特错误率)并提高感测产量。BER 表明，当感测余量无法克服感测电路的不匹配和偏移时，会发生感测错误 [9]、[41]、[42]。这项技术对于低电压 MRAM 尤其有用。

A. MVT-RBL 技术的原理

图 12(a) 展示了所提出 MVT-RBL 的原理图。2T+2MTJ 复制单元 (RC) 由两个状态互补的 MTJ 组成，类似于普通的位单元。如果右侧 MTJ 处于平行状态而左侧 MTJ 处于反平行状态，我们称这种配置为‘0’。复制位线 (RBL/RBLB) 和复制单元被安排来复制普通位线的电容 (C_{BL})。复制列被分为两个阶段，左侧列和右侧列之间插入一个反相器，插入反相器的逻辑阈值电压设置为 $V_{DD}/2$ 。

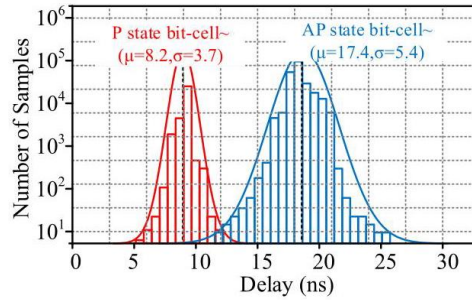


图 11。BL 在 P/AP 状态下放电到 $V_{DD}/2$ 的延迟变化 (10^8 运行蒙特卡洛模拟， $V_{DD} = 0.9$ V)。AP/P 状态的平均值是 8.2ns/17.4 ns，标准差是 3.7ns/5.4ns。

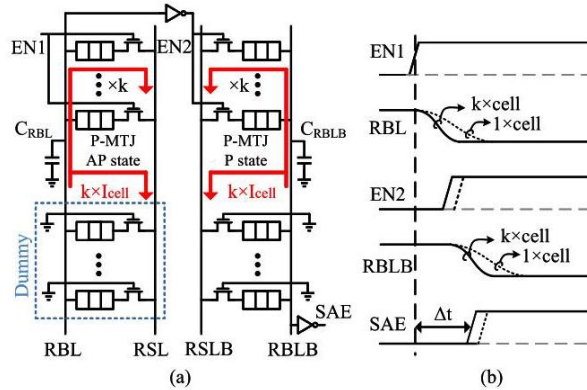


图 12。(a) 所提出 MVT-RBL 的原理图。(b) 所提出定时复制电路的操作波形。

图 12 (b) 显示了所提出 MVT-RBL 的操作波形。SAE 的顺序控制按照以下方式执行: 首先, 复制位线和正常位线预充至 V_{DD} 。随后, 第一阶段使能信号 (EN1) 和选定的 WL 被激活。然后, 左列复制单元从第一阶段复制位线 (RBL) 中抽取电流, 产生电压降。一旦 RBL 电压水平降至 $V_{DD}/2$, 第二阶段使能信号 (EN2) 被启动, 相应的复制位线 (RBLB) 释放其电压。

每列的复制单元数量为 k , 从复制位线流出的复制单元电流 I_{rep} 为 k 倍 I_{cell} 。 k 的值被选择以实现 SAE 定时的精确修剪。为了覆盖 MTJ 状态的不同分布, SAE 的定时由两种不同类型的延迟组成。为了适应 MTJ 状态的不同分布, SAE 的定时包括两类延迟。一种延迟源于 P 态复制单元引起的 RBL 放电延迟, 而另一种延迟是由 AP 态复制单元引起的 RBLB 放电延迟。

B. 最强感测点追踪

为了确保由所提出 MVT-RBL 生成的 SAE 总是锁定在最强感测时间, 我们首先为 SAE 信号建立定时模型。SAE 的延迟 (T_{SAE}) 由 BL 放电延迟 (T_{RBL}) 和 BLB 放电延迟 (T_{RBLB}) 决定, 导致

$$T_{SAE} = T_{RBL} + T_{RBLB} \quad (21)$$

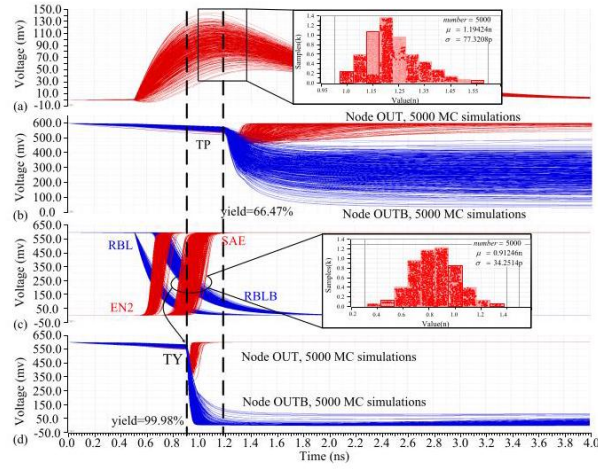


图 13. (a) 在 SS 角下 V_{IN} 的时序变化 5000 次蒙特卡洛模拟结果, 25°C , $V_{READ} = 0.6\text{ V}$ 和 $C_{BL} = 41\text{ fF}$ 。 (b) 当在 T_P 启用 VSA 时, 节点 OUT 和 OUTB 的蒙特卡洛瞬态行为。 (c) 当 V_{DD} 为 0.6 V 时, 所提出 MVT-RBL 和 SAE 时序在复制单元计数 k 为 2 时的模拟波形。 (d) 当 VSA 的采样时间设置为 T_Y 时, 节点 OUT 和 OUTB 的蒙特卡洛瞬态行为。

我们假设 R_{AP} 和 R_P 是复制单元的两个状态电阻, C_{RBL}/C_{RBLB} 是复制位线的电容, 它们与 C_{BL} 相同。放电阶段之间反相器的阈值电压为 $V_{DD}/2$, 而 k 表示每列的复制单元数量。两阶段复制位线的放电延迟可以通过以下公式计算:

$$T_{RBL} = \frac{1}{k} R_{AP} \times C_{RBL} \times \ln 2 \quad (22)$$

$$T_{RBLB} = \frac{1}{k} R_P \times C_{RBLB} \times \ln 2 \quad (23)$$

通过将方程 (23) 代入方程 (24) 中的方程 (22), 我们得到:

$$T_{SAE} = \frac{1}{k} (R_P + R_{AP}) \times C_{BL} \times \ln 2 \quad (24)$$

为了计算在最佳时序启用 SAE 的 k 值, 得到了以下公式:

$$T_{SAE} = T_Y \quad (25)$$

然后将方程 (21) 代入方程 (26), 如方程 (21) 中讨论的, β 可以通过 0, k 获得的近似值来代替:

$$\Rightarrow k \approx \frac{TMR (2 + TMR) \ln 2}{\alpha (1 + TMR) \ln (1 + TMR)} (\beta \approx 0) \quad (26)$$

如图 10 所示, 通过拟合大量实验数据得到了 $\beta \approx 0$, 其中拟合曲线与 y 轴的交点接近 0。方程 (26) 阐明了 TMR 和 α 的影响, 其中 TMR 是设备的固有参数, 而 α 与阵列设计相关, 包括阵列大小和位元单元配置等因素。总之, k 的值是内部电路参数。一旦确定了 k 的值, SA 的启用时间总是锁定在最强驱动点。

TABLE I

STT-MTJ 紧凑模型的物理参数

参数	描述	默认值
ΔH_0	激活能	0.8eV
Γ	场加速参数	1.7 cm/MV
β	形状参数	1.5
k_B	玻尔兹曼常数	$8.625 \cdot 10^{-5} \text{eV/K}$
T_0	环境温度	300 K
变量	描述	默认值
t_{OX}	氧化层厚度	0.85 纳米
TMR(0)	无应力电压下的 TMR 比率	150%
面积	MTJ 表面	$40 \text{ nm} \cdot 40 \text{ nm} \cdot \pi/4$
t_{sl}	自由层厚度	1.3 纳米
V_{sl}	自由层的体积	区域 $\cdot t_{sl}$

C. 跟踪能力的估计

为了评估所提出方案在最优感测点处的跟踪能力, 我们在 0.6 V 供电电压, SS 角, 25°C 的条件下进行了蒙特卡洛模拟。

模拟结果表明, 在 CMOS 和 MTJ 的 PVT 变化影响下, 输入电压差的峰值时间符合正态分布, 平均值是 1.194 纳秒, 标准差为 77.32 皮秒, 如图 13(a) 所示。此外, 图 13(b) 展示了在 T_P 启用 VSA 时节点 OUT 和 OUTB 的 MC 模拟波形。传感产率定义为 OUTB 是否能够在 2ns 被拉至 $V_{DD}/4$, 发现其值为 66.47%。另外, 图 13(c) 显示了提出的多阈值电阻基准逻辑 (MVT-RBL) 的蒙特卡洛模拟结果, SAE 时序的标准差是 34.25 皮秒, 平均值是 0.91 纳秒。与文献 [11] 中提出的 MTJ-LRB 技术相比, SAE 的标准差降低了 77.4%。TMR 设置为 150%, k 可以通过方程 (26) 计算得到, 大约是 2。最后, 图 13(d) 展示了在提出 MTJ-RBL 控制下的 VSA 输出节点的模拟波形。传感产率达到了 99.98%, 这显著高于 T_P 传感条件下的产率。

VI. 模拟结果与比较

A. 模拟设置

如前所述, 提高 STT-MRAM 产量的重点在于优化感测时序和 SAE 信号的顺序控制方案。根据公式 (20), 将 SAE 的最佳激活时序向前校正为 T_Y , 并采用 MVT-RBL 技术生成 SAE 信号, 而不是使用 CMOS 逻辑链。在本节中, 我们将所提出方案与常规方法进行比较, 以展示性能优势。后续仿真基于一个 256×256 的 STT-MRAM 阵列和相同的周边电路进行, 以确保公平比较。该设计采用 28 纳米 CMOS 和 MTJ 技术, 遵循基于单元的设计流程, 包括 RTL(寄存器传输级)Verilog 编码、逻辑合成、自动布局-布线以及预处理和后处理布局仿真。本节中所有的仿真结果均来自于 5000MC 在 tt 角和 25°C 下的仿真。

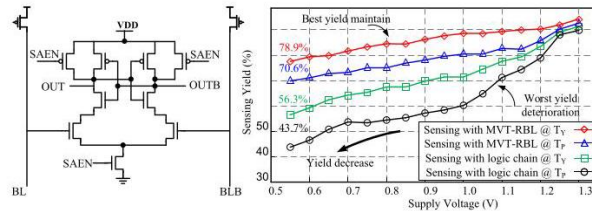


图 14. 在宽电压范围内, 采用不同感测技术的 CL-VSA 感测产率比较。

表 I 总结了我们在分析中使用的所有基本 MTJ 参数, 这些参数来源于文献 [43] 中的模型, 并且根据文献 [44] 中的仿真设置设定了工艺波动参数。使用蒙特卡洛仿真来分析 CMOS 和 MTJ 设备的工艺变化, 采用统计模型。按照惯例, 假设 MTJ 面积和自由层的厚度呈高斯分布。根据文献 [45] 中的实验数据, MTJ 电阻的变异性等于 5%。

B. 感测产率提升

通过使用图 12 所示的 MTJ-RBL 技术和方程 (26)，计算出 k 的值约为 2，这意味着每列的复制单元数量为 2。图 14 显示了 CL-VSA 的电路图，并在 $k = 2$ 条件下，展示了不同供电电压下 STT-MRAM 与 CL-VSA 的传感操作产量比较。控制变量法用于比较四种情况，其中分别单独和联合采用提出的 SAE 最佳时序和控制路径，以阐明与对比方案相比的产量优化。根据方程 (1) 和电压模拟步长 50mv 定义传感产量。当 STT-MRAM 工作在 1.2 V 以上时，产量保持在 90% 以上，但随着供电电压的降低，由于工艺变化，所有四种情况下的传感产量都显示出不同的退化。在 0.55 V 下的逻辑链 TP 传感方案显示出最大的退化，降低到 43.7%。然而，使用电压传感方案中的逻辑链 T_Y 和 MVT-RBL T_Y 方法，分别将 STT-MRAM 的产量提高了 12.6% 和 26.9%。通过采用结合 MVT-RBL 技术和最佳 SAE 时序 (T_Y)，在 0.55 V 供电电压下获得了 35.2% 的传感产量改进，保持 78.9%。在最强驱动点的传感方案提高了 SA 的输入电压，同时保持较大的电压差，因此比在峰值点采样的方案具有更好的产量。已经证明，结合 MVT-RBL 技术和最佳 SAE 时序 (T_Y) 也可以在其他工艺角下提高 SA 的产量。

为了验证所提出优化方案对不同电压感测放大器的适用性，我们选择了以下四种在存储器中常用的代表性电压感测放大器 (VSA) 进行仿真。我们在与 CL-VSA 相同的条件下，将这些 VSA 应用于相同的感测电路，并比较了四种情况下 STT-MRAM 的感测产量。此外，我们还比较了电压感测电路中采用的组合方案在能耗和访问延迟方面的优势与相应传统技术的对比。

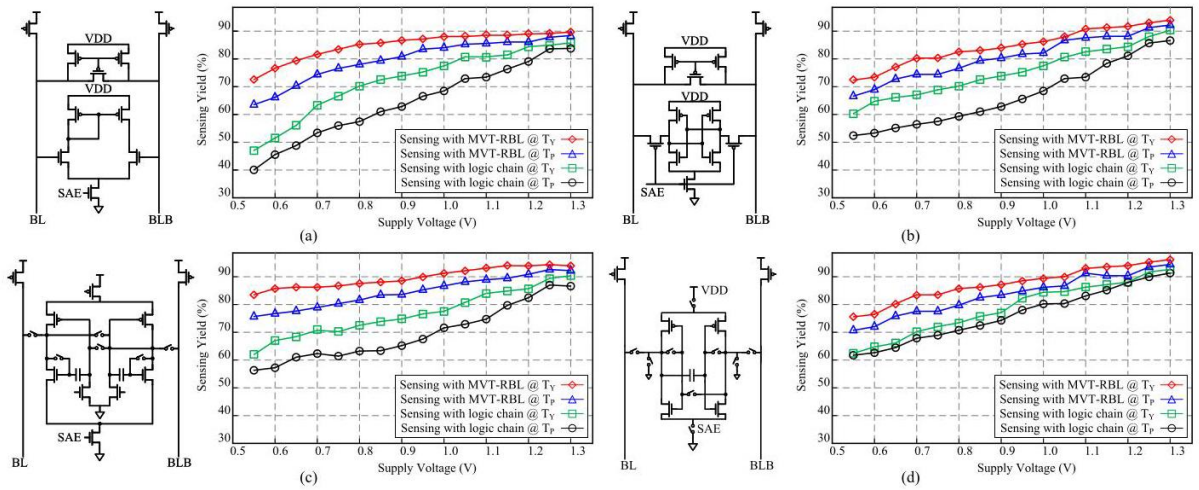


图 15. 在宽电压范围内，不同感测技术的各种电压型感测放大器的感测产量比较。(a) 电流镜电压感测放大器 (CM-VSA)。(b) 解耦锁存型电压感测放大器 (DL-VSA)。(c) 双电容偏移抵消锁存型电压感测放大器 (DCOC-VSA)。(d) 单电容偏移抵消锁存型电压感测放大器 (SCOC-VSA)。

1) 图 15(a) 展示了电流镜电压感测放大器 (CM-VSA)，它使用具有高开环增益的电流镜来放大位线间的电压差。然而，为了减少偏移电压和工艺偏差，使用宽晶体管会导致高功耗 [46]、[47]。

2) 图 15(b) 显示了解耦锁存型电压感测放大器 (DL-VSA)，这是一种传统的锁存型感测放大器，由于两个反相器提供的正反馈，其工作速度快。其功耗也较低。但是，在决策阶段可能会出现问题，因为输入和输出节点是共享的 [16]。

3) 图 15(c) 展示了双电容偏移抵消锁存型电压感测放大器 (DCOC-VSA)。这种放大器补偿了晶体管阈值电压的不匹配，有效减少了比较器的输入偏移电压。然而，由于偏移抵消所需的补偿周期较长，DCOC-VSA 的操作速度有限 [48]。

4) 图 15(d) 展示了单电容器偏移消除锁存型电压感测放大器 (SCOC-VSA)，该技术使用单个电容器进行偏移消除。这种方法提高了感测余量，同时与 DCOC-VSA 相比，还减少了面积开销。然而，SCOC-VSA 的访问时间仍然较慢 [7]。

如图 15 所示，与 CL-VSA 一致，使用上述四种 VSA 的 MRAM 感测产量随着电压的降低而降低。CM-VSA 和 DL-VSA 是低功耗和高速度 MRAM 的首选。但是，如果不对工艺变化进行偏移补偿，供电电压的显著降低会导致 MRAM 感测效率的明显下降。通过使用逻辑链实现 SAE 序列控制电路，观察到 CM-VSA 和 DL-VSA 的感测产量分别降低了 40% 和 51%。相比之下，所提出的组合方案在 0.55 V 下分别提高了 31% 和 20% 的感测产量，两者均保持在 71%。

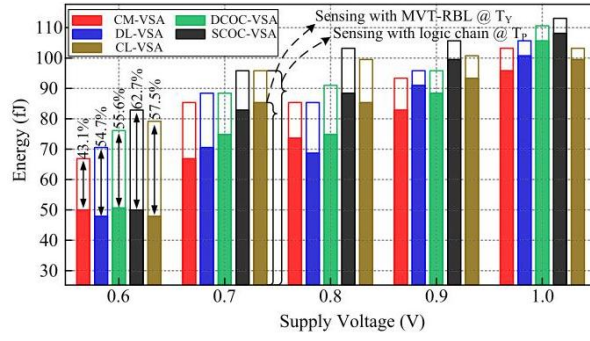


图 16. 在 0.6 ~ 1.0 V 下，具有不同感测技术的各种电压型感测放大器的能耗比较。

尽管对于 DCOC-VSA 和 SCOC-VSA 的电容补偿在中和 VSA 的偏移方面是有效的，当使用传统方案（在 T_P 处的感测逻辑链）对感测电路进行感测时，与上述 VSA 相比，在低电压下的产量提升并不显著。例如，在 0.55 V 供电电压下，MRAM 的感测产量仅为 58% 和 61%。另一方面，当将提出的优化方案应用于感测电路时，MRAM 的感测产量保持在 83% 和 77%，分别提高了 25% 和 15%。如上所述，感测电路关键路径上的工艺变化可能导致传统感测序列方案的不稳定。在低电压下，仅仅补偿 VSA 的偏移并不是提高感测产量的有效方法。然而，进一步关注优化 SAE 定时可以显著增强感测电路的鲁棒性。

C. 能量和访问定时改进

图 16 说明了在不同电压范围内，采用两种组合方案，将 STT-MRAM 与各种 VSA 配置嵌入的比较能耗。如前所述，降低供电电压可以导致能耗降低。然而，由于在 T_P 时 SAE 被激活，位线放电时间增加，导致额外能耗，传统方法因此无效。相比之下，所提出的组合方案优化了 VSA 的启用时间，从而在电压感测期间显著降低了 STT-MRAM 的能耗。换句话说，由于采用了最佳时间策略，SA 的启用时间缩短，功耗进一步降低。在 0.6 V 的供电电压下，采用最佳时间模型和 MVT-RBL 技术的组合，与传统的 CM-VSA、DL-VSA、DCOC-VSA、SCOC-VSA 和 CL-VSA 嵌入的 STT-MRAM 相比，分别实现了 43.1%、54.7%、55.6%、62.7% 和 57.7% 的能耗降低。

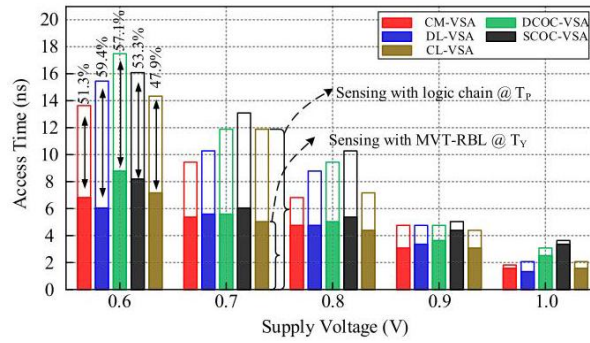


图 17. 在 0.6 ~ 1.0 V 下，不同电压型感测放大器采用不同感测技术的读延迟比较。

除了能效和可靠性优势外，所提出的组合方案还提高了读取延迟。图 17 显示，在宽电压下应用两种组合方案的上述五个 VSAs 嵌入的 64Kb STT-MRAM 的访问时间。组合 T_Y 和 MVT-RBL 技术方案相比传统方法大幅提高了延迟性能。SAE 的最佳时序减少了 V_{BL} 的额外开发时间，并且在最强驱动点 T_Y ，VSAs 实现了更快的翻转。MVT-RBL 技术抑制了 SAE 的时序变化，降低了读取延迟。例如，在 0.6 V 供电电压下，嵌入 CM-VSA、DL-VSA、DCOC-VSA、SCOC-VSA 和 CL-VSA 的 STT-MRAM 的访问时间分别降低了 51.3%、59.4%、57.1%、53.3% 和 47.9%。

这些仿真结果表明，将所提出的方案应用于电压感测电路，可以在可靠性、能耗和感测速度之间实现最佳平衡。CL-VSA、CM-VSA 和 DL-VSA 的特点是低能耗和高运行速度。然而，在低供电电压下，逆变器对的偏移会恶化，限制了可靠性。尽管如此，所提出的设计方法最小化了产量退化的影响，即使供电电压降低至 0.6 V 以下，也能实现超过 70% 的产量。另一方面，DCOC-VSA 和 SCOC-VSA 通过使用电容器补偿偏移来提高感测余量。但是，不能忽视较高的能耗和较慢的运行速度。尽管如此，实施所提出的联合方案可以调节访问时间和能耗惩罚。在 0.6 V 供电电压下，访问延迟在 10 ns 以内和 80fJ 的能耗是可以接受的。

VII. 结论

当前研究开发了针对 STT-MRAM 电压感测电路的产量优化方案。通过分析 STT-MRAM 感测过程的时序特性,我们提出了一种产量优化的模型以及一种 PVT 变化跟踪计划。在 28 nm CMOS&MTJ 技术的后 MC 模拟结果表明,所提出的方案可以在 STT-MRAM 读操作中显著提高感测产量、访问延迟,并降低能耗。总体而言,这项研究对于提高 STT-MRAM 电压感测的可靠性和性能具有重要的意义。

参考文献

- [1] H. Jeong 等人,“用于高密度低功耗 SRAM 的偏移补偿交叉耦合 PFET 位线调节和选择性负位线写入辅助”,IEEE 电路与系统 I, 常规论文, 第 62 卷, 第 4 期, 第 1062-1070 页, 2015 年 4 月。
- [2] A. Salahvarzi, A. M. H. Monazzah, M. Fazeli 和 K. Skadron, “NOSTalgy: 近似计算应用中近最优运行时 STT-MRAM 质量-能量旋钮管理”, IEEE 计算机学报, 第 70 卷, 第 3 期, 第 414-427 页, 2021 年 3 月, 数字对象标识符:10.1109/TC.2020.2989243。
- [3] M. Talebi, A. Salahvarzi, A. M. H. Monazzah, K. Skadron, 和 M. Fazeli, “ROCKY: 一种面向具有 STT-MRAM 缓存技术的处理器的健壮混合片上内存套件”, IEEE Trans. Comput., 卷 70, 期 12, 页码 2198-2210, 2021 年 12 月, 数字对象标识符:10.1109/TC.2020.3040152。
- [4] E. Cheshmikhani, H. Farbeh, S. Miremadi, 和 H. Asadi, “TA-LRW: 一种用于降低 STT-MRAM 缓存错误率的替换策略”, IEEE Trans. Comput., 卷 68, 期 3, 页码 455-470, 2019 年 3 月, 数字对象标识符:10.1109/TC.2018.2875439。
- [5] Y.-C. Shih 等人, “与逻辑工艺兼容的 40-nm 16-Mb 嵌入式垂直-MRAM, 具有混合电阻参考 $\text{sub-}\mu\text{A}$ 感测分辨率和 17.5-nS 读取访问时间”, IEEE J. Solid-State Circuits, 卷 54, 期 4, 页码 1029-1038, 2019 年 4 月, 数字对象标识符:10.1109/JSSC.2018.2889106。
- [6] M. Natsui 等人, “一种嵌入 STT-MRAM 和 FPGA 的 47.14- μW 200-MHz MOS/MTJ 混合非易失性微控制器单元, 用于物联网应用”, IEEE 固态电路杂志, 第 54 卷, 第 11 期, pp. 2991-3004, 2019 年 11 月, 数字对象标识符:10.1109/JSSC.2019.2930910。
- [7] Q. Dong 等人, “一种 1-Mb 28-nm 1T1MTJ STT-MRAM, 带有单电容偏移取消的感应放大器和现场自写终止”, IEEE 固态电路杂志, 第 54 卷, 第 1 期, pp. 231-239, 2019 年 1 月, 数字对象标识符:10.1109/JSSC.2018.2872584。
- [8] W. Kang, T. Pang, Y. Zhang, D. Ravelosona 和 W. Zhao, “用于深亚微米 STT-MRAM 的动态参考感应方案”, 在 IEEE 国际存储器研讨会 (IMW) 会议记录中, 2015 年 5 月, pp. 1-4, 数字对象标识符:10.1109/IMW.2015.7150282。
- [9] Q. Trinh, S. Ruocco 和 M. Alioto, “用于 STT-MRAM 读取边缘改进的动态参考电压感应方案”, IEEE 电路与系统 I, 常规论文, 第 65 卷, 第 4 期, pp. 1269-1278, 2018 年 4 月。
- [10] B. Song, T. Na, J. Kim, J. P. Kim, S. H. Kang, 和 S. Jung, “用于深亚微米 STT-RAM 的锁存偏移取消感应放大器”, IEEE Trans. Circuits Syst. I, Reg. Papers, 卷 62, 第 7 期, 页码 1776-1784, 2015 年 7 月, doi: 10.1109/TCSI.2015.2427931。
- [11] Y. Zhou, H. Cai, B. Liu, W. Zhao, 和 J. Yang, “MTJ-LRB: 提出基于 MTJ 的循环副本位线作为 MRAM 器件-电路交互以实现 PVT 健壮感测”, IEEE Trans. Circuits Syst. II, Exp. Briefs, 卷 67, 第 12 期, 页码 3352-3356, 2020 年 12 月。
- [12] Y. Zhou 等, “一种带有连续感测和检查的自定时电压模式感测方案用于 STT-MRAM”, IEEE Trans. Circuits Syst. I, Reg. Papers, 卷 67, 第 5 期, 页码 1602-1614, 2020 年 5 月。
- [13] Y. Li, H. Schneider, F. Schnabel, R. Thewes, 和 D. Schmitt-Landsiedel, “通过统计设计方法对 DRAM 产量分析和优化”, IEEE Trans. Circuits Syst. I, Reg. Papers, 卷 58, 第 12 期, 页码 2906-2918, 2011 年 12 月, doi: 10.1109/TCSI.2011.2157741。
- [14] Patel M., Kim J. S., Hassan H., Mutlu O., “理解和建模现代 DRAM 芯片上错误校正: 使用真实设备的实验研究”, in Proc. 49th Annu. IEEE/IFIP Int. Conf. Dependable Syst. Netw. (DSN), Jun. 2019, pp. 13-25, doi: 10.1109/DSN.2019.00017。
- [15] Singh A. K., He K., Caramanis C., Orshansky M., “建模和优化技术以实现产量感知的 SRAM 后硅调谐”, IEEE Trans. Comput.-Aided Design Integr. Circuits Syst., vol. 33, no. 8, pp. 1159-1167, Aug. 2014, doi: 10.1109/TCAD.2014.2317571。
- [16] Wicht B., Nirschl T., Schmitt-Landsiedel D., “锁存型电压感测放大器的产量和速度优化”, IEEE J. Solid-State Circuits, vol. 39, no. 7, pp. 1148-1158, Jul. 2004, doi: 10.1109/JSSC.2004.829399。
- [17] Q. Dong 等人, “一种 1Mb 28 纳米 STT-MRAM, 采用单电容偏移取消感应放大器和现场自写终止, 在 1.2V VDD 下的读取访问时间为 2.8ns”, 在 IEEE 国际固态电路会议 (ISSCC) 技术论文摘要, 旧金山, 加州, 美国, 2018 年 2 月, pp. 480-482, 数字对象标识符 10.1109/ISSCC.2018.8310393。

- [18] T.-H. Yang, K.-X. Li, Y.-N. Chiang, W.-Y. Lin, H.-T. Lin 和 M.-F. Chang, “一种 28 纳米 32Kb 嵌入式 2T2MTJ STT-MRAM 宏, 具有 1.3ns 读取访问时间, 用于快速可靠的读取应用”, 在 IEEE 国际固态电路会议 (ISSCC) 技术论文摘要, 2018 年 2 月, pp. 482-484, 数字对象标识符 10.1109/ISSCC.2018.8310394。
- [19] H. Lim, S. Lee 和 H. Shin, “STT-MRAM 交叉阵列写入操作的切换时间和稳定性评估”, IEEE 电子设备汇刊, 卷 63, 第 10 期, pp. 3914-3921, 2016 年 10 月, 数字对象标识符 10.1109/TED.2016.2597195。
- [20] T. Na, J. Kim, J. P. Kim, S. H. Kang, 和 S.-O. Jung, “参考方案研究及深亚微米 STT-RAM 的新型参考方案”, IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 61, no. 12, pp. 3376-3385, Dec. 2014, doi: 10.1109/TCSI.2014.2327337。
- [21] A. Lee, R. Jagannathan, D. Wu, 和 K. L. Wang, “二维校准方案用于阻变非易失性存储器”, IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 28, no. 6, pp. 1371-1377, Jun. 2020, doi: 10.1109/tvlsi.2020.2975589。
- [22] X. Yu 和 N. M. Neihart, “对称多抽头变压器的设计与特性分析”, in Proc. IEEE Int. Symp. Circuits Syst. (ISCAS), May 2012, pp. 954-957, doi: 10.1109/ISCAS.2012.6272203。
- [23] T. Levi, N. Lewis, J. Tomas, 和 S. Renaud, “基于 IP 的模拟平台在类神经集成电路设计中的应用”, IEEE Trans. Comput.-Aided Design Integr. Circuits Syst., vol. 31, no. 11, pp. 1629-1641, Nov. 2012, doi: 10.1109/TCAD.2012.2204992。
- [24] 刘泽民, 谭树德, 王豪, 斯瓦鲁普·萨, 古普塔·阿尼尔, “封装集成系统的紧凑型非线性热建模”, 在 2013 年 1 月第 18 届亚洲太平洋设计自动化会议 (ASP-DAC) 上, 《会议记录》, 第 157-162 页, 数字对象标识符:10.1109/ASPDAC.2013.6509589。
- [25] 津塔里·阿尼尔, 纳伊米·哈桑, 纳塔拉扬·萨米, 雷乔杜里·阿尼尔, “嵌入式自旋转移扭矩 (STT) 磁随机存储器 (MRAM) 阵列中的缺陷和变化分析”, 《IEEE 新兴与选择主题电路与系统杂志》, 第 6 卷, 第 3 期, 第 319-329 页, 2016 年 9 月, 数字对象标识符:10.1109/JETCAS.2016.2547779。
- [26] 纳尔·萨米·莫汉, 比什诺伊·拉胡尔, 塔胡里·穆罕默德·巴沙拉特, “STT-MRAM 参数故障建模和产量分析的综合框架”, 《IEEE 超大规模集成电路系统交易》, 第 27 卷, 第 7 期, 第 1697-1710 页, 2019 年 7 月, 数字对象标识符:10.1109/TVLSI.2019.2904197。
- [27] 金·基, 尤·昌, “自旋转移扭矩 MRAM 的容变感测电路”, 《IEEE 电路与系统 II, 实验简报》, 第 62 卷, 第 12 期, 第 1134-1138 页, 2015 年 12 月, 数字对象标识符:10.1109/TCSII.2015.2468971。
- [28] S. M. Nair, R. Bishnoi, M. S. Golanbari, F. Oboril, F. Hameed 和 M. B. Tahoori, “VAET-STT: 一种考虑变差的 STT-MRAM 分析与设计空间探索工具”, 《IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems》, 第 37 卷, 第 7 期, pp. 1396-1407, 2018 年 7 月, 数字对象标识符: 10.1109/TCAD.2017.2760861。
- [29] S. M. Nair, R. Bishnoi 和 M. B. Tahoori, “STT-MRAM 的参数故障建模与产量分析”, 在 《Design, Automation & Test in Europe Conference & Exhibition (DATE)》, 2018 年 3 月, pp. 265-268, 数字对象标识符: 10.23919/DATE.2018.8342016。
- [30] R. Dorrance, F. Ren, Y. Toriyama, A. A. Hafez, C. K. Yang 和 D. Markovic, “1T-1MTJ 存储单元在 STT-RAM 中的可扩展性与设计空间分析”, 《IEEE Transactions on Electron Devices》, 第 59 卷, 第 4 期, pp. 878-887, 2012 年 4 月, 数字对象标识符: 10.1109/TED.2011.2182053。
- [31] Karamoozian A, Jiang H, Tan CA, Wang L, Wang Y, “一种用于使用接触压力敏感性分析晶格制动系统稳定性的综合方法”, IEEE Access, 卷. 8, 页. 19948-19969, 2020, doi: 10.1109/ACCESS.2020.2964337。
- [32] Wen W, Zhang Y, Chen Y, Wang Y, Xie Y, “PS3-RAM: 一种快速便携且可扩展的统计 STT-RAM 可靠性/能耗分析方法”, IEEE Trans. Comput.-Aided Design Integr. Circuits Syst., 卷. 33, 期号. 11, 页. 1644-1656, 2014 年 11 月, doi: 10.1109/TCAD.2014.2351581。
- [33] Kang W, Chang L, Wang Z, Lv W, Sun G, Zhao W, “伪微分传感框架用于 STT-MRAM: 一种跨层视角”, IEEE Trans. Comput., 卷. 66, 期号. 3, 页. 531-544, 2017 年 3 月, doi: 10.1109/TC.2016.2601330。
- [34] Zhao Y 等人, “一种基于 STT-MRAM 的低功耗积分计算内存架构”, IEEE Trans. Comput., 卷. 68, 期号. 4, 页. 617-623, 2019 年 4 月, doi: 10.1109/TC.2018.2879502。
- [35] R. Zand 和 R. F. DeMara, “具有多级变化容忍的 MRAM 增强型低功耗可重构 fabric”, IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 66, no. 12, pp. 4662-4672, Dec. 2019, doi: 10.1109/TCSI.2019.2932379。
- [36] K. Lee 等人, “22-nm FD-SOI 嵌入式 MRAM 技术, 用于低功耗汽车级 1 微控制器应用”, in IEDM Tech. Dig., Dec. 2018, p. 27, doi: 10.1109/IEDM.2018.8614566。
- [37] Y. Niki 等人, “一种数字化副本位线延迟技术, 用于容忍随机变化的 SRAM 感测放大器时序生成”, IEEE J. Solid-State Circuits, vol. 46, no. 11, pp. 2545-2551, Nov. 2011, doi: 10.1109/JSSC.2011.2164294。
- [38] J. Wu, J. Zhu, Y. Xia 和 N. Bai, “一种多阶段并行副本位线延迟增加技术, 用于减少 SRAM 感测放大器的时序变化”, IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 61, no. 4, pp. 264-268, Apr. 2014, doi: 10.1109/TCSII.2014.2304893。
- [39] Z. Lin 等人, “一种用于抑制 28 纳米 CMOS 工艺下 SRAM 感应放大器时序变化的管道复制位线技术”, IEEE 固态电路杂志, 卷 52, 第 3 期, 页码 669-677, 2017 年 3 月, 数字对象标识符:10.1109/JSSC.2016.2634701。
- [40] R. Bishnoi, M. Ebrahimi, F. Oboril 和 M. B. Tahoori, “用于低功耗 STT-MRAM 的异步非对称写终止 (AAWT)”, 在设计、自动化与测试欧洲会议与展览 (DATE) 会议记录中, 2014 年 3 月, 页码 1-6, 数字对

象标识符:10.7873/DATE.2014.193。

[41] J. Kim, Y. Jang, T. Kim 和 J. Park, "一种用于 SOT-MRAM 可靠读操作的双域动态参考感应技术", IEEE 电路与系统 I, 常规论文, 卷 69, 第 5 期, 页码 2049-2059, 2022 年 5 月。

[42] D. Zhang 等人, "用于混合 CMOS/MTJ 逻辑电路的可靠性增强分离预充电感应放大器", IEEE 磁学杂志, 卷 53, 第 9 期, 页码 1-5, 2017 年 9 月。

[43] Spinmodel 库。访问日期:2015 年 10 月 1 日。[在线]。可用:http://www.spinlib.com/STT_PMA_MTJ.html

[44] 王树森, 李航, 易卜拉希米, 阿米里, 王克亮, 古普塔, "自旋转移力矩和磁电随机存取存储器的比较评估", IEEE J. Emerg. Sel. Topics Circuits Syst., 卷 6, 第 2 期, pp. 134-145, 2016 年 6 月, 数字对象标识符:10.1109/JET-CAS.2016.2547681。

[45] 金镇培等, "一种带有设计技术的嵌入式 STT-MRAM, 用于最小化读干扰," 在 VLSI 电路研讨会论文集, 2011 年 6 月, pp. 296-297。

[46] 夏基尔, 萨切德, "基于体偏置的电流感应放大器, 用于高速低功耗嵌入式 SRAM," 在第 27 届 IEEE 国际系统级芯片会议 (SOCC), 2014 年 9 月, pp. 444-448, 数字对象标识符:10.1109/SOCC.2014.6948970。

[47] 南布等, "一种 1.8 纳秒访问, 550 兆赫兹, 4.5 兆位 CMOS SRAM," IEEE 固态电路杂志, 卷 33, 第 11 期, pp. 1650-1658, 1998 年 11 月, 数字对象标识符:10.1109/4.726553。

"[48] J. Javanifard 等人, '一种 45 nm 自对准接触过程 1Gb 的 NOR Flash, 具有 5MB/s 编程速度', 发表于 IEEE 国际固态电路会议 (ISSCC) 技术论文摘要, 2008 年 2 月, pp. 424-624, 数字对象标识符:10.1109/ISSCC.2008.4523238。"



"周勇亮 (IEEE 会员) 在东南大学微电子学院获得博士学位, 该校位于中国南京。他目前的研究兴趣包括信号处理、模拟集成电路设计以及高性能存储技术。"



"林晓在 2022 年获得中国长沙湖南大学的电子科学与技术学士学位。他目前在中国安徽大学集成电路学院攻读集成电路工程硕士学位。他的研究兴趣包括数字电路设计和新兴的非易失性存储器。"



"周子轩目前在中国合肥安徽大学集成电路学院攻读电路与系统硕士学位。她的研究兴趣包括超低功耗新兴存储器设计以及在存储器中的计算。"



”孙颖雪目前在中国合肥安徽大学集成电路学院攻读硕士学位。她的研究兴趣包括提高存储器性能。”



”魏毅明目前在中国合肥安徽大学集成电路学院攻读微电子与固态电子学硕士学位。他还在进行基于 CIM 的神经网络设计以及非易失性存储器和系统设计的工作。”



杨振于 2021 年在中国合肥的安徽大学获得学士学位，目前在该校集成电路学院攻读微电子与固体电子学硕士学位。他的研究兴趣包括低功耗电路设计、存内计算以及非易失性存储器设计。



戴成星于 2023 年在中国合肥的安徽大学获得微电子科学与工程学士学位，目前在该校集成电路学院攻读集成电路工程硕士学位。他的研究兴趣包括电路设计和存储器辐射硬化。



钟静雪目前在中国合肥的安徽大学集成电路学院攻读硕士学位。她致力于在 77k 下检测电路时序。



吴秀龙 (IEEE 会员) 于 2001 年在中国合肥的中国科学技术大学获得计算机科学学士学位，并于 2005 年和 2008 年在安徽大学分别获得电子工程硕士和博士学位。

2013 年至 2014 年，他担任美国德克萨斯大学达拉斯分校工程系的访问学者。他目前是安徽大学的教授。他已发表了约 60 篇文章并拥有十多项中国专利。他的研究兴趣包括高性能静态随机存取存储器和混合信号集成电路。



彭春宇 (IEEE 会员) 于 2010 年和 2013 年分别在中国合肥的安徽大学获得通信工程学士学位和电路与系统硕士学位，以及微电子与固体电子学博士学位。

他目前是安徽大学的微电子与固态电子学副教授。他的研究兴趣包括信号处理、模拟集成电路设计以及高性能和可靠的存储技术。