

一种高速、低功耗、高可靠性且完全耐单事件双节点翻转的磁性随机存取存储器设计

Jiaxin Yang [□], Ziyang Guo [□], Shixuan Wang [□], Jilong Liu [□], Yue Zhang [□], IEEE 高级会员, Weisheng Zhao, IEEE 研究员, Lang Zeng, IEEE 高级会员,

和 Deming Zhang [®], IEEE 会员

摘要-磁性随机存取存储器 (MRAM) 由于其非易失性、高速、低功耗和固有的辐射抗性特性, 在航空航天领域具有巨大的应用潜力。由于其高传感可靠性, 预充电差分传感放大器 (PCDSA) 已被提出并广泛应用于 MRAM 产品中。然而, 这种 PCDSA 是基于传统的 CMOS 技术, 随着 CMOS 技术尺寸的不断缩小, 其传感结果容易受到单事件翻转 (SEU) 甚至单事件双节点翻转 (SEDU) 的影响。最近, 提出了一种 TSC-PCDSA 以完全容忍 SEDU。然而, 在正常传感操作期间, 它仍然存在速度慢、功耗高和可靠性低的问题。为了解决这些问题, 本文提出了一种新型 PCDSA 电路, 使用 6 个三输入近似 C 元件 (TACs) 和 2 个三输入标准 C 元件 (TSCs) 来提供 SEDU 容忍性。通过减少放电路径上的晶体管数量并增加放电电流的差异, 所提出的 PCDSA 可以实现高速、低功耗和高可靠性。通过使用基于物理的 STT-MTJ 紧凑模型和商业 CMOS 40 nm 设计工具包, 进行了混合仿真以展示其功能并评估其性能。仿真结果表明, 当 TMR 为 150%、N1-N12 的宽度为 480 nm 且 VDD 为 1.1 V 时, 所提出的 PCDSA 传感错误率 (SER) 在正常传感操作期间接近 0%, 实现了 123.6 ps 的高速传感和 1.6533 fJ 的低传感能量。与之前提出的 TSC-PCDSA 相比, 传感可靠性大大提高, 传感时间和传感能量分别减少了 1.84 倍和 1.27 倍。此外, 通过优化布局设计, 所提出的 PCDSA 可以完全容忍 SEDU。在沉积电荷 Q_{ini} 为 2pC 的最坏情况下, 它可以实现比之前提出的 TSC-PCDSA 更短的恢复时间 1.28244 ns 和更低的恢复能量耗散 2.1604 pJ。

索引词 - 磁性随机存取存储器 (MRAM)、预充电差分传感放大器 (PCDSA)、单事件干扰 (SEU)、单事件双节点干扰 (SEDU)、三输入 C 元件、磁隧道结 (MTJ)、传感错误率 (SER)、恢复时间、恢复能量耗散。

I. 引言

自旋转移力矩磁性随机存取存储器 (STT-MRAM) 是一种新兴的存储技术, 由于其非易失性、低功耗、快速访问和高密度特性, 受到广泛关注 [1]、[2]、[3]、[4]、[5]、[6]、[7]、[8]、[9]、[10]。此外, 作为 STT-MRAM 的基本元件, 磁隧道结 (MTJ) 本质上对辐射引起的故障具有很强的抗性, 使其在航空航天领域具有巨大的潜力 [11]、[12]、[13]。

MTJ 主要由两层铁磁层 (FM) 和夹在中间的超薄氧化物障碍层组成 [14]。其中一层 FM 称为参考层或固定层, 其磁化方向是固定的。另一层 FM 称为自由层, 其磁化方向可以通过施加一个大的双向电流 (超过其临界开关电流 I_{C0}) 来切换, 这得益于隧道磁阻效应 (TMR) [15]、[16]、[17]、[18]、[19]、[20]。根据两层 FM 的相对磁化方向, 一个 MTJ 可以表现出两种不同的电阻状态, 用于表示二进制逻辑信息 ‘0’ 和 ‘1’: 当两个磁化方向平行时, MTJ 表现为低电阻状态 (R_P); 而当两个磁化方向反平行时, MTJ 表现为高电阻状态 (R_{AP})。电阻差异可以通过隧道磁阻比 ($TMR = (R_{AP} - R_P) / R_P$) [21]、[22] 来表征。在实际应用中, 传感错误率 (SER) 由 TMR 决定。为了提高传感可靠性, 研究人员提出了一种差分存储单元 (DMC), 以牺牲存储密度为代价, 如图 1(b) 所示, 其中两个处于互补电阻状态的 MTJ 用于表示 1 位。为了感知存储在这种 DMC 中的信息, 提出了一种预充电差分传感放大器 (PCDSA) 电路 [23]、[24]、[25], 如图 1(c) 所示, 以实现高速、低功耗和高可靠性。

手稿于 2024 年 3 月 3 日收到; 2024 年 5 月 9 日、6 月 6 日和 7 月 11 日修订; 2024 年 7 月 31 日接受。此项工作部分由北京市自然科学基金资助, 资助号 4232069; 部分由中国浙江省自然科学基金资助, 资助号 LZ24F040003; 部分由国家自然科学基金项目资助, 资助号 61901017、62171009 和 62101018; 部分由北京航空航天大学合肥创新研究院项目资助, 资助号 BHKX-19-01 和 BHKX-19-02。本文由副编辑 M. Lopez-Vallejo 推荐。(通讯作者: 曾朗; 张德明。)

作者来自北京航空航天大学集成电路科学与工程学院的 Fert 北京研究所, MIIT 自旋电子学重点实验室, 地址: 中国北京市 100191; 同时也来自北京航空航天大学国际创新研究院的国家重点自旋电子学实验室, 地址: 中国杭州市 311115(电子邮件: zenglang@buaa.edu.cn; deming.zhang@buaa.edu.cn)。

本文中一个或多个图的彩色版本可在 <https://doi.org/10.1109/TCSI.2024.3438282> 获取。

数字对象标识符 10.1109/TCSI.2024.3438282

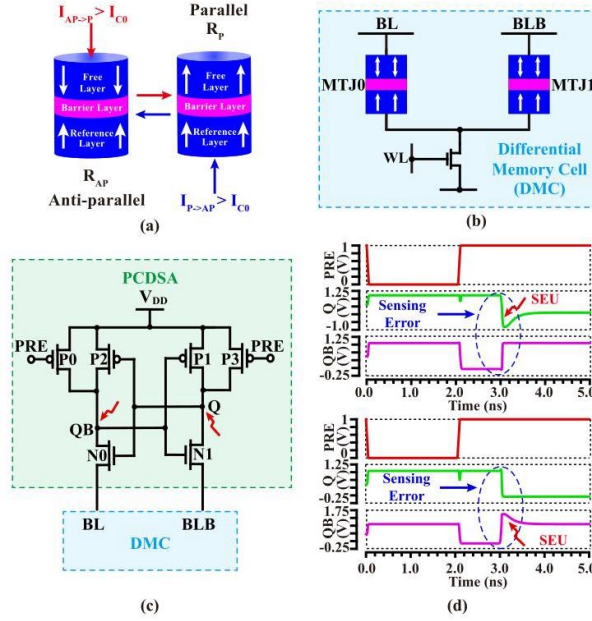


图 1. (a) MTJ 器件的结构示意图及 STT 写入机制；(b) 先前提出的差分存储单元 (DMC)；(c) 其对应的 PCDSA 电路；(d) SEU 对 PCDSA 的影响。

由于使用磁化方向而非电子电荷来存储数据信息，MTJ 具有天然的辐射抗性 [26], [27]。然而，STT-MRAM 中的 PCDSA 基于 CMOS 技术，容易受到高能辐射粒子的影响 [28], [29]。例如，当一个高能粒子撞击到一个敏感节点时，即节点 Q 和 QB，会产生一个传感错误，如图 1(d) 所示。这种现象被称为单事件翻转 (SEU) [6], [30], [31], [32], [33]。此外，随着 CMOS 技术的缩小，高能粒子的撞击甚至可能影响两个相邻的敏感节点，导致一种称为单事件双翻转 (SEDU) 的软错误 [34], [35], [36]。

图 2(a) 显示了在 [37] 中提出的 SEDU 容忍 PCDSA，它使用一个 6 节点冗余双互锁存储单元 (DICE) 和一个三输入标准 C 元件 (TSC) 来提供 SEDU 容忍，称为 DICE-PCDSA。然而，它的 SEDU 容忍性较弱，最大沉积电荷仅为 26fC。

为了解决这个问题，如图 2(b) 所示，最近提出了一种新型的抗 SEDU 的 PCDSA，使用 7 个 TSC 提供 SEDU 容忍性，称为 TSC-PCDSA [38]。它的最大存储电荷可达 2pC，这意味着它可以完全容忍 SEDU。然而，就 TSC-PCDSA 的抗 SEDU 锁存电路块而言，由于放电路径中存在较多的晶体管，它在正常感知操作期间面临较大的感知延迟和高感知功耗。此外，其输出块仅由 1 个 TSC 组成，导致放电路径的不对称，从而导致感知可靠性低下。

在本文中，我们提出了一种新型的完全抗 SEDU 的 PCDSA，旨在实现高速、低功耗和高可靠性的感知操作。本文的贡献可以总结如下：

1) 我们提出了一种基于 6 个交叉耦合的三输入近似 C 元件 (TAC) 和 2 个交叉耦合 TSC 的 PCDSA，能够完全容忍 SEDU。在正常感知操作期间，它具有高速、低功耗和高可靠性等特性。通过使用基于物理的 STT-MTJ 紧凑模型和商业 CMOS 40nm 设计套件，进行混合 CMOS/MTJ 仿真以验证感知辐射抗扰能力的功能并评估相关指标。

2) 我们首先研究了在输出块中使用两个 TSC 对可靠性的影响，结果表明所提出的 PCDSA 的感知错误大大减少。

本文的其余部分组织如下。第二节详细介绍了所提出的抗 SEDU 的 PCDSA 电路及其机制。第三节进行了混合 CMOS/MTJ 仿真，以展示其功能。第四节呈现了性能分析。最后，第五节总结了本文。

II. 提出的抗 SEDU PCDSA 用于 MRAM

A. 提出的 PCDSA

图 3(a) 展示了所提出的 PCDSA，主要由四个部分组成，即预充电块、抗 SEDU 锁存电路块、DMC 和输出块。特别地，锁存电路块由 6 个交叉耦合的 TAC (即 TAC1、TAC2、TAC3、TAC4、TAC5、TAC6) 组成。输出块基于 2 个交叉耦合的 TSC (即 TSC1、TSC2) 以容忍 SEDU。当所有输入具有相同的逻辑值时，TSC 和 TAC 表现得像反相器。然而，当输入受到能量粒子的冲击导致其逻辑值翻转时，它们的容错性不同。接下来，我们将介绍 TSC 和 TAC 的容错性。

对于 TSC，如果输入的任何节点或任意两个节点的逻辑值翻转，输出状态将无法改变。只有当输入的所有节点的逻辑值翻转时，故障才会传播到输出。TSC 可以完全容忍 SEU 和 SEDU [39]。

在 TAC 中，如果输入的任何节点的逻辑值被翻转，输出状态将无法改变。如果输入的任意两个节点的逻辑值被翻转，当 TAC 的输出逻辑值为‘0’时，只要输入 I1 和 I2 的逻辑值被翻转，故障就会传播到输出。同样，当 TAC 的输出逻辑值为‘1’时，只要输入 I1 和 I3 的逻辑值被翻转，故障就会传播到输出。在其他情况下，输出状态无法改变。TAC 可以完全容忍单粒子翻转 (SEU)，并部分容忍单粒子翻转引起的延迟 (SEDU)。图 3(c) 显示了 TSC 和 TAC 的真值表。

B. 正常操作

提出的 PCDSA 的感知操作类似于传统的 PCDSA。它分为两个阶段，即预充电阶段和感知阶段，如图 4 所示。在预充电阶段，PRE 和 WL 信号均设置为 GND。因此，P1-P6 晶体管被打开，而 N19 晶体管处于关闭状态。结果，节点 Q1-Q6 被预充电至 V_{DD} 。在感知阶段，PRE 和 WL 信号均设置为 V_{DD} 。由于 MTJ0 和 MTJ1 在两个放电路径中的不同电阻，节点 Q1-Q6 以不同的速度开始放电。当 (MTJ0, MTJ1) 处于 (R_p, R_{Ap}) 状态时，节点 (Q1, Q3, Q5) 的电压放电速度更快，从而转为 GND。相反，节点 (Q2, Q4, Q6) 最终保持高电平。在这种配置下，提出的 PCDSA 的节点 Out 和节点 Out_Bar 最终将分别充电至 V_{DD} 和放电至 GND。当 (MTJ0, MTJ1) 处于 (R_{Ap}, R_p) 状态时，节点 (Q2, Q4, Q6) 的电压放电速度更快，从而转为 GND。相反，节点 (Q1, Q3, Q5) 最终保持高电平。在这种配置下，提出的 PCDSA 的节点 Out 和节点 Out_Bar 最终将分别放电至 GND 和充电至 V_{DD} 。

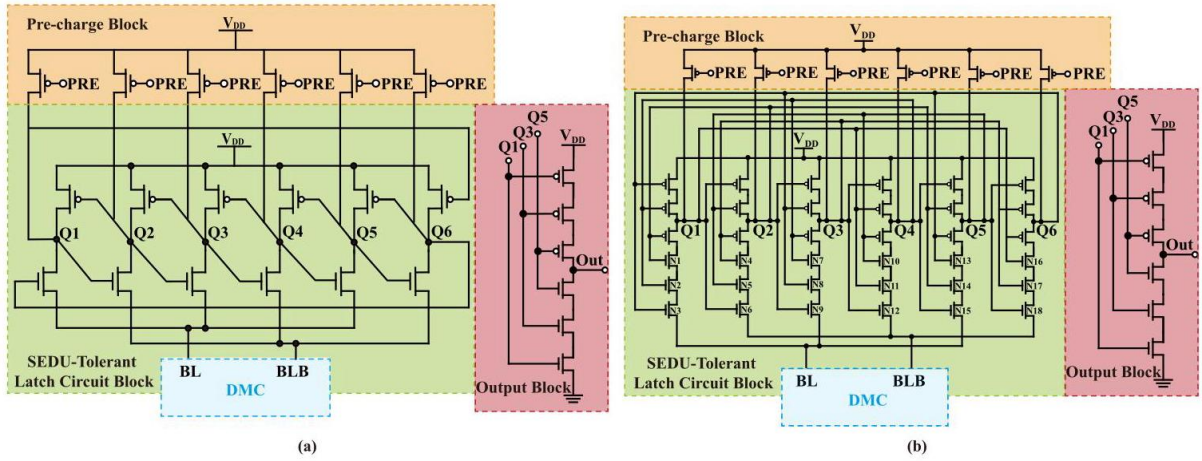


图 2. 之前提出的 SEDU 容错 PCDSA。 (a) DICE-PCDSA; (b) TSC-PCDSA。

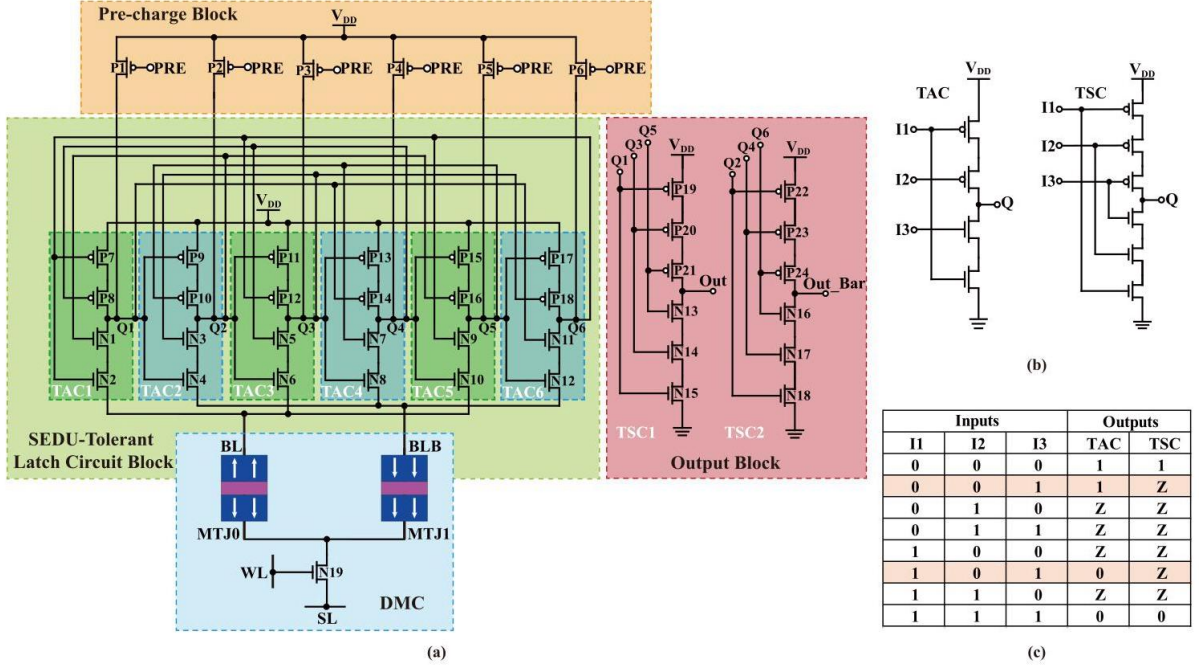


图 3. (a) 提出的 SEDU 耐受 PCDSA 电路的示意图；(b) TAC 和 TSC 的示意图；(c) 真值表。

C. SEDU 耐受原理

在接下来的部分中，将研究 SEDU 耐受 PCDSA 的能力。值得注意的是，本研究将从感知阶段分析 SEDU，因为预充电阶段对辐射效应是免疫的。

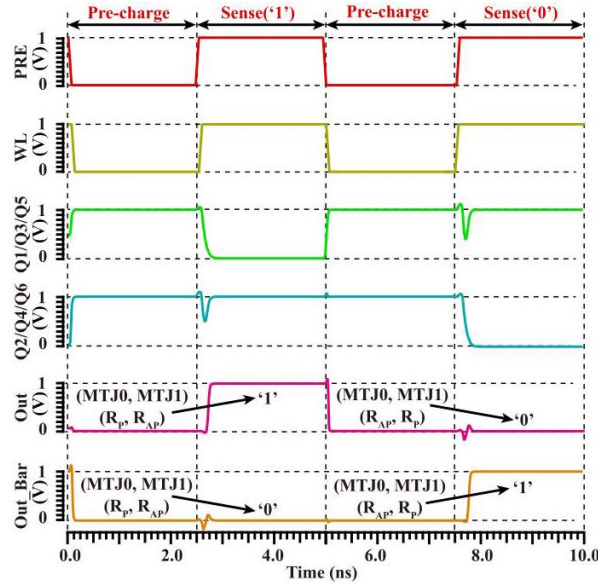


图 4. 提出的 SEDU 耐受 PCDSA 的感知操作时序图。

在能量粒子影响两个敏感节点的情况下，可能会在三种不同类型的撞击节点对中发生感知错误。为了清楚地说明提出的 PCDSA 的能力，假设节点 (Q1, Q3, Q5) 的逻辑值为'0'，节点 (Q2, Q4, Q6) 的逻辑值为'1'，节点 (Out) 的逻辑值为'1'，节点 (Out_Bar) 的逻辑值为'0'。

1) 在第一种情况下，考虑能量粒子撞击提出的 PCDSA 的 (Q1, Q3, Q5) 或 (Q2, Q4, Q6) 或 (Out, Out_Bar) 中的任意两个节点，并且可能导致这两个节点的逻辑值翻转。在这种情况下，关键节点对包括 (Q1, Q3)、(Q2, Q4) 和 (Out, Out_Bar)。

如果 (Q1, Q3) 遭受 SEDU, 根据 TAC 的容错性, 由于 TAC2 的输出 (Q2) 的逻辑值为'1', 且输入 I1 (Q1) 和 I3 (Q3) 的逻辑值被翻转为'1', 错误将传播到 TAC2 的输出 (Q2), 并且 Q2 的逻辑值被翻转为'0'。(Q4, Q5, Q6) 保持其逻辑值不变。根据 TSC 的容错性, (Out, Out_Bar) 保持其逻辑值不变, 因为在 TSC1 的输入中仅有两个节点 (Q1, Q3) 被翻转, 而在 TSC2 的输入中仅有一个节点 (Q2) 被翻转。

如果 (Q2, Q4) 遭受 SEDU, 根据 TAC 的容错性, 由于 TAC5 的输出 (Q5) 的逻辑值为'0', 且输入 I1 (Q4) 和 I2 (Q2) 的逻辑值被翻转为'0', 错误将传播到 TAC5 的输出 (Q5), 并且 Q5 的逻辑值被翻转为'1'。由于 TAC4 的输入 (Q3, Q1, Q5) 对应的逻辑值为 (0,0,1), 因此输出 (Q4) 将被充电至其初始逻辑值'1' 在 TAC4 中。由于 TAC5 的输入 (Q4, Q2, Q6) 对应的逻辑值为 (1, 0, 1), 因此输出 (Q5) 将被放电至其初始逻辑值'0' 在 TAC5 中。由于 TAC2 的输入 (Q1, Q5, Q3) 对应的逻辑值为 (0,0,0), 因此输出 (Q2) 将被充电至其初始逻辑值'1' 在 TAC2 中。根据 TSC 的容错性, (Out, Out_Bar) 保持其逻辑值不变, 因为 (Q1, Q2, Q3, Q4, Q5, Q6) 最终保持其初始逻辑值。

如果 (Out, Out_Bar) 遭受 SEDU, 根据 TSC 的反转特性, (Out) 将在 TSC1 中被充电至其初始逻辑值'1', 而 (Out_Bar) 将在 TSC2 中被放电至其初始逻辑值'0', 因为 (Q1, Q2, Q3, Q4, Q5, Q6) 保持其初始逻辑值不变。

2) 在第二种情况下, 考虑对所提出的 PCDSA 的 (Q1, Q3, Q5) 或 (Q2, Q4, Q6) 的一个节点以及 (Out, Out_Bar) 的一个节点的能量粒子撞击, 这可能导致这两个节点的逻辑翻转。在这种情况下, 关键节点对包括 (Q1, Out)、(Q1, Out_Bar)、(Q2, Out) 和 (Q2, Out_Bar)。

如果 (Q1, Out) 或 (Q1, Out_Bar) 遭受单事件失效 (SEDU), 根据 TAC 的容错特性, (Q2, Q4, Q6) 的逻辑值保持不变, 因为只有一个节点 (Q1) 在 (TAC2, TAC4, TAC6) 的输入中被翻转。由于 TAC1 的输入 (Q6, Q4, Q2) 对应于逻辑值 (1, 1, 1), 输出 (Q1) 将在 TAC1 中放电至其初始逻辑值'0'。如果 (Q1, Out) 遭受 SEDU, 根据 TSC 的反转特性, (Out) 将在 TSC1 中充电至其初始逻辑值'1', 因为 (Q1, Q3, Q5) 最终保持初始逻辑值。根据 TSC 的容错特性, (Out_Bar) 的逻辑值保持不变, 因为 (Q2, Q4, Q6) 保持其初始逻辑值不变。如果 (Q1, Out_Bar) 遭受 SEDU, 根据 TSC 的容错特性, (Out) 的逻辑值保持不变, 因为 (Q1, Q3, Q5) 最终保持其初始逻辑值。根据 TSC 的反转特性, (Out_Bar) 将在 TSC2 中放电至其初始逻辑值'0', 因为 (Q2, Q4, Q6) 保持其初始逻辑值不变。

如果 (Q2, Out) 或 (Q2, Out_Bar) 遭受 SEDU, 根据 TAC 的容错特性, (Q1, Q3, Q5) 的逻辑值保持不变, 因为只有一个节点 (Q2) 在 (TAC1, TAC3, TAC5) 的输入处被翻转。由于 TAC2 的输入 (Q1, Q5, Q3) 对应于逻辑值 (0,0,0), 输出 (Q2) 将在 TAC2 中恢复到其初始逻辑值'1'。如果 (Q2, Out) 遭受 SEDU, 根据 TSC 的反转特性, (Out) 将在 TSC1 中恢复到其初始逻辑值'1', 因为 (Q1, Q3, Q5) 保持其初始逻辑值不变。根据 TSC 的容错特性, (Out_Bar) 的逻辑值保持不变, 因为 (Q2, Q4, Q6) 最终保持其初始逻辑值。如果 (Q2, Out_Bar) 遭受 SEDU, 根据 TSC 的容错特性, (Out) 的逻辑值保持不变, 因为 (Q1, Q3, Q5) 保持其初始逻辑值不变。根据 TSC 的反转特性, (Out_Bar) 将在 TSC2 中恢复到其初始逻辑值'0', 因为 (Q2, Q4, Q6) 最终保持其初始逻辑值。

3) 在第三种情况下, 考虑对所提议的 PCDSA 的 (Q1, Q3, Q5) 的一个节点和 (Q2, Q4, Q6) 的一个节点的能量粒子撞击, 这可能导致这两个节点的逻辑翻转。在这种情况下, 关键节点对包括 (Q1, Q2)、(Q1, Q4) 和 (Q1, Q6)。

如果 (Q1, Q2) 遭受 SEDU, 根据 TAC 的容错性, (Q3, Q4, Q5, Q6) 的逻辑值保持不变, 因为在 (TAC3, TAC4, TAC5, TAC6) 的输入中仅有一个节点 (Q1) 或 (Q2) 被翻转。根据 TSC 的容错性, (Out, Out_Bar) 的逻辑值保持不变, 因为在 TSC1 的输入中仅有一个节点 (Q1) 被翻转, 而在 TSC2 的输入中仅有一个节点 (Q2) 被翻转。

TABLE I

所提议的 SEDU 容错 PCDSA 电路的关键参数

参数	描述	默认值
L	晶体管长度	40 nm
W	晶体管宽度	120 nm
D	MTJ 纳米柱直径	40 nm
TMR(0)	TMR 比率在 0 V _{bias}	1.5
T _{free}	自由层厚度	1.3 nm
T _{oxide}	氧化层厚度	0.85 nm
R.A	电阻-面积乘积 V _{bias}	5Ω · μm ²
ΔTMR	TMR 比率的变化	0.03
ΔT _{free}	自由层厚度的变化	0.03
ΔT _{oxide}	氧化层厚度的变化	0.03
a	MTJ 的长度	40 nm
b	MTJ 的宽度	40 nm
V _{DD}	电压供应	1 V

如果 (Q1, Q4) 遭受 SEDU, 根据 TAC 的容错性, 由于 TAC1 的输入 (Q6, Q4, Q2) 对应于逻辑值 (1,0,1),

输出 (Q1) 将被放电至其初始逻辑值 '0' 在 TAC1 中。由于 TAC4 的输入 (Q3, Q1, Q5) 对应于逻辑值 (0,0,0), 输出 (Q4) 将被充电至其初始逻辑值 '1' 在 TAC4 中。根据 TSC 的容错性, (Out, Out_Bar) 保持其逻辑值不变, 因为 (Q1, Q2, Q3, Q4, Q5, Q6) 最终保持其初始逻辑值。

如果 (Q1, Q6) 遭受 SEDU, 根据 TAC 的容错性, 由于 TAC6 的输入 (Q5, Q3, Q1) 对应于逻辑值 (0,0,1), 输出 (Q6) 将被充电至其初始逻辑值 '1' 在 TAC6 中。由于 TAC1 的输入 (Q6, Q4, Q2) 对应于逻辑值 (1, 1, 1), 输出 (Q1) 将被放电至其初始逻辑值 '0' 在 TAC1 中。根据 TSC 的容错性, (Out, Out_Bar) 保持其逻辑值不变, 因为 (Q1, Q2, Q3, Q4, Q5, Q6) 最终保持其初始逻辑值。

III. 功能仿真与验证

基于物理基础的 STT-MTJ 紧凑模型 [40] 和商业 CMOS 40 nm 设计套件, 进行了混合仿真以展示所提议的 SEDU 容忍 PCDSA 的功能。表 I 列出了仿真中 STT-MTJ 和晶体管的关键参数。

A. 辐射电流注入模型

如图 5(a) 所示, 连接 PMOS 漏极和 NMOS 漏极的节点对高能粒子的撞击非常敏感。当敏感节点被撞击时, 其电压将变化为 '0' (或 '1')。因此, PMOS (或 NMOS) 的反向偏置耗尽区中的电场可以将其分离为电子-空穴对 [41]。这些电子和空穴向相反方向漂移, 空穴沉积在 PMOS 的漏极 (或电子沉积在 NMOS 的漏极), 这称为电荷沉积。因此, 当辐射粒子撞击 PMOS 晶体管的漏极时, 仅产生一个正瞬态脉冲。相反, 当辐射粒子撞击 NMOS 晶体管的漏极时, 仅产生一个负瞬态脉冲, 如图 5(b) 所示。

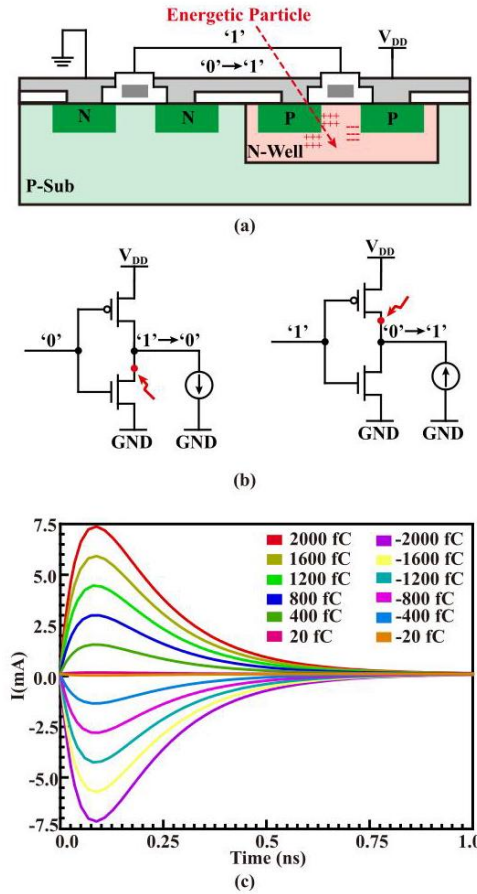


图 5. (a) 反相器中的电荷沉积物理机制; (b) 当反相器中的 NMOS 晶体管被撞击时, 产生负瞬态脉冲; 当反相器中的 PMOS 晶体管被撞击时, 产生正瞬态脉冲; (c) 在 $t = 0$ 处以不同值的 Q_{inj} 撞击的瞬态注入电流脉冲的形状。

通常, 由辐射效应引起的注入电流可以用 [42] 中提出的双指数电流源描述, 如下所示:

$$I_{inj}(t) = \frac{Q_{inj}}{\tau_1 - \tau_2} \times \left(e^{-\frac{t}{\tau_1}} - e^{-\frac{t}{\tau_2}} \right) \quad (1)$$

在这里, I_{inj} 和 Q_{inj} 分别表示注入电流和击中节点中沉积电荷的量, $T1$ 和 $T2$ 是与材料相关的时间常数。 Q_{inj} 的符号取决于击中晶体管的排水类型。如果它是处于关闭状态的 NMOS 晶体管的排水, 则 Q_{inj} 的符号为负。如果它是处于关闭状态的 PMOS 晶体管的排水, 则 Q_{inj} 的符号为正。一般来说, Q_{inj} 的值可以在 $-2pC$ 和 $+2pC$ 之间变化以进行模拟。图 5(c) 展示了一个瞬态注入电流脉冲在 $t = 0$ 处击打的示例, 具有不同的 Q_{inj} 值, 其中 $T1$ 和 $T2$ 分别设置为 $163ps$ 和 $50ps$ 。

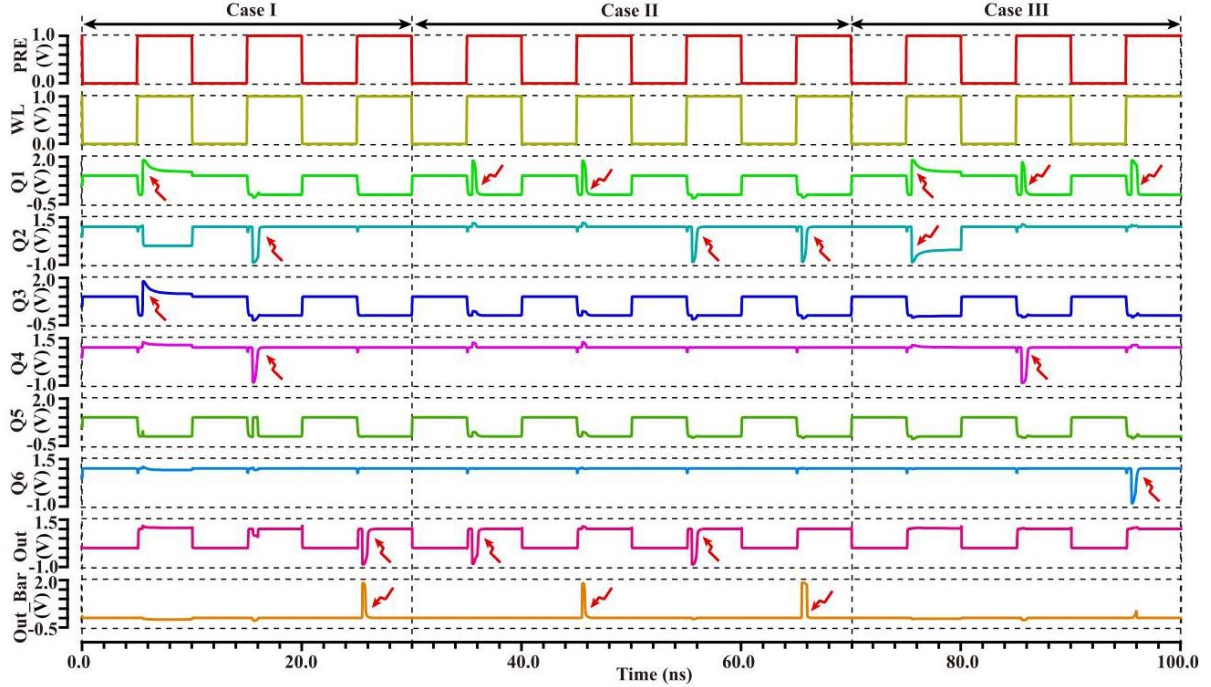


图 6. 考虑到上述三种击中节点对 $Q_{inj} = 20fC$ 的配置, 提出的 SEDU 容错 PCDSA 的瞬态仿真波形在 (MTJ0, MTJ1) 的 (R_P, R_{AP}) 状态下, 即感测结果为 '1'。

在以下模拟中, 为了说明 SEDU 对提出的 PCDSA 的影响, 同时在两个敏感节点上施加两个辐射电流脉冲。此外, 还考虑了最坏情况: 能量粒子的能量处于潜在破坏的极限, 并且所有粒子击中晶体管的排水。

B. 功能验证

图 4 显示了所提出的抗 SEDU PCDSA 的正常感应操作的瞬态仿真结果。然后, 我们通过考虑所有不同的两个敏感节点的组合来研究所提出的 PCDSA 的抗 SEDU 能力。如图 6 所示, 当 DMC 中存储的信息为 '1' 时, 我们检查了可能导致感应错误的上述三种不同类型的受影响节点对。特别是, 对于案例 I, 尽管对敏感节点 (Q1, Q3) 的 SEDU 注入改变了它们的逻辑值并且无法恢复, 但所提出的 PCDSA 的节点 Out 和 Out_Bar 保持其逻辑值不变; 尽管对敏感节点 (Q2, Q4) 的 SEDU 注入改变了它们的逻辑值, 但在经过一段时间后可以恢复, 并且所提出的 PCDSA 的节点 Out 和 Out_Bar 始终保持其逻辑值不变; 尽管对敏感节点 (Out, Out_Bar) 的 SEDU 注入改变了它们的逻辑值, 但在经过一段时间后可以恢复。对于案例 II, 对敏感节点 (Q1, Out) 或 (Q1, Out_Bar) 或 (Q2, Out) 或 (Q2, Out_Bar) 的 SEDU 注入改变了它们的逻辑值; 然而, 它们在经过一段时间后可以恢复, 即所提出的 PCDSA 的输出仍然没有故障。对于案例 III, 尽管对敏感节点 (Q1, Q2) 的 SEDU 注入改变了它们的逻辑值并且无法恢复, 但所提出的 PCDSA 的节点 Out 和 Out_Bar 保持其逻辑值不变; 尽管对敏感节点 (Q1, Q4) 或 (Q1, Q6) 的 SEDU 注入改变了它们的逻辑值, 但在经过一段时间后可以恢复, 并且所提出的 PCDSA 的节点 Out 和 Out_Bar 始终保持其逻辑值不变; 总之, 所提出的 PCDSA 对 SEDU 具有免疫性。

IV. 性能分析

A. 正常操作的可靠性分析

首先, 如图 7 所示, 在所提议的 PCDSA 中, 未包含元件 TSC2 时, 放电电流的差异 (例如, MTJ0 的 I0 和 MTJ1 的 I1) 在存储数据为 '1' 时仅为 $6.504\mu A$, 这远小于存储数据为 '0' 时的差异 (例如, $9.2665\mu A$)。因

此，之前仅使用一个 TSC 进行输出的方案在感知不同信息时具有巨大的可靠性差异，因为额外的寄生电容被引入到 Q1, Q3 和 Q5 中，并对放电分支产生了不对称性。结果，输出块中同时使用了 TSC1 和 TSC2，以确保对称性。此时，无论存储的数据是什么，放电电流的差异为 $8.2197\mu\text{A}$ ，而感知错误率 (SER) 在面积消耗的代价下保持平衡。此外，为了确保在之前的方案中描述的 SER 的最大值，以下仿真中存储的信息为 '1'。

为了评估所提议的 PCDSA 的 SER，进行了蒙特卡洛仿真 (每种情况 1000 次运行)，考虑了由 CMOS 工艺制造商固定的 CMOS 晶体管的 1σ 概率分布以及 MTJ 的 3% 工艺变化，包括 TMR 比率、自由层厚度和氧化物障碍层厚度。图 8(a) 显示了 TMR 对辐射抗扰方案的 SER 的影响。如图所示，当 TMR 从 100% 增加到 300% 时，所提议的 PCDSA 的 SER 大幅下降，从 45.1% 降至 6%，这意味着提高 TMR 可以改善感知操作的可靠性。

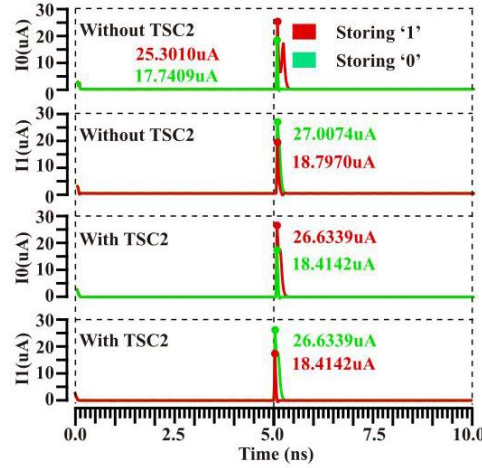


图 7. 在所提议的 PCDSA 中 (例如，无 TSC2 或有 TSC2) 当存储信息为 '1' 或 '0' 时，放电电流 (例如，MTJ0 的 I_0 和 MTJ1 的 I_1) 的瞬态仿真波形。

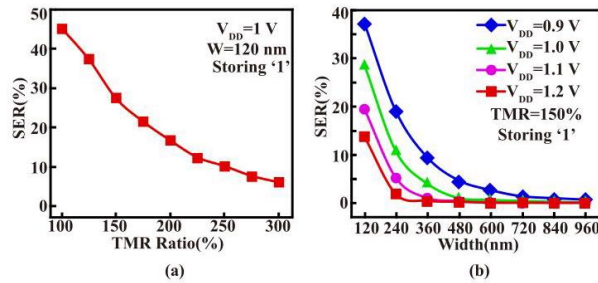


图 8. 所提议的 PCDSA 的感应错误率 (SER) 与 (a) 不同的 TMR, (b) 不同的晶体管宽度和不同的供电电压在存储信息为 '1' 时的关系。

图 8(b) 描述了在不同供电电压下，特定晶体管 (例如，所提议的 PCDSA 中的 N1-N12，之前提议的 TSC-PCDSA 中的 N1-N18) 的宽度与 SER 的关系 V_{DD} ，其中 TMR 比率为 150%。可以看出，在某一供电电压 V_{DD} 下，所提议的 PCDSA 的 SER 随着晶体管宽度的增加而降低，这是因为随着晶体管宽度的增加，两个放电支路中的电阻可以减小，放电电流的差异也可以增加，从而提高感应可靠性。同样，当供电电压 V_{DD} 增加时，在某一晶体管宽度下，所提议的 PCDSA 的 SER 也会降低，这是因为随着供电电压 V_{DD} 的增加，放电电流的差异可以增加，从而提高感应可靠性。值得注意的是，在 V_{DD} 为 0.9 V 或 1.0 V 或 1.1 V 或 1.2 V 时，当晶体管宽度增加到 840 nm, 600 nm 或 480 nm, 360 nm 时，SER 降至接近 0%。

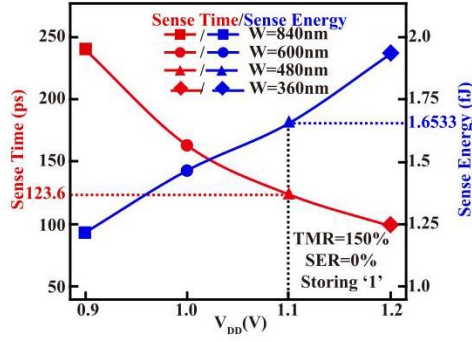


图 9. 在存储信息为‘1’且传感错误率 (SER) 为 0% 时, 所提议的 PCDSA 在不同供电电压下的感知时间和感知能量。

B. 感知速度与感知能量之间的权衡设计

我们研究了 V_{DD} 对所提议的 PCDSA 的感知时间和感知能量的影响。图 9 显示了通过将 V_{DD} 从 0.9 V 变化到 1.2 V 的相应蒙特卡洛模拟结果, 其中 TMR 比率为 150%, SER 为 0%。可以看出, 较低的供电电压 V_{DD} 会导致更长的感知时间, 但以牺牲感知能量为代价提高感知速度。为了实现更低的感知时间、感知能量和面积开销, 所提议的 PCDSA 的 V_{DD} 进行了 1.1 V 的权衡设计, TMR=150%, 宽度 =480 nm, 此时感知时间、感知能量和 SER 分别为 123.6ps、1.6533fJ 和 0%。在这种配置下, 先前提出的 TSC-PCDSA 的感知时间、感知能量和 SER 分别为 227.9 ps、2.1043 fJ 和 3.1%。模拟结果表明, 与先前提出的 TSC-PCDSA 相比, 所提议的 PCDSA 具有更高的速度、更低的功耗和更高的可靠性, 这归因于所提议的 PCDSA 减少了放电路径中的晶体管数量, 从而增加了放电电流差。

C. SEDU 容忍性分析

一般来说, SEDU 沉积电荷的范围在 $-2pC - 2pC$ 之间。如果 PCDSA 能够容忍 2pC 的沉积电荷, 则认为它可以完全容忍 SEDU。如图 10(a) 所示, 其中 Q_{inj} 为 2pC, 检查了可能引发传感错误的三种不同类型的击中节点对。仿真结果表明, 除了节点对 (Q1, Q2) 外, 节点 Out 和节点 Out_Bar 在带有 2pC 的能量粒子撞击其他节点对时, 仍然可以恢复到初始逻辑值或保持逻辑值不变。图 10(b) 和图 10(c) 显示, 当能量粒子撞击节点对 (Q1, Q2) 时, 最大沉积电荷仅为 33 fC。这可以通过增加敏感节点对 (Q1, Q2) 之间的距离来进一步优化布局设计, 以提高 SEDU 容忍度。最终, 无论哪个节点对受到影响, 最大沉积电荷都可以达到 2pC。这意味着通过进一步优化布局设计, 所提出的 PCDSA 可以完全容忍 SEDU。

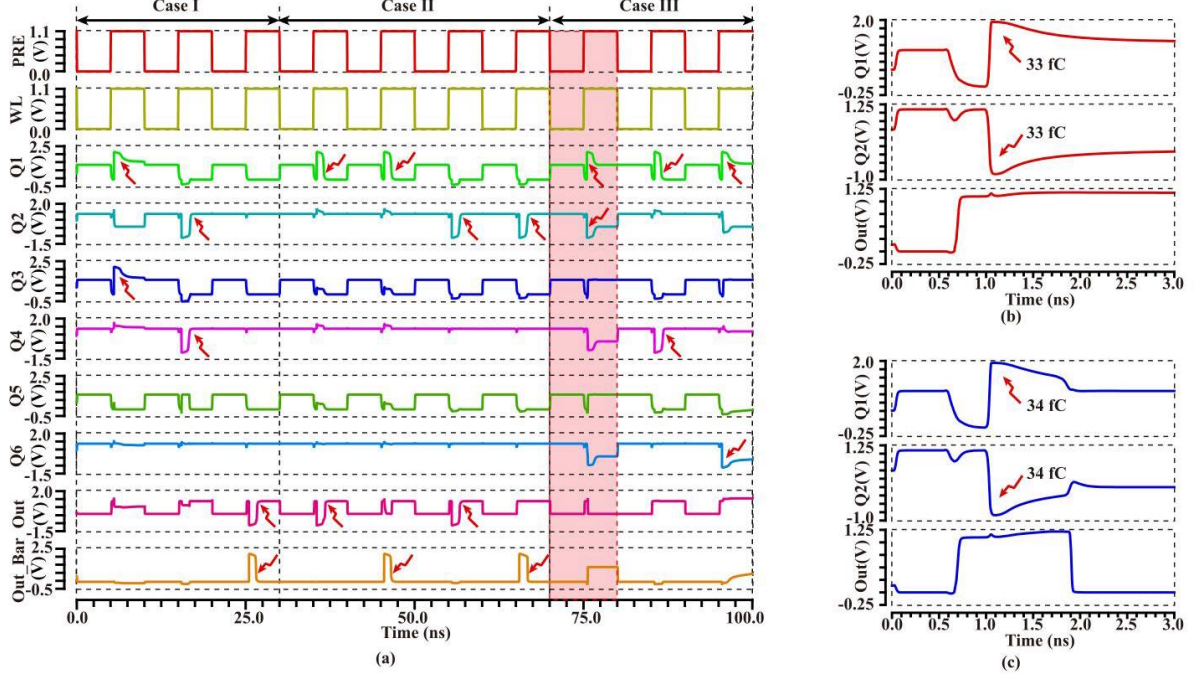


图 10. (a) 考虑上述三种类型的击中节点对 ($Q_{ini} = 2\text{pC}$) 的所提 SEDU 容忍 PCDSA 的瞬态仿真波形, 配置为 (MTJ0, MTJ1) 在 (R_P, R_{AP}) 状态, 即传感结果为'1'; 击中节点 (Q1, Q2) 的瞬态仿真波形:(b) ($Q_{inj} = 33\text{fC}$) 和 (c) ($Q_{inj} = 34\text{fC}$)。

D. 恢复时间和恢复能量分析

我们定义从节点 Out 下降到 50% 的恢复时间 (T_R), 该时刻是能量粒子撞击后, 到节点 Out 恢复到其初始逻辑值的一半的时刻, 恢复能量 (E_R) 定义如下:

$$E_R = V_{DD} \times \int_{T_R} I_{total}(t) dt \quad (2)$$

从图 10(a) 可以看出, 当能量粒子撞击节点对 (Q1, Out) 时, 相应的恢复时间和能量达到了最大值。图 11 显示了所提出的 PCDSA 在不同 Q_{inj} 下的最大恢复时间和能量。可以看出, 当 Q_{inj} 从 20 fC 增加到 2 pC 时, 恢复时间从 513.17 ps 增加到 1.28244 ns, 恢复能量线性增加, 从 4.6662 fJ 增加到 2.1604 pJ, 其中 TMR、N1-N12 的宽度和 V_{DD} 分别为 150%, 480 nm 和 1.1 V。因此, 随着辐射强度的提高, 感应结果的恢复是以更高的能量消耗为代价的。

E. 布局实现

混合 CMOS/MTJ 工艺可以用于制造 MTJ, 因为它们可以嵌入在 CMOS 电路上方。如图 12 所示, MTJ 的制造可以在 CMOS 工艺的后端进行, 从第一个金属层 (M1) 开始。在 M1 和 MTJ 底电极、MTJ 顶电极与第二金属层 (M2) 之间添加接触。图 12 显示了所提出的 SEDU 耐受 PCDSA 的布局, 该布局遵循 40 nm 布局设计规则, 其有效面积约为 $18.946\mu\text{m}^2$ 。

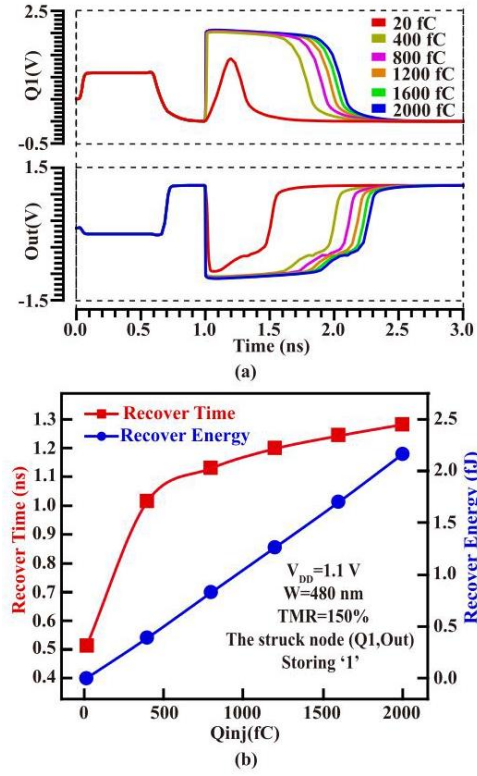


图 11. (a) 提出的 SEDU 容忍型 PCDSA 的节点 (Q1, Out) 的瞬态波形, 随着 Q_{inj} 从 20fC 变化到 2pC ; (b) Q_{inj} 对恢复时间和能量耗散的影响。

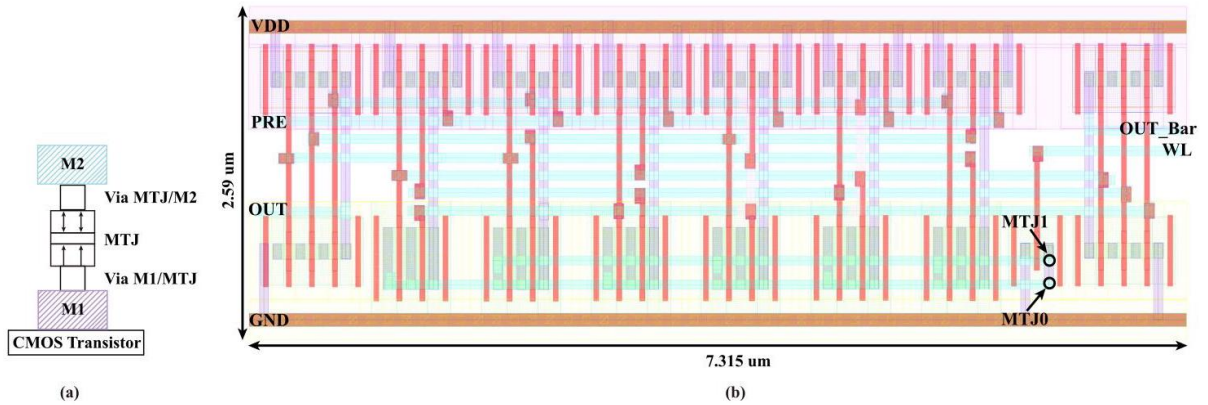


图 12. 通过使用 CMOS 40 nm 设计工具包实现的提出的 SEDU 容忍型 PCDSA 的布局。

TABLE II

在相同仿真条件下的性能比较

参数	FRHR-15T [43]	TSC-PCDSA [38]	本工作
静态功率	否	否	否
SER	51.10%	3.10%	0.00%
感知时间	25.24 ps	227.9 ps	123.6 ps
感知能量	0.093 fJ	2.1043 fJ	1.6533 fJ
电路级故障节点对	2	0	0
$Q_{inj-max}$ 的 SEDU ¹	1 pC	2 pC	2 pC
恢复时间 2	384.112 ps	539.14 ps	513.17 ps
恢复能量 2	11.9240 fJ	4.6838 fJ	4.6662 fJ
单元面积	6.425 μm^2	19.544 μm^2	18.946 μm^2

TMR 为 150%, 某些晶体管的宽度为 480 nm (在提出的 PCDSA 中为 N1-N12, 在之前提出的 TSC-PCDSA 中为 N1-N18), 而 V_{DD} 为 1.1 V。

¹ 提出的 PCDSA 的 SEDU 的 $Q_{ini-max}$ 可以通过优化其布局设计达到 2pC。

² Q_{inj} 是 20fC

F. 性能比较

在这一部分中, 所提出的 PCDSA 的性能与先前提出的 TSC-PCDSA 以及在 [43] 中提出的 FRHR-15T 进行了比较, 如表 II 所示。通过使用相同的商业 CMOS 40 nm 设计工具包和基于物理的 STT-MTJ 紧凑模型, 所有方案的性能在相同条件下进行评估, 其中 TMR 为 150%, 某些的宽度为 480 nm (在所提出的 PCDSA 中为 N1-N12, 在先前提出的 TSC-PCDSA 中为 N1-N18), 而 V_{DD} 为 1.1 V。对于正常的感应操作, 所提出的 PCDSA 与先前提出的 TSC-PCDSA 相比, 具有更高的速度、更低的功耗和更高的可靠性, 这归因于所提出的 PCDSA 减少了放电路径中的晶体管数量, 从而增加了放电电流差异。对于恢复操作, 所提出的 PCDSA 的最大存储电荷可以通过进一步优化布局设计达到 2pC。这意味着所提出的 PCDSA 可以完全容忍 SEDU。此外, 所提出的 PCDSA 在遭受 SEDU 时具有比先前提出的 TSC-PCDSA 更短的恢复时间和更低的恢复能量耗散。所提出的 PCDSA 的面积开销为 $18.946\mu m^2$, 这与先前提出的 TSC-PCDSA 的 ($19.544\mu m^2$) 相似。与 FRHR-15T 相比, 所提出的 PCDSA 在电路级没有故障节点对, 其 SEDU 的最大存储电荷可以达到 2pC。

V. 结论

在本文中, 提出了一种新颖的 PCDSA 电路, 该电路使用 6 个 TAC 和 2 个 TSC 来提供 SEDU 容忍性。通过减少放电路径上的晶体管数量并增加放电电流的差异, 所提出的 PCDSA 可以实现高速、低功耗和高可靠性。为了验证其功能并评估其性能, 采用基于物理的 STT-MTJ 紧凑模型和商业 CMOS 40 nm 设计套件进行了混合仿真。仿真结果表明, 当 TMR 为 150% 时, N1-N12 的宽度为 480 nm, 而 V_{DD} 为 1.1 V, 所提出的 PCDSA 在正常感应操作期间不会发生任何感应错误, 并且可以实现 123.6 ps 的高感应速度和 1.6533 fJ 的低感应能量。与之前提出的 TSC-PCDSA 相比, 感应可靠性得到了极大提高。此外, 感应时间和感应能量分别减少了 1.84 倍和 1.27 倍。当所提出的 PCDSA 遭受 SEDU 时, 仅通过优化布局设计即可完全容忍 SEDU。此外, 我们还研究了 Q_{inj} 对恢复时间和能量耗散的影响。结果表明, 随着 Q_{inj} 的增加, 会导致更长的恢复时间和能量耗散。在最坏的情况下, 当 Q_{inj} 为 2pC 时, 所提出的 PCDSA 可以实现 1.28244 ns 的更短恢复时间和低于之前提出的 TSC-PCDSA 的 2.1604pJ 的恢复能量耗散。总之, 尽管所提出的 PCDSA 和之前提出的 TSC-PCDSA 在面积开销上相似, 如表 II 所示, 但前者在感应延迟、感应功率和感应可靠性方面优于后者。

参考文献

- [1] A. Amirany, K. Jafari, 和 M. H. Moaiyeri, "高性能辐射硬化自旋电子保持锁存器和触发器用于高度可靠的处理器," IEEE 设备材料可靠性汇刊, 第 21 卷, 第 2 期, 页 215-223, 2021 年 6 月。
- [2] R. Rajaei, M. Fazeli, 和 M. Tabandeh, "基于 MRAM 的非易失性锁存器的软错误容忍设计用于顺序逻辑," IEEE 磁学汇刊, 第 51 卷, 第 6 期, 页 1-14, 2015 年 6 月。
- [3] S. Ikeda 等, "在 300K 下通过抑制 CoFeB/MgO/CoFeB 假自旋阀的钽扩散实现的 604% 隧道磁阻," 应用物理快报, 第 93 卷, 第 8 期, 页 67-70, 2008 年 8 月。
- [4] W. Kang 等, "自旋电子学: 超低功耗电路和系统的新兴技术超越 MOS 技术," ACM 新兴计算技术系统期刊, 第 12 卷, 第 2 期, 页 1-42, 2015 年 9 月。
- [5] E. Deng 等, "基于自旋转移力矩磁隧道结的同步 8 位非易失性全加器," IEEE 电路与系统 I 期刊, 常规论文, 第 62 卷, 第 7 期, 页 1757-1765, 2015 年 7 月。
- [6] R. Rajaei, "辐射硬化的非易失性 MRAM 基础 FPGA 设计," IEEE Trans. Magn., vol. 52, no. 10, pp. 1-10, 2016 年 10 月。
- [7] A. Amirany, K. Jafari, 和 M. H. Moaiyeri, "高可靠性的仿生自旋电子/CNTFET 多位元每单元非易失性存储器," AEU Int. J. Electron. Commun., vol. 158, 2023 年 1 月, Art. no. 154452。
- [8] O. Goncalves, G. Prenat, 和 B. Dieny, "针对 MRAM 基础 FPGA 的辐射硬化查找表," 在国际半导体会议德累斯顿-格勒诺布尔 (ISCDG) 论文集中, 2012 年 9 月, pp. 33-36。
- [9] A. Amirany, K. Jafari, 和 M. H. Moaiyeri, "高性能且抗软错误的自旋电子保持锁存器用于高可靠性处理器," 在第 28 届伊朗电气工程会议 (ICEE) 论文集中, 2020 年 8 月, pp. 1-5。
- [10] A. K. Shukla, S. Soni, 和 B. K. Kaushik, "新型辐射硬化的 DSOT-MRAM 读取外围电路, 具有减少的敏感节点," IEEE Trans. Circuits Syst. II, Exp. Briefs, vol. 70, no. 11, pp. 4236-4240, 2023 年 9 月。

- [11] G. Wakimura, T. Matsuoka, 和 Y. Kamakura, "关于 STT-MRAM 中软错误率的仿真研究," 发表在 IEEE 国际未来电子器件会议 (IMFEDK), Kansai, 2015 年 6 月, 第 104-105 页.
- [12] J. Lopes, G. Di Pendina, E. Zianbetov, E. Beigne, 和 L. Torres, "MRAM 基于非易失性基本结构的辐射效应," 发表在 IEEE 计算机学会年会 (VLSI), 2015 年 7 月, 第 321-326 页.
- [13] J. Yang 等, "STT-MRAM 的辐射诱导软错误分析: 从器件到电路的方法," IEEE 计算机辅助设计集成电路系统汇刊, 第 35 卷, 第 3 期, 第 380-393 页, 2016 年 3 月.
- [14] Y. Wang, Y. Zhang, E. Y. Deng, J. O. Klein, L. A. B. Naviner, 和 W. S. Zhao, "具有随机自旋转移扭矩开关的磁隧道结紧凑模型用于可靠性分析," 微电子学与可靠性, 第 54 卷, 第 9-10 期, 第 1774-1778 页, 2014 年 9 月.
- [15] M. Wang 等, "通过自旋轨道和自旋转移扭矩的相互作用实现垂直磁隧道结的无场开关," 自然电子学, 第 1 卷, 第 11 期, 第 582-588 页, 2018 年.
- [16] S. S. P. Parkin, R. Bhadra, 和 K. P. Roche, "通过薄铜层的振荡磁交换耦合," 物理评论快报, 第 66 卷, 第 16 期, 第 2152-2155 页, 1991 年 4 月.
- [17] T. Miyazaki, T. Yaoi, 和 S. Ishio, " $^{82}\text{Ni-Fe/Al-Al}_2\text{O}_3/\text{Co}$ 磁隧道结中的大磁阻效应," 磁性材料杂志, 第 98 卷, 第 1-2 期, 第 L7-L9 页, 1991 年 7 月.
- [18] R. Schad, C. D. Potter, P. Beliën, G. Verbanck, V. V. Moshchalkov, 和 Y. Bruynseraede, "在具有非常薄的 Fe 层的 Fe/Cr 超晶格中的巨磁阻," 应用物理快报, 第 64 卷, 第 25 期, 第 3500-3502 页, 1994 年 6 月.
- [19] T. Miyazaki, "在 Fe/ Al_2O_3 /Fe 结中的巨磁隧道效应," 磁性材料杂志, 第 139 卷, 第 3 期, 第 1231-1234 页, 1995 年 1 月.
- [20] W. H. Butler, X.-G. Zhang, T. C. Schulthess, 和 J. M. MacLaren, " Fe/MgO/Fe 三明治的自旋依赖隧道导电性," 物理评论 B, 凝聚态物质, 第 63 卷, 第 5 期, 2001 年 1 月, 文章编号 054416.
- [21] X. Fong, Y. Kim, R. Venkatesan, S. H. Choday, A. Raghunathan, 和 K. Roy, "自旋转移矩阵存储器: 设备、电路和系统," IEEE 会议录, 第 104 卷, 第 7 期, 页 1449-1488, 2016 年 7 月.
- [22] D. Apalkov 等, "自旋转移矩阵磁性随机存取存储器 (STT-MRAM)," ACM 新兴计算技术期刊, 第 9 卷, 第 2 期, 页 1-35, 2013 年.
- [23] W. Zhao, C. Chappert, V. Javerliac, 和 J.-P. Nozière, "用于 MTJ/CMOS 混合逻辑电路的高速、高稳定性和低功耗传感放大器," IEEE 磁学汇刊, 第 45 卷, 第 10 期, 页 3784-3787, 2009 年 10 月.
- [24] C. Wang, D. Zhang, L. Zeng, E. Deng, J. Chen, 和 W. Zhao, "一种基于 MTJ 的新型非易失性三元内容可寻址存储器, 适用于高速、低功耗和高可靠性搜索操作," IEEE 电路与系统 I 期刊, 常规论文, 第 66 卷, 第 4 期, 页 1454-1464, 2019 年 4 月.
- [25] C. Wang, D. Zhang, L. Zeng, 和 W. Zhao, "用于高速度、低功耗和高可靠性的优先决策磁性非易失性 TCAM 设计," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 67, no. 2, pp. 464-474, 2020 年 2 月.
- [26] F. Ren, A. Jander, P. Dhagat, 和 C. Nordman, "具有 MgO 隧道障碍的磁隧道结的辐射容忍性," IEEE Trans. Nucl. Sci., vol. 59, no. 6, pp. 3034-3038, 2012 年 12 月.
- [27] D. Kobayashi 等, "重离子辐照对垂直各向异性 CoFeB-MgO 磁隧道结的影响," IEEE Trans. Nucl. Sci., vol. 61, no. 4, pp. 1710-1716, 2014 年 8 月.
- [28] R. Rajaei, M. Tabandeh, 和 M. Fazeli, "组合逻辑的低成本电路级软错误缓解技术," Scientia Iranica Trans. Comput. Sci. Eng. Elect. Eng. (D), vol. 22, no. 6, pp. 2401-2414, 2015 年.
- [29] R. Rajaei, M. Tabandeh, 和 M. Fazeli, "在单事件多瞬态存在下组合逻辑的软错误率估计," J. Circuits, Syst. Comput., vol. 23, no. 6, 2014 年 7 月, Art. no. 1450091.
- [30] W. Kang 等, "一种使用磁隧道结的辐射硬化混合自旋电子/CMOS 非易失性单元," J. Phys. D, Appl. Phys., vol. 47, no. 40, 2014 年 10 月, Art. no. 405003.
- [31] R. Rajaei, M. Tabandeh 和 M. Fazeli, "在工艺和温度变化下的单事件多重翻转 (SEMU) 容忍锁存器设计," J. Circuits, Syst. Comput., vol. 24, no. 1, 2015 年 1 月, Art. no. 1550007.
- [32] P. K. Mukku 和 R. Lorenzo, "一种针对空间和地面应用的软错误翻转硬化 12T-SRAM 单元," Memories Mater., Devices, Circuits Syst., vol. 6, 2023 年 12 月, Art. no. 100092.
- [33] R. Sharma, D. Mondal 和 A. P. Shah, "一种具有改进写入能力的辐射硬化 12T SRAM 单元, 用于空间应用," Memories Mater., Devices, Circuits Syst., vol. 5, 2023 年 10 月, Art. no. 100071.
- [34] A. Yan, H. Liang, Z. Huang 和 C. Jiang, "高性能、低成本且高度可靠的辐射硬化锁存器设计," Electron. Lett., vol. 52, no. 2, pp. 139-141, 2016 年 1 月.
- [35] R. Rajaei, B. Asgari, M. Tabandeh, 和 M. Fazeli, "针对纳米技术的单事件多重效应的鲁棒 SRAM 单元设计," IEEE 设备材料关系期刊, 第 15 卷, 第 3 期, 第 429-436 页, 2015 年 9 月.
- [36] M. Karmakar, S. F. Naz, 和 A. P. Shah, "基于容错可逆逻辑门的 RO-PUF 设计," 记忆材料, 设备, 电路系统, 第 4 卷, 2023 年 7 月, 文章编号 100055.
- [37] R. Rajaei, "MOS/自旋电子学顺序和组合逻辑电路中的单事件双节点失效容忍," 微电子学关系, 第 69 卷, 第 109-114 页, 2017 年 2 月.
- [38] D. Zhang 等, "针对磁性随机存取存储器的完全单事件双节点失效容忍设计," 在 IEEE 国际电路与系统研讨会 (ISCAS) 论文集中, 2021 年 5 月, 第 1-5 页.

- [39] M. Shams, J. C. Ebergen, 和 M. I. Elmasry, "CMOS C 元件实现的建模与比较," IEEE 超大规模集成 (VLSI) 系统期刊, 第 6 卷, 第 4 期, 第 563-567 页, 1998 年 12 月.
- [40] Y. Zhang 等, "垂直各向异性 CoFeB/MgO 磁隧道结的紧凑建模," IEEE 电子器件期刊, 第 59 卷, 第 3 期, 第 819-826 页, 2012 年 3 月.
- [41] J. Guo, L. Xiao, 和 Z. Mao, "新型低功耗和高可靠性的辐射硬化存储单元用于 65 nm CMOS 技术," IEEE Trans. Circuits Syst. I, Reg. Papers, vol. 61, no. 7, pp. 1994-2001, 2014 年 7 月.
- [42] M. Singh 和 I. Koren, "模拟到数字转换器的故障敏感性分析和可靠性增强," IEEE Trans. Very Large Scale Integr. (VLSI) Syst., vol. 11, no. 5, pp. 839-852, 2003 年 10 月.
- [43] A. K. Shukla, S. Soni, 和 B. K. Kaushik, "高辐射耐受性 SOT-MRAM 读取外围电路与快速数据恢复," Phys. Scripta, vol. 98, no. 12, 2023 年 12 月, Art. no. 125301.



Jiaxin Yang 于 2023 年获得北京邮电大学电子科学与技术学士学位。她目前在中国北京航空航天大学集成电路科学与工程学院攻读硕士学位。她的研究兴趣包括混合 CMOS/自旋电子集成电路设计。



Ziyang Guo 目前在中国北京航空航天大学集成电路科学与工程学院攻读学士学位。他的研究兴趣包括混合 CMOS/自旋电子集成电路设计。



Shixuan Wang 目前在中国北京航空航天大学集成电路科学与工程学院攻读学士学位。他的研究兴趣包括混合 CMOS/自旋电子集成电路设计。



Jilong Liu 于 2023 年获得中国北京的北京航空航天大学微电子科学与工程学士学位，目前正在该校集成电路科学与工程学院攻读硕士学位。他的研究兴趣包括用于存储和逻辑应用的混合 CMOS/磁性电路。



Yue Zhang(IEEE 高级会员) 于 2009 年获得中国武汉华中科技大学光电子学学士学位，并于 2011 年和 2014 年分别获得法国巴黎南大学微电子学硕士和博士学位。目前，他是北京航空航天大学的教授。他当前的研究兴趣包括新兴的非易失性存储技术和混合低功耗电路设计。



Weisheng Zhao(IEEE 会士) 于 2007 年获得法国巴黎南大学的学位。目前，他是中国北京航空航天大学的原副校长，同时也是北京费尔特研究院的主任。他长期专注于自旋电子学存储和逻辑器件的研究。在最近五年中，他作为第一作者或通讯作者在《自然电子学》、《自然通讯》和《IEEE 会议录》上发表了超过 200 篇论文。谷歌学术显示的总引用次数超过 7500 次。他于 2017 年获得了享有盛誉的 IEEE Guillemin-Cauer 奖。2020 年至 2023 年，他担任《IEEE 电路与系统汇刊-I: 常规论文》的主编。他还在四本 SCI 期刊的编辑委员会中任职，包括《IEEE 电路与系统汇刊-I: 常规论文》、《IEEE 纳米技术汇刊》和《IET 电子快报》。



Lang Zeng(IEEE 高级会员) 于 2007 年和 2012 年分别在中国北京大学获得微电子学的学士和博士学位。从 2009 年到 2011 年, 他在普渡大学担任访问学者。2012 年至 2014 年, 他在北京大学微电子研究所担任博士后研究员。目前, 他是中国北京航空航天大学集成电路科学与工程学院的副教授。他的研究兴趣包括纳米尺度器件和二维材料中的载流子传输、全自旋逻辑器件、基于自旋电子学的类脑计算以及 PMA STT-MRAM 的可靠性问题。



Deming Zhang(IEEE 会员) 于 2011 年和 2017 年分别在中国北京航空航天大学获得电子与信息工程的学士和博士学位。目前, 他是北京航空航天大学集成电路科学与工程系的副教授。他的研究兴趣包括混合 CMOS/自旋电子集成电路设计、MRAM 电路设计和内存计算。