

电 工 电 子 实 验 报 告

课程名称： 电工电子实验（二）

实验名称： 数据选择器及应用

&触发器及应用

学 院： 通信与信息工程学院

班 级： B210111

学 号： B21011125

姓 名： 徐秋旸

指导教师： 林宏

学 期： 2022-2023 学年第 二 学期

电工电子实验教学中心

**数据选择器及应用**

**一、实验目的**

1.掌握可编程器件软硬件平台的使用方法。

2.熟悉数据选择器的工作原理与逻辑功能。

3.掌握数据选择器的应用方法。

**二、主要仪器设备及软件**

软件：ISE Design Suite 14.7

**三、实验原理（或设计过程）**

数据选择器是一种数据开关， 它将多个通道的数据经过选择，传送一路数据到公共数据通道上去。在数字通信中，数据选择器又名多路复用器（Multiplexers，简写MUX），数据分配器又称为多路解复用器。时分复用（TDM）和时分多址技术（TDMA）都是基于这样的工作模式，目的是为了充分利用通信信道的容量，大大降低系统的成本。常用的数据选择器集成芯片有四选一数据选择器（74153）和八选一数据选择器（74151）。

数据选择器输出，而任意一个组合逻辑函数可以写成最小项形式，适当地规定的值，便可以使Y=F，将用卡诺图表示，如图1所示。可以看出即相当于一个函数的数据，不同，函数也不同，因此我们可以用数据选择器实现任意的组合逻辑电路。

图片包含 图示

描述已自动生成

图1 MUX的卡诺图

**四、实验电路图**

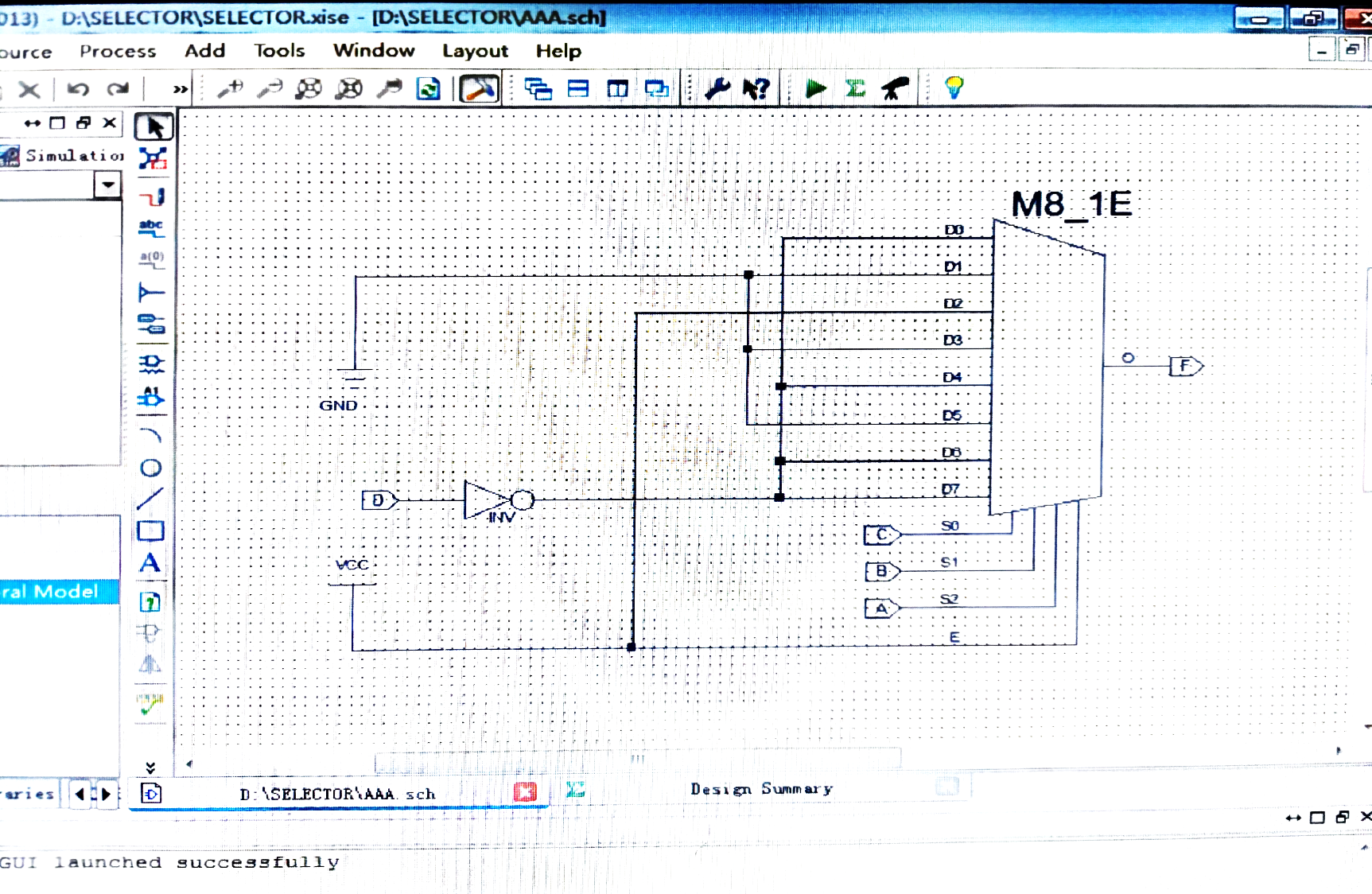


图2 用数据选择器实现组合逻辑函数实验电路图

**五、实验内容和实验结果**

1.试用数据选择器 M8\_1E 实现函数。

设计思路：

由函数表达式可得，项数为14，输入变量至少应有4位，输出为1位。数据选择器 M8\_1E 只有3个地址端，要实现此函数必须进行降维。

①真值表

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 输入 | | | | 输出 |
| A | B | C | D | F |
| 0 | 0 | 0 | 0 | 1 |
| 0 | 0 | 0 | 1 | 0 |
| 0 | 0 | 1 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 0 | 1 |
| 0 | 1 | 0 | 1 | 1 |
| 0 | 1 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 0 |
| 1 | 0 | 1 | 1 | 0 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 0 | 1 | 0 |
| 1 | 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 | 0 |

②卡诺图

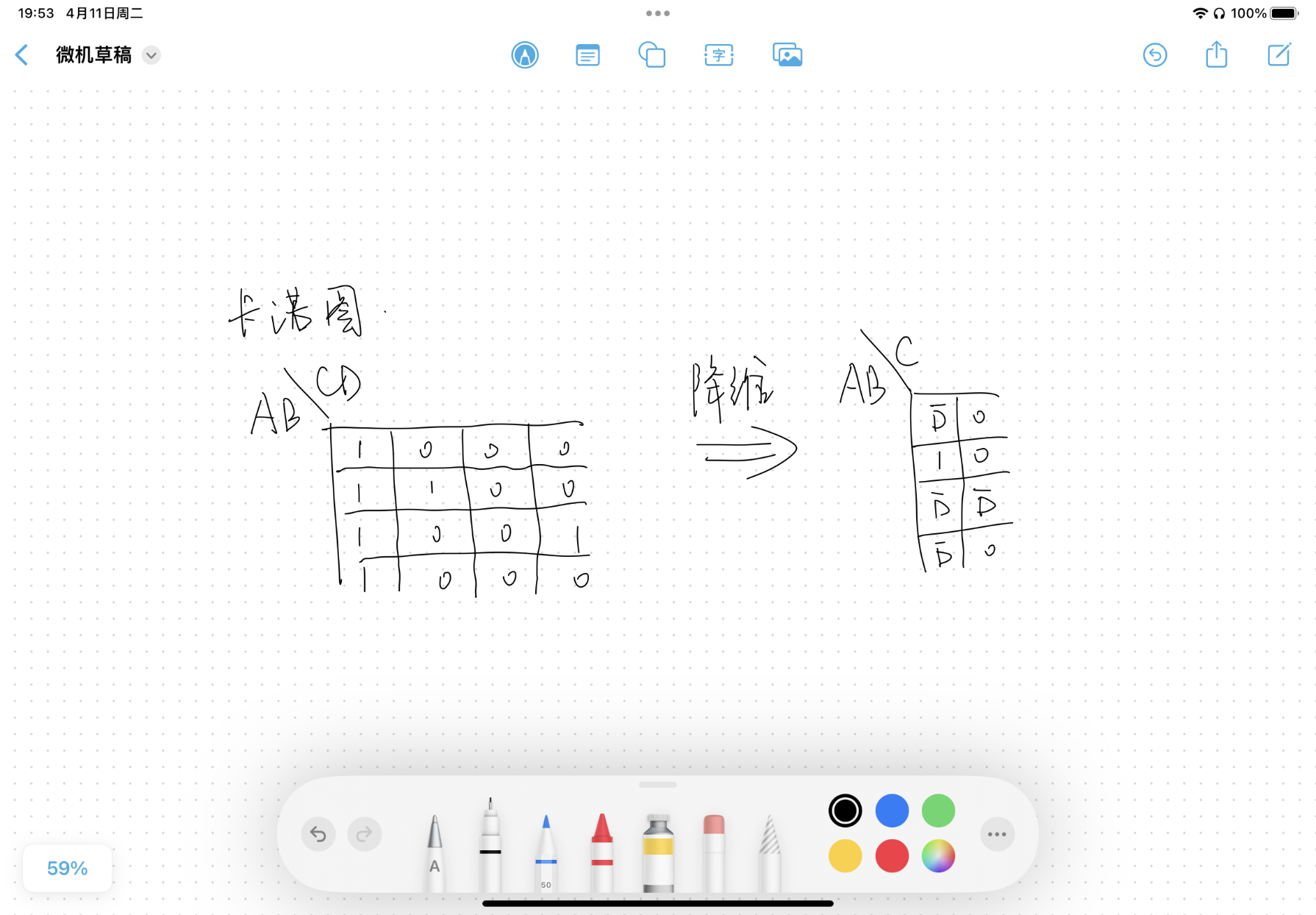


图3 数据选择器实现组合逻辑函数的卡诺图

由卡诺图可得数据输入端为：

;

;

。

2.仿真测试结果如下：

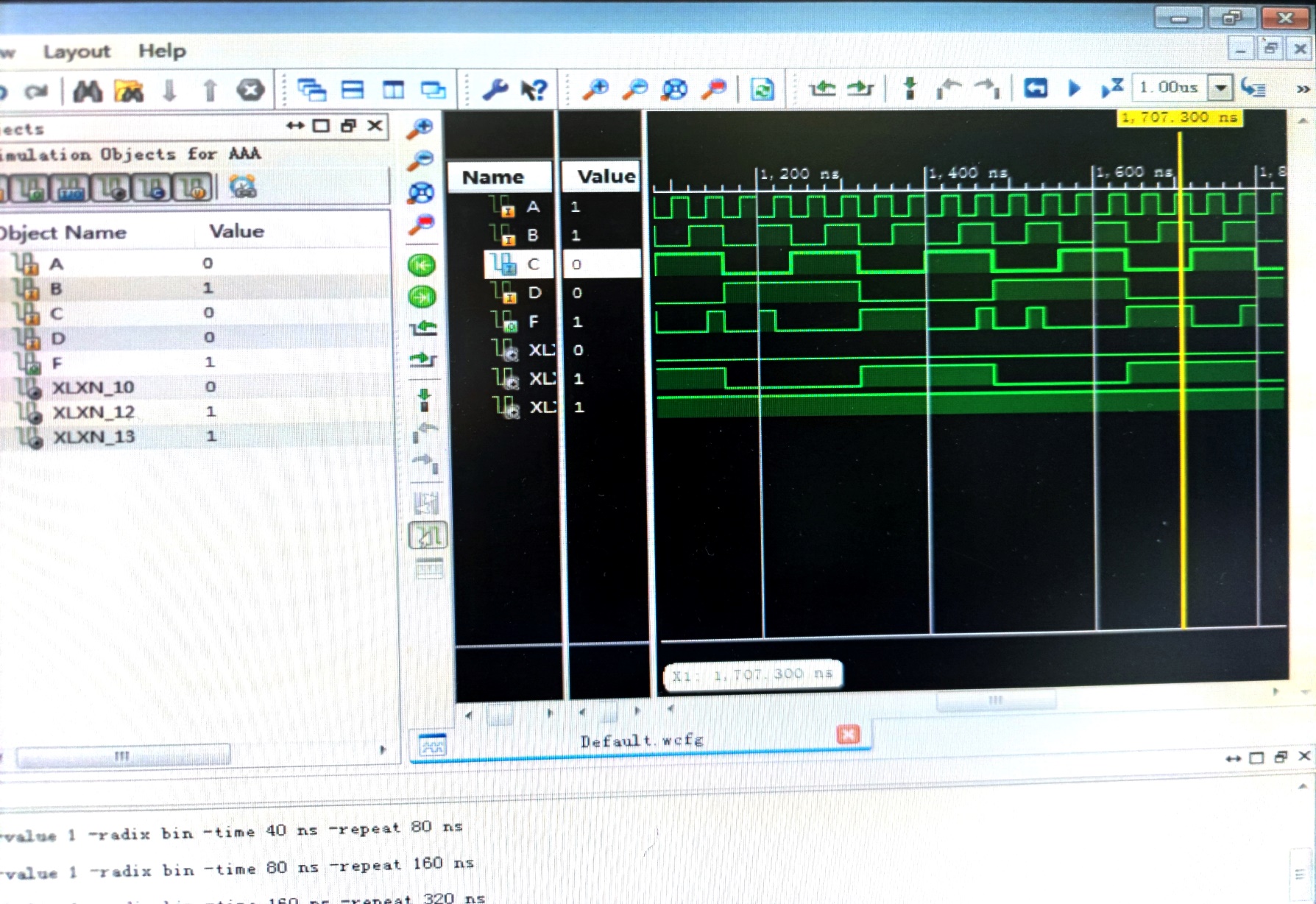


图4 数据选择器实现组合逻辑电路的仿真测试结果

由上图可知，仿真测试结果与真值表内容完全一致，满足设计要求。

3.上机烧录测试结果如下：

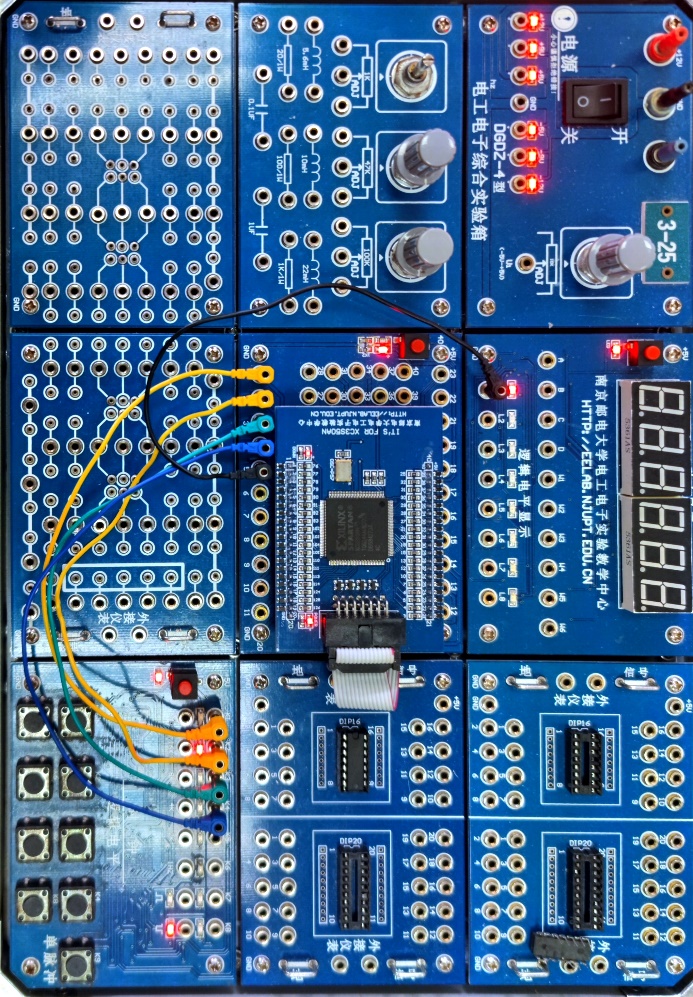


图5 数据选择器实现组合逻辑电路的烧录测试结果

由上图可知，烧录测试结果与要求一致，满足设计要求。

**六、结果分析**

使用数据选择器可以设计出所需的组合逻辑电路，满足设计要求。

**七、实验小结**

1.通过降维或者级联多片8选1数据选择器的方式可以实现输入变量大于三位的组合逻辑函数。

2.用数据选择器实现逻辑函数时，需要注意输入变量的高低位与选择器芯片地址端的对应关系。

3.用数据选择器实现函数时无须对函数进行化简，连线简单，电路实现方便。

**触发器及应用**

**一、实验目的**

1.掌握集成触发器的逻辑功能。

2.熟悉用触发器构成计数器的设计方法。

3.掌握集成触发器的基本应用方法。

**二、主要仪器设备及软件**

软件：ISE Design Suite 14.7

**三、实验原理（或设计过程）**

触发器是时序逻辑电路构成的基本单元电路，是联系组合逻辑电路和时序逻辑电路的桥梁。触发器是一种能记忆和存储一位二进制信息的时序电路。常用的触发器包括基本SR触发器、D触发器、JK触发器和T触发器。

**3bit可控延迟电路的电路模型：**

其中，CP是时钟脉冲信号，F1是脉冲输入信号（以“1000”的波形），F2是输出信号，K1和K2是两个控制开关，它们的组合决定了F2相对于F1延迟的秒数（0bit、1bit、2bit、3bit）。

图片包含 QR 代码

描述已自动生成

图6 3bit可控延迟电路的电路模型

**四、实验电路图**

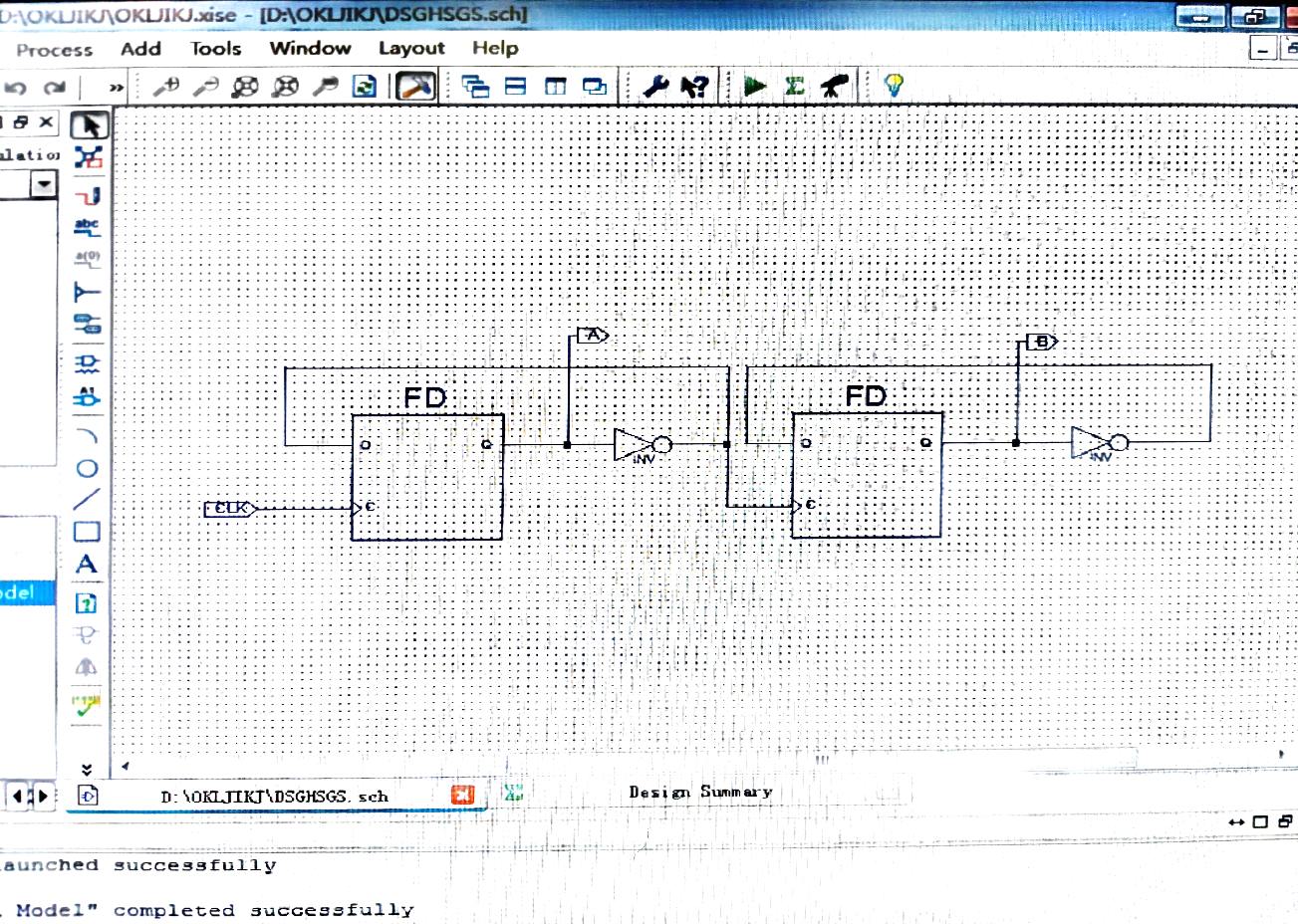
****

图7 2位二进制加法计数器

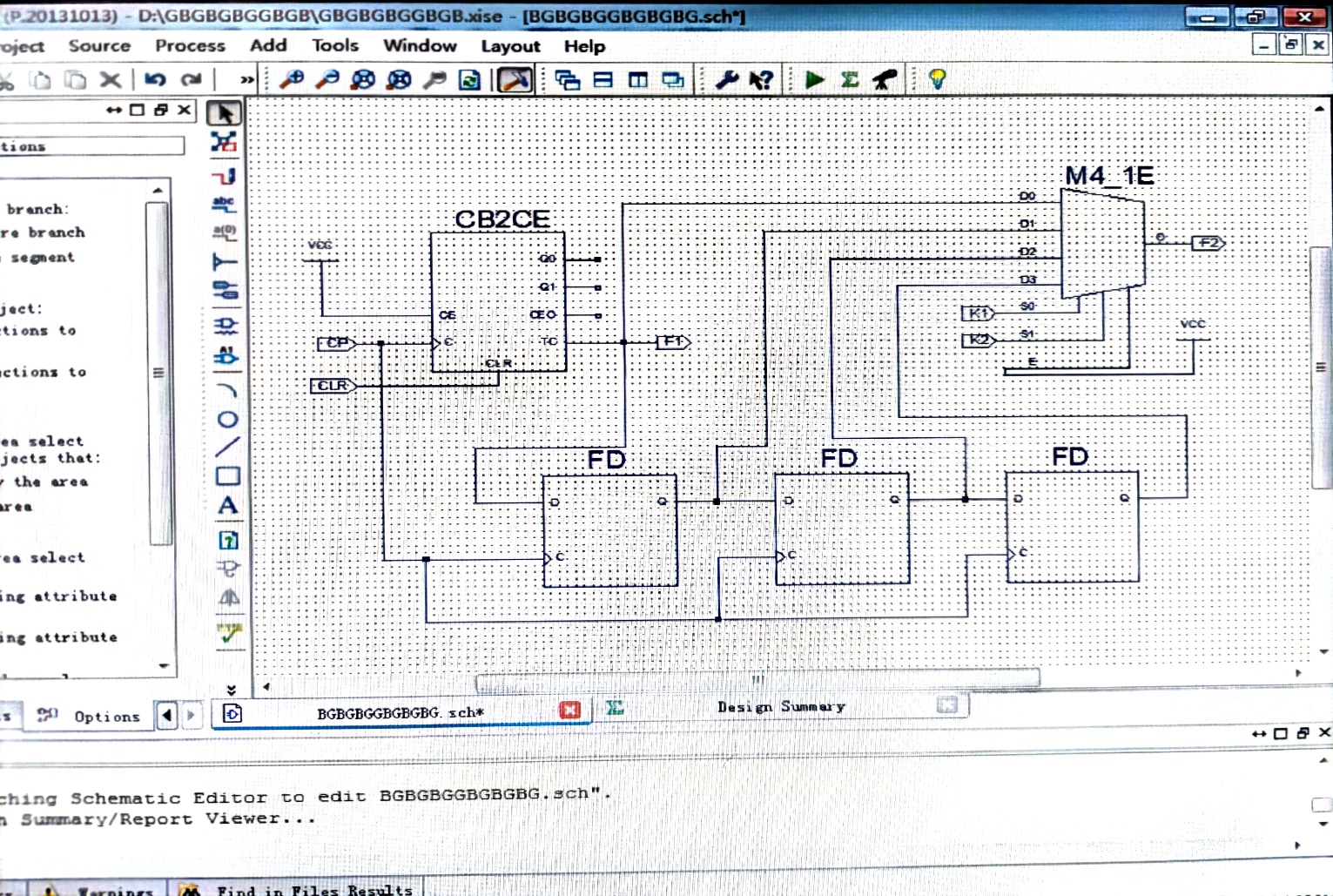


图8 3bit可控延迟电路实验电路图

**五、实验内容和实验结果**

1.用触发器设计2位二进制加法计数器。

设计图如上图7所示。

仿真测试如下：

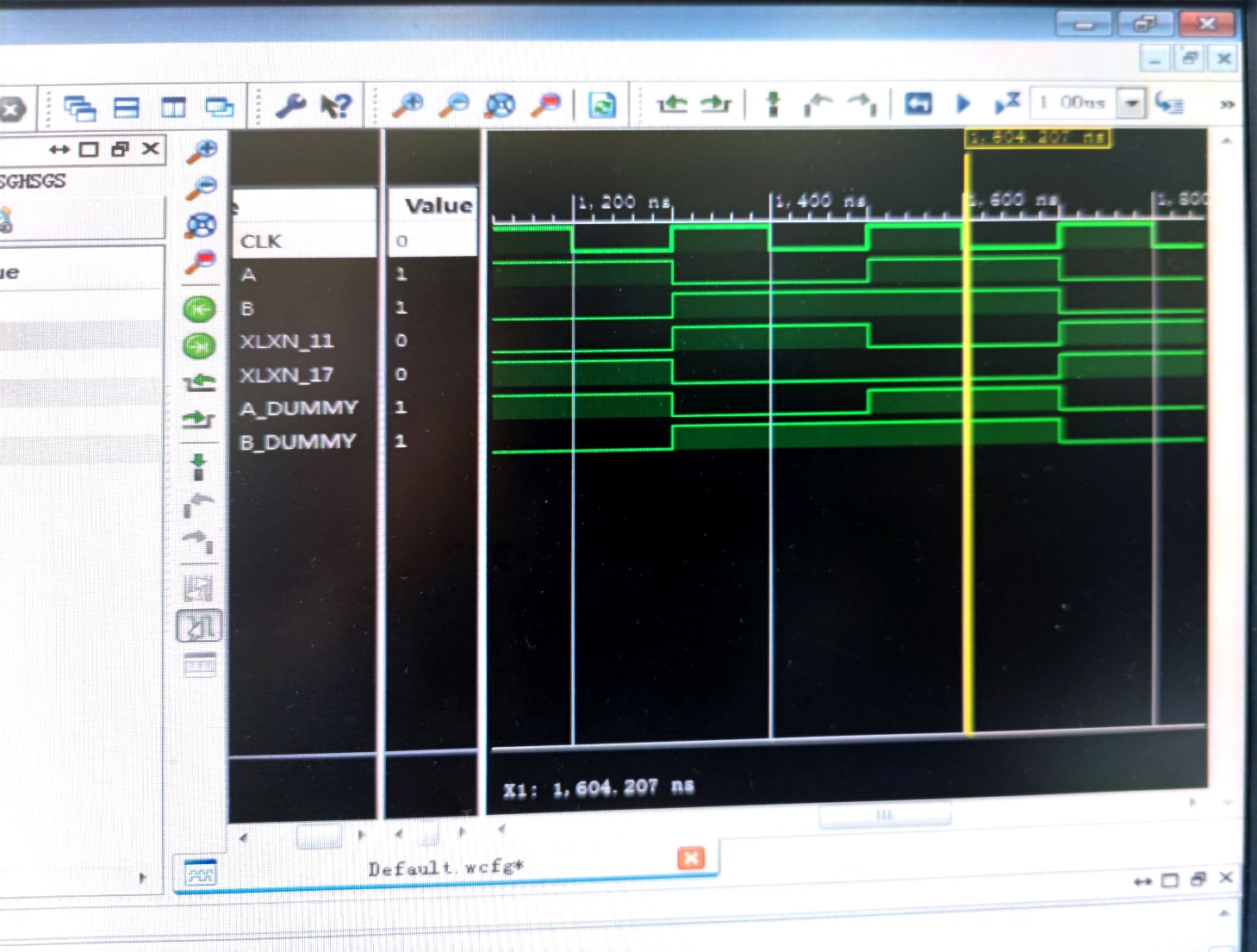
****

图9 D触发器2位二进制加法计数器仿真测试结果

由上图可知，仿真测试结果满足设计要求。

烧录测试结果如下：

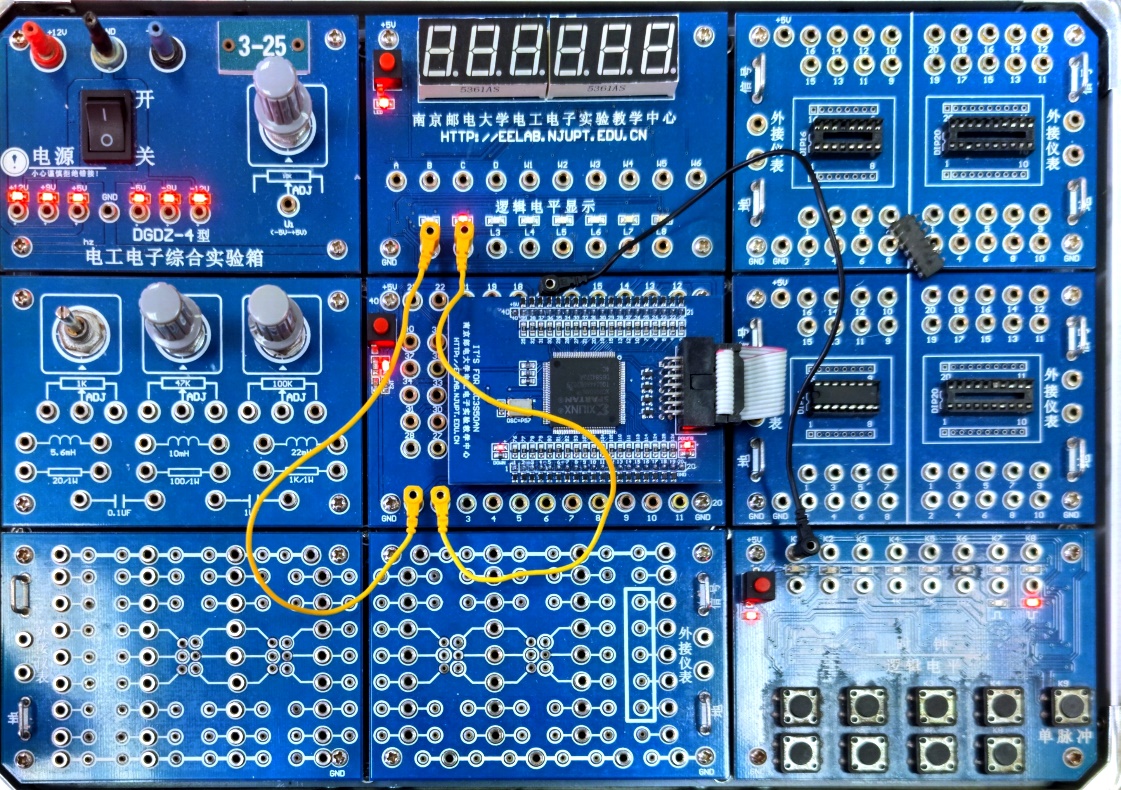
****

图10 D触发器2位二进制加法计数器烧录测试结果

由上图可知，烧录测试结果满足设计要求。

2.设计一个3bit可控延时电路。该电路有一个输入信号CP，一个串行输入信号F1（“1000”，自行设计），一个串行输出信号F2，F1和F2与CP同步，另有2个控制信号K1和K2。对该电路的逻辑功能要求：

(1) 当K2K1＝“00”时，F2和F1没有延时；

(2) 当K2K1＝“01”时，F2和F1延时1个时钟周期（1bit）；

(3) 当K2K1＝“10”时，F2和F1延时2个时钟周期（2bit）；

(4) 当K2K1＝“11”时，F2和F1延时3个时钟周期（3bit）。

设计图如上图8所示。

仿真测试结果如下：

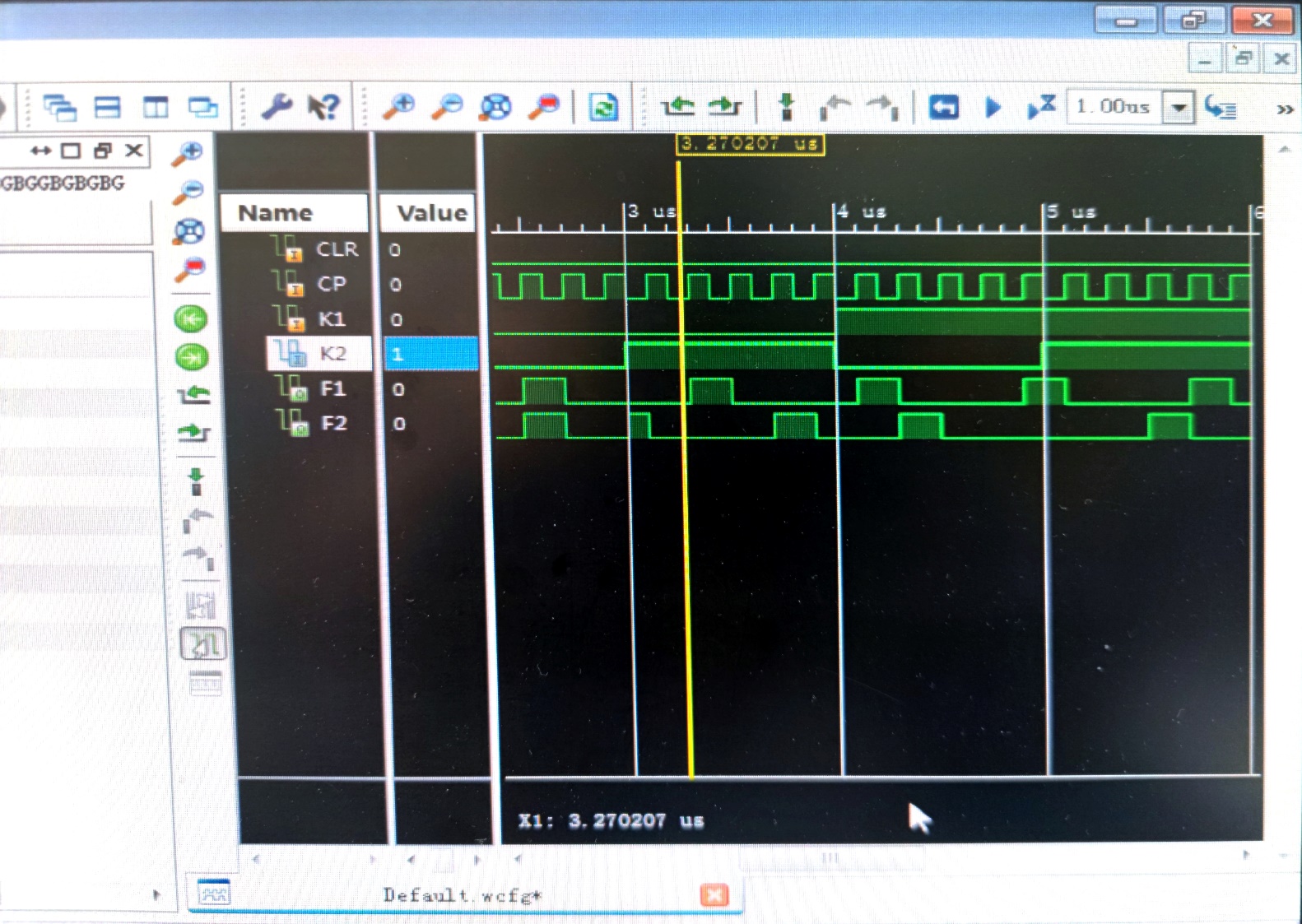


图11 3bit可控延迟电路的仿真测试结果

由上图可知，仿真测试结果满足3bit可控延迟设计要求。

烧录测试结果如下：

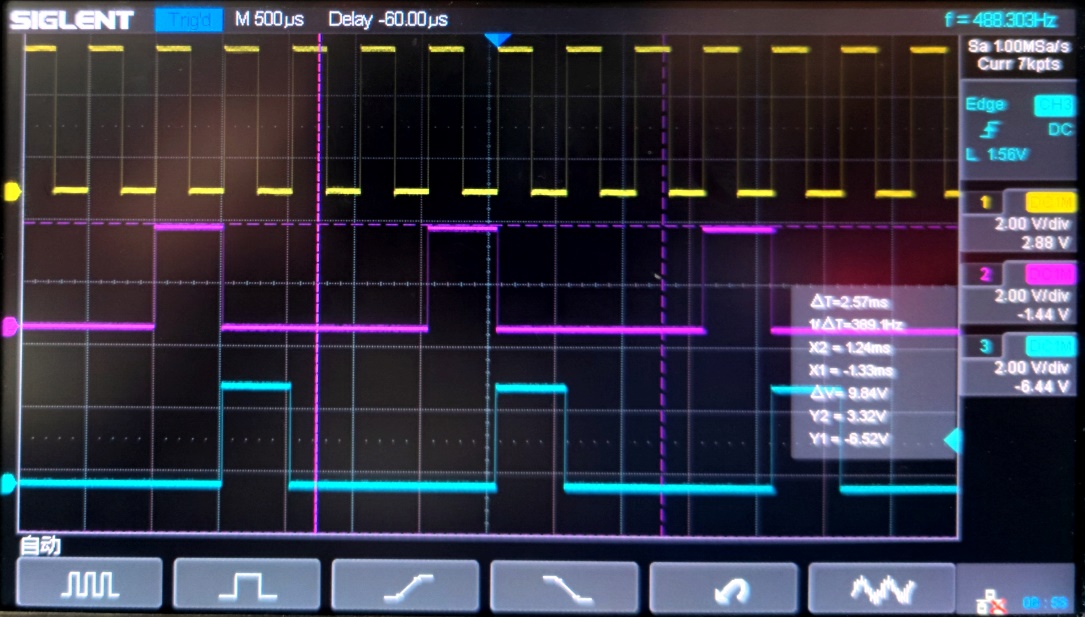


图12 3bit可控延迟电路的烧录测试结果

由以上波形可知，烧录测试结果满足3bit可控延迟设计要求。

**六、结果分析**

使用移位寄存器+数据选择器的组合，可以按要求实现3bit可控延迟电路。

**七、实验小结**

1.实现3bit延迟的方法有：①用3个DFF实现移位寄存器；②用电子开关实现3bit延迟。

2.序列信号的产生方法有：①由二进制加法计数器和数选构成；②由计数器的进位信号产生。

3.在进行仿真时，需要先进行异步清零操作，即将CLR端设为高电平，否则无法显示波形。但要注意CLR端口有过高电平后需要一直置为低电平，否则系统无法正常运行。