

计算机组成原理 课内实验

16学时

计算机试验001班 越杰001班

一、熟悉MIPS处理器指令集

- 采用Mars模拟器进行汇编程序设计
- 采用模拟器进行程序汇编、debug

二、采用VHDL或者Verilog HDL进行逻辑设计

- 逻辑模块的设计
- 逻辑模块之间的调用
- 测试模块的设计



三、单周期CPU设计

- 采用第六章的数据通路和第七章的控制器设计技术
- 在ModelSim环境下设计和仿真
- 支持尽可能完善的指令集

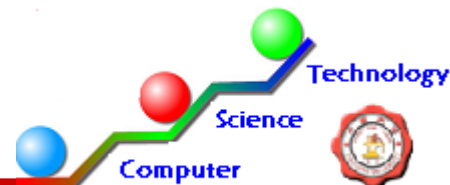
四、多周期CPU设计

- 采用第六章的数据通路和第七章的控制器设计技术
- 同样在ModelSim环境下设计实现和仿真测试
- 支持尽可能完善的指令集

五、流水CPU设计

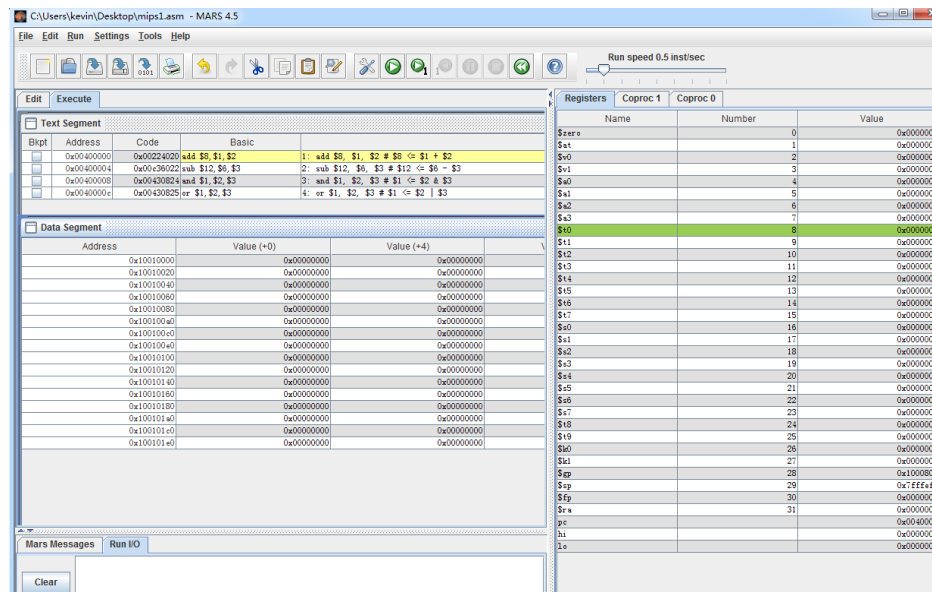
- 采用第六章的数据通路和第七章的控制器设计技术
- 同样在ModelSim环境下设计实现和仿真测试
- 支持尽可能完善的指令集

实验环境 (一)

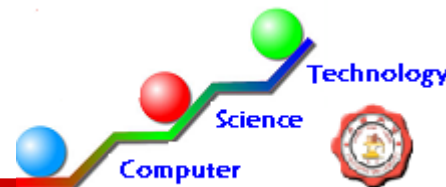


❑ MIPS汇编设计与运行调试在模拟器Mars下完成

- 位于网盘下Mars4_5.jar
- 模拟器Mars的运行需要Java支持，需要首先安装JDK环境
- JDK位于网盘jdk-8u191-windows-x64.exe



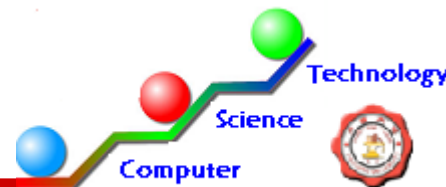
实验环境 (二)



□ VHDL或者Verilog HDL开发在ModelSim下进行

- 本实验只需要在ModelSim下进行设计和仿真，不需要在FPGA等硬件上实现
- ModelSim环境在网盘modelsim10.6c.zip，请自行安装
- VHDL以及Verilog HDL相关内容请提前自学

实验环境 (三)



❑ 实验相关参考资料在网盘提供

○ 网盘地址:

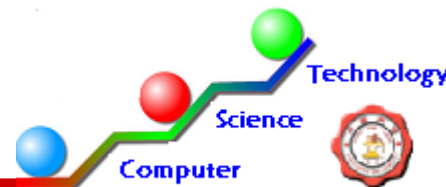
<https://pan.baidu.com/s/1a9BFqv3CMnq5hhAMaTBInA> 提取码: rrer

○ ModelSim软件的使用请参考软件的帮助系统以及网络资料

❑ 最终实验成绩以所设计CPU完整程度评定

- 二位学生为一组共同完成CPU设计与仿真（也可以单人完成）
- 先实现10条指令单周期和多周期CPU设计与仿真
- 完成上述2条后进行第1次验收，2位同学分别讲解，占总成绩60%（单人完成占80%）
- 同时完成组合逻辑和微程序多周期CPU设计与仿真，成绩增加10%
- 尽可能设计更多指令，ALU支持功能尽可能完善
- 鼓励完成指令流水CPU设计与仿真
- 最终进行第2次验收，并提交实验报告

实验时间



- 每周一次，每次4小时集中做实验
- 地点：西一楼二楼东段A-207
- 具体时间：周五下午2:00~6:00
- 若个别同学某次实验不能到实验室，须请假
- 实验中的问题均在集中实验时间向老师请教
- 最后一次实验时间为最终验收时间
- 根据个人情况适当增加分散实验时间