

## ARQUITECTURA DE COMPUTADORS II

### Junio de 2017

*Duración: 3 horas como máximo.*

Publicación de notas: 19 de Junio

Revisión: 20 de Junio de 12 a 13 h (D6214)

#### EJERCICIO 1: (3 puntos)

Un procesador serie consume una potencia de 20W. En un cambio de tecnología de fabricación se reduce el retardo de puerta un 30% y también se reduce la capacidad efectiva equivalente un 20%. Como se utiliza escalado con campo eléctrico constante se reduce la tensión de alimentación un 25%.

**Pregunta a:** Calcule la potencia disipada al implementar el procesador en la nueva generación tecnológica.

Para incrementar el rendimiento el procesador se segmenta en 3 etapas, lo cual representa un incremento de área de un 6%. La frecuencia del procesador segmentado se incrementa por un factor de 2.8X y la tensión de alimentación se incrementa un 10% respecto al procesador serie en la nueva tecnología. Por otro lado se mide que la productividad en MIPS se incrementa un factor de 2.5X.

**Pregunta b:** Respecto del procesador serie implementado en la nueva tecnología, calcule en cuánto se reduce el tiempo de ejecución. Así mismo, calcule en cuánto se reduce la productividad en IPC del procesador segmentado.

**Pregunta c:** Calcule el incremento de energía consumida en el procesador segmentado respecto del procesador serie implementados en la nueva generación tecnológica.

Una modificación microarquitectónica es hacer que el procesador segmentado interprete 2 instrucciones de forma paralela (procesador superescalar). En esta implementación se reduce la frecuencia de funcionamiento del procesador superescalar un 10%, lo cual permite reducir la tensión de alimentación un 7%. El coste de la implementación superescalar, respecto al procesador segmentado, es un 40% de incremento en el área. En cuanto al rendimiento se mide que la productividad (IPC) se incrementa un 80% respecto al procesador segmentado.

**Pregunta d:** Calcule la reducción energética del procesador superescalar respecto del procesador segmentado implementados en la nueva generación tecnológica.

El programa es paralelizable para 2 procesadores, siendo la fracción serie un 4%. Una modificación arquitectónica posterior es disponer 2 procesadores superescalares en el mismo chip. La frecuencia de funcionamiento de estos procesadores es el 98% de la frecuencia de funcionamiento del procesador superescalar. La capacidad efectiva equivalente se multiplica por 2.1X y la tensión de alimentación se reduce un 6%.

**Pregunta e:** Calcule la reducción energética del chip biprocesador respecto del procesador superescalar implementados en la nueva generación tecnológica. Considere que los 2 procesadores están consumiendo energía durante todo el tiempo.

**EJERCICIO 2: (3.5 puntos)**

Suponga un procesador con las siguientes instrucciones de lenguaje máquina.

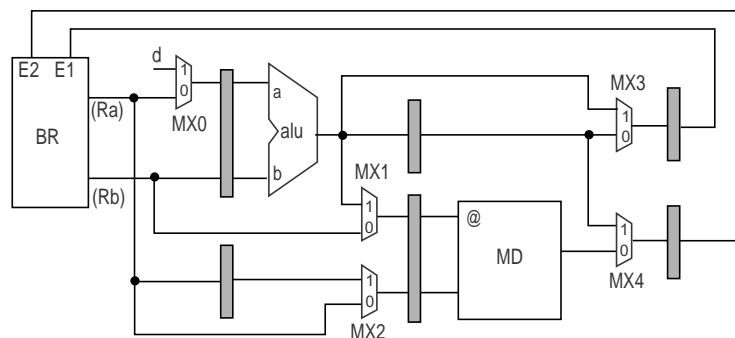
EN	Rd = Ra op Rb		1) y 2) indica orden entre microoperaciones	
LDpos	1) Rd = M[Rb]	2) Rb = Rb + d	STpos	1) M[Rb] = Ra 2) Rb = Rb + d
LDpre	1) Rb = Rb - d	2) Rd = M[Rb]	STpre	1) Rb = Rb - d 2) M[Rb] = Ra

Las dos microoperaciones se ejecutan concurrentemente

En las instrucciones LDpos (postincremento) y LDpre (predecremento), Rd y Rb son siempre distintos. El procesador dispone de 6 etapas e interpreta las instrucciones según los patrones siguientes:

	ciclo					
	1	2	3	4	5	6
EN	CP	B	DL	ALU	E	
LDpos	CP	B	DL	ALU/M	E	
LDpre	CP	B	DL	ALU	M	E
STpos	CP	B	DL	ALU/M	E	
STpre	CP	B	DL	ALU	M	E

La figura muestra el camino de datos, que no incluye las etapas CP y B. El banco de registros (BR) dispone de 2 puertos de lectura y de 2 puertos de escritura. En el mismo ciclo de reloj se puede escribir y leer, en este orden, un mismo registro. La memoria de datos (MD) dispone de un único puerto de acceso y permite solo 1 acceso por ciclo.



Los riesgos se detectan en la etapa de decodificación y se resuelven bloqueando el flujo de instrucciones en las tres primeras etapas.

**Pregunta a:** Para cada tipo de instrucción, deduzca los valores que deben tomar las señales de control de los multiplexores en los ciclos 3, 4 y 5. Suponga que, para actualizar el banco de registros, las instrucciones EN utilizan el puerto E1, las instrucciones STpre y STpos utilizan el puerto E2.

**Pregunta b:** Indique las latencias de inicio prohibidas entre parejas de instrucciones en función del tipo debido a los riesgos estructurales.

**Pregunta c:** Indique los tipos de dependencias de datos debido a registros que pueden ocasionar riesgos. Para cada riesgo deduzca el número de comparadores de identificadores de registros necesarios para detectarlos.

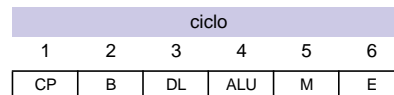
**Pregunta d:** Indique el número de puertos de escritura al banco de registros y el número de caminos de acceso a la memoria de datos necesarios para que el procesador pudiese interpretar cualquier secuencia de instrucciones sin riesgos estructurales. Justifique la respuesta mediante un cronograma de ejecución de una pareja de instrucciones que muestre la necesidad de dichos recursos.

**Pregunta e:** Suponga que el camino de datos dispone de los recursos necesarios para evitar riesgos estructurales. Cualquier par de instrucciones consecutivas con dependencia de datos verdadera debida a registros puede ocasionar riesgos. Justifique por qué.

Deduzca, para cualquier pareja de instrucciones consecutivas, los posibles riesgos de datos que pueden ocasionar. Utilice la siguiente nomenclatura: raw (lectura después de escritura), waw (escritura después de escritura), war (escritura después de lectura).

**Pregunta f:** Suponga que, en el camino de datos original, cualquier instrucción debe tener todos los datos fuente al finalizar la etapa de D/L. Añada en el esquema del camino de datos los cortocircuitos necesarios para reducir los riesgos debidos a dependencias de datos. Suponga que los datos se transfieren al final de ciclo. Seleccione como origen de un cortocircuito la ubicación donde no exista incertidumbre sobre la elección del dato que se transmite. Esto es, no se requiere un análisis del control del camino de datos. Etiquete en el esquema el origen de los cortocircuitos (a, b, ...). Para cada origen de cortocircuito, indique los tipos de instrucciones que pueden producir el dato a transferir. Si es cualquier tipo, indique TODAS.

En una nueva implementación, el procesador se segmenta linealmente en 6 etapas:



**Pregunta g:** Añada, en el esquema del camino de datos que se adjunta, las conexiones entre componentes necesarias para interpretar cualquier instrucción. No incluya los cortocircuitos.

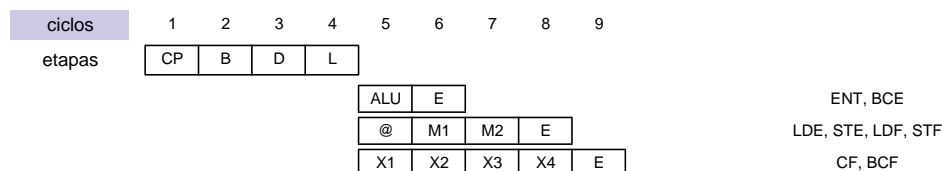
### EJERCICIO 3: (3.5 puntos)

Un procesador segmentado multiciclo interpreta instrucciones del siguiente repertorio:

ENT	$Rd = Ra \text{ op } Rb$	CF	$Fd = (Fa \text{ op1 } Fb) \text{ op2 } Fc$
LDE	$Rd = M[Rb+d]$	LDF	$Fd = M[Rb+d]$
STE	$M[Rb+d] = Ra$	STF	$M[Rb+d] = Fa$
BCE	si cond (Ra) entonces $CP = CP+d$ sino $CP = CP+4$	BCF	si cond (Fa) entonces $CP = CP+d$ sino $CP = CP+4$

Las instrucciones CF tienen 3 datos fuente y especifican dos operaciones de cálculo con datos coma flotante (op1: multiplicación, op2: suma).

El procesador, que funciona a 2.8 GHz, interpreta las instrucciones del repertorio de acuerdo con la siguiente segmentación:



El camino de datos correspondiente a la parte de ejecución consta de 3 ramificaciones. La ramificación superior ejecuta las instrucciones ENT y BCE. La ramificación central ejecuta las instrucciones de acceso a memoria. La tercera ramificación ejecuta las instrucciones CF y BCF. El camino de datos dispone de suficientes recursos para que no se produzcan riesgos estructurales.

Hay dos bancos de registros (enteros y coma flotante). En cada banco, un mismo registro se puede escribir y leer, en este orden, en el mismo ciclo. El camino de datos dispone de cortocircuitos para transferir los resultados que generan las ramificaciones hacia los registros de desacoplo de entrada de las ramificaciones (salidas de la etapa L).

Los riesgos de datos se detectan en la etapa D y se resuelven bloqueando las etapas D, B y CP. El procesador no dispone de ningún mecanismo para gestionar riesgos de escritura después de escritura. Las instrucciones han de estar convenientemente ordenadas para que las dependencias de salida no provoquen riesgos.

En la interpretación de instrucciones de secuenciamiento, el procesador utiliza predicción "fija salta". En la etapa D se calcula la dirección destino de salto y se modifica el secuenciamiento. La predicción se comprueba en el primer ciclo de la fase de ejecución (etapa ALU para BCE, etapa X1 para BCF). En caso de error, se inicia la recuperación en dicho ciclo.

Como programa de prueba utilizaremos el siguiente bucle:

```

for (i=0; i<N; i++)          1$: Fload  f3,0(r3)      ; i1
    y[i] = a • x[i] + y[i];    Fload  f5,0(r4)      ; i2
                                Fmuladd f4,f3,f2,f5    ; i3 f4 = (f3xf2) + f5
                                Fstore  f4,0(r4)      ; i4
                                Add     r3,r3,#8       ; i5
                                Add     r4,r4,#8       ; i6
                                Cmpgt   r1,r4,r8      ; i7 r1 = (r4 > r8)
                                Beq     r1,1$         ; i8

```

Valores iniciales: r3=dirección primer elemento del vector x; r4=dirección primer elemento del vector y; f2=a; r8=dirección del último elemento del vector y; los vectores x e y ocupan posiciones de memoria disjuntas

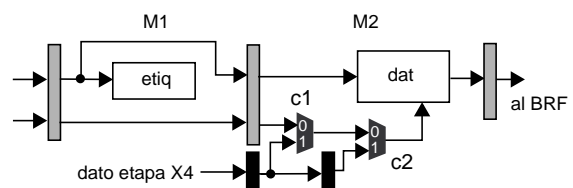
**Pregunta a:** Muestre el grafo de dependencias de datos entre las 8 instrucciones de una iteración. Etiquete las dependencias verdaderas con el retardo productor-uso.

**Pregunta b:** Muestre el cronograma de ejecución de una iteración y de la primera instrucción de la siguiente iteración. Marque con una flecha vertical los cortocircuitos utilizados. Calcule la productividad en MFLOPS.

Una opción para mejorar el rendimiento es desenrollar el bucle. Suponga que el compilador desenrolla el cuerpo del bucle en un factor k antes de planificar las instrucciones. Considere que k es divisor entero de N y que es suficientemente grande para eliminar todos los riesgos de datos en tiempo de ejecución.

**Pregunta c:** Calcule, en función del factor de desenrolle k y de la frecuencia de reloj f, la productividad en MFLOPS. Indique el valor mínimo de k para eliminar todos los riesgos de datos.

Para reducir el retardo productor-uso entre una pareja de instrucciones CF-STF, se añaden al camino de datos 2 cortocircuitos que transfieren los resultados de la ramificación de cálculo en coma flotante hacia la ramificación de memoria. En la figura se muestra el esquema. Observe que el resultado del cálculo está disponible durante 2 ciclos.



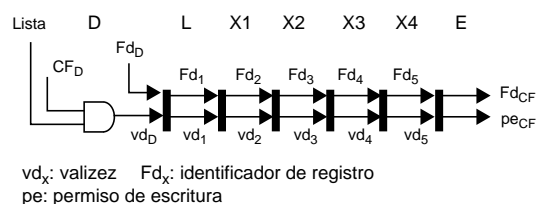
**Pregunta d:** Dibuje el cronograma de ejecución de la siguiente secuencia de 5 instrucciones. Indique los valores que deben tomar las señales de control de los multiplexores de encaminamiento de datos en las instrucciones Fstore.

```

Fmuladd f4,f3,f2,f
Add r5,r4,r5
Fstore f4,0(r4)
Fstore f4,-8(r2)
Fstore f4,0(r3)

```

Las señales de control de los multiplexores c1 y c2 se calculan en la etapa D y se propagan por la ramificación de memoria. En la figura se muestra el circuito que controla la escritura de los resultados de la ramificación de cálculo coma flotante en el banco de registros.



**Pregunta e:** Diseñe el circuito combinacional que calcula las señales de control de los cortocircuitos c1 y c2. Suponga que los identificadores de registros válidos que se propagan por el circuito son disjuntos.

**Pregunta f:** La incorporación de los cortocircuitos c1 y c2 requiere modificar la lógica que detecta, en las instrucciones STF, la disponibilidad del dato fuente coma flotante. Justifique la necesidad de modificarla. Proponga cómo se debe corregir la detección de disponibilidad.