

MULTIPROCESADORES

Enero de 2018

NOTA: el valor final de un cálculo debe ir acompañado de las unidades, si es el caso. Los valores numéricos deben expresarse en notación científica y con redondeo al número más próximo en las centésimas.

EJERCICIO 1 (2 puntos)

Durante la ejecución de una aplicación en un multiprocesador se distinguen 3 modos: a) se utilizan todos los procesadores, b) se utiliza la mitad de los procesadores y c) se utiliza un procesador. Cuando el número de procesadores es 100, se mide que durante el 2% del tiempo sólo se utiliza un procesador y se calcula una ganancia de 80 respecto de una ejecución serie.

Pregunta a: En una ejecución paralela, calcule la fracción del tiempo en la que sólo se utilizan la mitad de los procesadores.

Pregunta b: En una ejecución serie, calcule la fracción del tiempo en la que sólo se utilizarán la mitad de los procesadores cuando la aplicación se ejecuta en paralelo.

EJERCICIO 2 (3 puntos)

Un multiprocesador utiliza el protocolo de observación con invalidación (MEI) denominado A y la técnica de lectura con actualización.

El lenguaje máquina de los procesadores dispone de la instrucción atómica

fetch&inc(M) que incrementa en una unidad el contenido de la posición de memoria M y devuelve el valor que almacenaba previamente.

```
fetch&inc (M)
temp = M
M = M + 1
return temp
```

La instrucción fetch&inc se ejecuta en un módulo de memoria especializado para este tipo de operaciones atómicas. El propio módulo se encarga de incrementar la posición de memoria; es decir, no existe flujo de información para que el procesador actualice la posición de memoria mediante una operación. Esta posición de memoria no se almacena en cache en ningún caso y por tanto, no actúa el mecanismo de coherencia. Para ello, previamente se ha marcado la página que contiene la posición de memoria como no cacheable. Esto es, el acceso a esta variable representa siempre una sola transacción de bus, ya que se puede implementar como un load, en el que los bits menos significativos de la dirección codifican la operación que se quiere efectuar.

La instrucción atómica fetch&inc se utiliza en la implementación de una barrera, cuyo código simplificado, para el propósito de la evaluación que se propone, se muestra en la figura, donde P es el número de procesadores que ejecutan la instrucción barrera.

Suponga que cuatro procesadores ejecutan un bucle paralelo y que para sincronizarse antes de proseguir la ejecución utilizan una barrera.

En la siguiente tabla se muestra un posible entrelazado de accesos a memoria efectuados por los procesadores.

```
barrera (M)
if (fetch&inc (M) = P - 1) then
    M=0
    aviso =1
else
    repeat
        until (aviso = 1)
    endif
end
```

accesos		
1. P1 fetch&inc M	5. P3 fetch&inc M	9. P1 load aviso
2. P1 load aviso	6. P3 load aviso	10. P2 load aviso
3. P2 fetch&inc M	7. P4 fetch&inc M	11. P3 load aviso
4. P2 load aviso	8. P4 store aviso	

donde fetch&inc indica la ejecución de la instrucción atómica en el módulo de memoria, load aviso representa la lectura relativa al bucle de espera y store aviso es la actualización que efectúa el último procesador que llega a la barrera.

Suponga que la instrucción atómica fetch&inc se implementa mediante un load. Por tanto, al ejecutar el procesador este load se produce un fallo de cache en un acceso de tipo lectura.

En la tabla que se solicita, cuando en una lectura se actualicen varias cache (lectura con actualización) indique las modificaciones de estado en la línea de la tabla correspondiente al procesador que efectúa la lectura.

Las variables M y aviso están ubicadas en bloques distintos de memoria. Suponga que inicialmente las caches de los procesadores P1, P2, P3 y P4 no almacenan el bloque que contiene la variable aviso y que no la han referenciado nunca.

Pregunta a: Cuando se considera el entrelazado de las referencias de los procesadores P1, P2, P3 y P4 mostrado anteriormente, muestre en la tabla que se adjunta, la secuencia de estados del bloque que contiene la variable aviso en cada cache y las transacciones en el bus correspondientes a los bloques que contienen las variables aviso y M.

acceso	bus		mem. var.	sum.	C 1			C 2			C 3			C 4		
	trans.	señal (MOD, C)			cont.	var.	est.	cont.	var.	est.	cont.	var.	est.	cont.	var.	est.

Pregunta b: A partir de los resultados de los apartados anteriores evalúe el tráfico de bus generado cuando P procesadores deben sincronizarse mediante una barrera. Para ello indique en la siguiente tabla el número de transacciones de bus.

Transacciones (Pt, Ptlm)	
no cacheables	
cacheables	
TOTAL	

La frecuencia de reloj de los procesadores es 500MHz, ejecutan 4 instrucciones por ciclo y el IPC = (1 / CPI) efectivo de un procesador es 2.5. Así mismo suponga que N es el número de instrucciones del programa. Al ejecutar el programa en el multiprocesador el número de instrucciones se distribuye uniformemente entre los procesadores.

El tiempo de ejecución de la barrera se asimila al número de transacciones de bus y supondremos que cada transacción de bus son 100 ciclos de procesador.

Pregunta c: Para evaluar la sobrecarga que representa la ejecución de una barrera, calcule el número mínimo de instrucciones (N) para que la ejecución paralela con cuatro procesadores sea provechosa frente a una ejecución serie.

Pregunta d: Indique el número mínimo y máximo de controladores de coherencia que pueden activar las señales MOD y C y el tipo de transacción en el que se produce. Note que el mínimo puede ser igual al máximo.

Pregunta e: En el diagrama de transiciones entre estados del observador la señal C se activa en las transiciones desde el estado M. En un diseño alternativo, la señal C no se activa en estas transiciones entre estados. Sólo se activa la señal MOD. Diseñe una función lógica, utilizando las señales C y MOD, para ser utilizada en un CC en una transición desde el estado I a los estados E y L.

Pregunta f: Cada una de las caches dispone de 1K contenedores y la organización es 4 asociativa (un conjunto de cache tiene asociados 4 contenedores). Indique el número total de comparaciones cuando se transmite por el bus una transacción Pt. El número de procesadores es P.

EJERCICIO 3 (3 puntos)

Un multiprocesador utiliza el protocolo de directorio MLI denominado B. Suponga la siguiente secuencia de accesos.

accesos	accesos	Comentarios. Estado de los bloques
1. P1 store t	4. P2 store u	El bloque que contiene la variable t está almacenado en las caches C1 y C2 y el bloque que contiene la variable u no está almacenado en las caches. El estado del bloque que contiene la variable t es L en las dos caches. Los bloques que contienen las variables se almacenan en el mismo módulo de memoria y al ubicarse en cache se almacenan en el mismo contenedor.
2. P2 store u	5. P1 load t	
3. P2 load t	6. P2 load u	

Pregunta a: Muestre en un diagrama temporal la secuencia de mensajes que genera cada transacción y los cambios de estado de los bloques en las caches y en el directorio al ejecutarse la anterior secuencia de accesos a memoria.

Pregunta b: El diseño previo del multiprocesador se modifica y el directorio es impreciso. En estas condiciones, un controlador de coherencia pueda recibir una petición de observación de escritura (PtObE) de un bloque que no tiene almacenado en cache. Enumere todos los estados en los cuales un CC puede recibir una petición PtObE del CM, indique la respuesta en cada caso y el estado final.

Suponga las dos siguientes secuencias de accesos a memoria concurrentes (H, F), donde el ordinal de acceso indica el orden en el cual se procesan en el CM. Todas las transacciones se inician concurrentemente.

Orden de procesado en el CM		Comentario y estado de los bloques
H	F	
1. P2 load t	1. P2 load t	El bloque está en estado M en la cache C1 Los otros CC no tienen copia del bloque
2. P3 store t	2. P1 PtXm t	
3. P1 PtXm t		

Pregunta c: Suponga un directorio preciso. Para cada una de las dos secuencias de accesos a memoria concurrentes (H, F) muestre un diagrama temporal.

En otra versión del multiprocesador el protocolo utilizado sigue siendo MLI, pero las redes de interconexión sólo mantienen el orden de los mensajes punto a punto. Esto es, entre un emisor y un receptor. En este contexto los CC deben responder a las peticiones de invalidación.

Pregunta d: El recolector de las respuestas es el CM. Indique la ventaja de que entre los CM y los CC se utilice una red para peticiones y otra red para respuestas, respecto de utilizar una única red para peticiones y respuestas. Así mismo, indique si una petición del CM a un CC puede adelantar a una respuesta del CM a este CC o viceversa. Justifique la respuesta.

El tamaño de la memoria son 16 Gbytes y el tamaño de bloque son 32 bytes y el número de procesadores es P.

Pregunta e: Calcule el tamaño del directorio en Gbytes teniendo en cuenta la organización descrita.

Un diseñador observa, al analizar la ejecución de programas paralelos, que típicamente sólo hay 3 hilos compartiendo un bloque. Entonces decide modificar la organización del directorio. Cada bloque tiene asociado, además del bit de exclusividad, tres punteros que permiten indicar qué procesadores tienen copia del bloque. En el caso de que exista un cuarto procesador que solicita copia del bloque, el CM selecciona uno de los procesadores que tienen copia del bloque e invalida su copia. En consecuencia queda un puntero libre. Posteriormente suministra la copia al cuarto procesador. Esta acción se repite siempre que concurrentemente más de tres procesadores pretendan tener copia del bloque.

Pregunta f: Calcule el tamaño del directorio en Gbytes teniendo en cuenta la organización descrita. Tenga en cuenta que es necesario identificar si la información almacenada en un puntero es válida.

EJERCICIO 4 (2 puntos)

Un multiprocesador utiliza un esquema de directorio con un protocolo de coherencia con invalidación (VI) denominado C. En este ejercicio la memoria se construye utilizando dos módulos de memoria (M1 y M2) con el correspondiente directorio.

Suponga la siguiente secuencia de accesos a memoria concurrentes, la cual se corresponde con el esqueleto de una sincronización mediante eventos.

referencia	M	Valor almacenado en los registros	Módulo de memoria	Valor en memoria	Contenido en cache
P1 store R4, A	M2	El contenido de R4 es 9	M1: aviso	A: 7	Los bloques que contienen las variables no están almacenados en ninguna cache
P1 store R5, aviso	M1	El contenido de R5 es 1	M2: A	aviso: 0	
P2 load R6, aviso	M1				
P2 load R7, A	M2				

En un diseño un ingeniero decide que un procesador puede emitir una petición de escritura sin esperar la confirmación de la anterior petición de escritura. Una petición de lectura espera que finalice el anterior acceso a memoria y también es bloqueante. Debido a conflictos en la RI y acciones del arbitraje, las peticiones de los CC ocupan la RI en los ciclos que se muestran en la figura adjunta.

	ciclos										
referencia	1	2	3	4	5	6	7	8	9	10	11
P1 store R4, A	arb	arb	arb	arb	arb	arb	arb	arb	arb	arb	RI
P1 store R5, aviso		arb	RI								
P2 load R6, aviso	arb	arb	arb	RI							
P2 load R7, A											

En un diagrama temporal, en la fase D de una transacción indique el valor leído de memoria. En la fase Mx indique el valor que se ha almacenado en memoria.

Pregunta a: Complete el diagrama temporal. Indique si se cumple consistencia secuencial. Para ello indique el orden temporal en el cual la secuencia ha actualizado o leído de la memoria (fase M1, M2). Utilice también el contenido de los registros. En la fase M de una transacción utilice el ordinal del módulo de memoria (x) para indicar el módulo accedido (Mx).

El lenguaje máquina dispone de la instrucción denominada barrera. El objetivo de la misma es que no se inicie ningún acceso a memoria, que haya sido especificado posteriormente, hasta que todos los accesos previos a la instrucción barrera hayan consolidado.

Pregunta b: Indique en las secuencias de instrucciones que se ejecutan en P1 y P2 dónde es necesario incluir instrucciones barrera. El número de inserciones debe ser el mínimo necesario.

Por otro lado, en otro diseño el ingeniero decide que un procesador puede emitir una petición de lectura sin esperar el valor devuelto en la petición de lectura previa. Una petición de escritura espera la finalización del anterior acceso a memoria y es bloqueante.

	ciclos										
referencia	1	2	3	4	5	6	7	8	9	10	11
P1 store R4, A	arb	arb	arb	RI							
P1 store R5, aviso											
P2 load R6, aviso	arb	arb	arb	arb	arb	arb	arb	arb	arb	arb	RI
P2 load R7, A		arb	RI								

Debido a conflictos en la RI y acciones del arbitraje, las peticiones de los CC ocupan la RI en los ciclos que se muestran en la figura adjunta.

Pregunta c: Complete el diagrama temporal. Indique si se cumple consistencia secuencial. Para ello indique el orden temporal en el cual la secuencia ha actualizado o leído de la memoria (fase M1, M2). Utilice también el contenido de los registros. En la fase M de una transacción utilice el ordinal del módulo de memoria (x) para indicar el módulo accedido (Mx).

Pregunta d: Indique en las secuencias de instrucciones que se ejecutan en P1 y P2 dónde es necesario incluir instrucciones barrera. El número de inserciones debe ser el mínimo necesario.

Descripción de un protocolo de observación A

Un multiprocesador utiliza un bus como red de interconexión. Los procesadores disponen de caches privadas que utilizan escritura retardada con asignación de contenedor en caso de fallo. El multiprocesador utiliza la técnica de invalidación para mantener la coherencia. El protocolo se denomina MELI y en cada contenedor de cache se identifican cuatro posibles estados: inválido (I), exclusividad (E), lectura (L) y modificado (M).

Las peticiones de procesador y las transacciones de bus son las siguientes.

Procesador	Controlador de cache		Memoria
Peticiones	Transacciones	Acciones	Información / acciones
LPr: lectura del proc.	Pt: petición de bloque	CcRe: reemplazo de un bloque	Dev: actualización de memoria
EPr: escritura del proc.	PtIm: petición de bloque con intención de modificación	CaC: suministro del bloque	
	PtX: petición de expulsión de bloque actualizado	MOD: señal que indica bloque en estado M	
		C: hay una copia del bloque en cache	

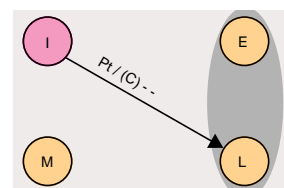
Una cache puede suministrar directamente el dato dentro de una transacción de bus iniciada por otro procesador. Además, en este caso se actualiza memoria, si es el caso. Cuando una cache tiene un bloque en estado M activa la señal denominada MOD y suministra el bloque (CaC). En el bus se dispone de un cable que es la función OR de las señales MOD de cada una de las caches. Cuando una cache tiene almacenado el bloque en cache activa la señal C. Esta señal se utiliza para determinar si el bloque se almacena en el estado E o en el estado L. En el bus se dispone de un cable que es la función OR de las señales C de cada una de las caches.

El diagrama de transiciones entre estados es el siguiente.



• Lectura con actualización

Lectura con actualización (snarfig, cazar al vuelo) es una mejora del protocolo de coherencia, que utiliza la inherente capacidad del bus de radiar información; todos los procesadores están conectados al bus y pueden observar cualquier transacción. Cuando la transacción de bus es una lectura, los controladores de cache comparan la dirección de bus con las etiquetas de su cache. Si la dirección del bus se corresponde con la etiqueta de un bloque de cache, que esta en estado I, se captura el bloque del bus y se almacena en cache en el estado L. Al diagrama de eventos del observador se añade la transición mostrada en la figura.



En estas condiciones, referencias pendientes al mismo bloque (fallos que no han obtenido el bus) se sirven inmediatamente como aciertos y referencias posteriores se comportan como aciertos en cache.

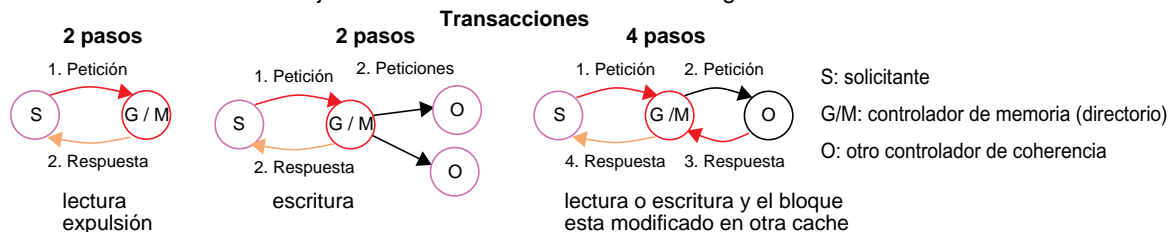
Descripción de un protocolo de directorio MLI denominado B

Suponga un multiprocesador donde las caches privadas son de mapeo directo y utilizan escritura retardada. Las redes de interconexión entre las caches y el módulo de memoria son de tipo crossbar y mantienen el orden de los mensajes emitidos. El multiprocesador utiliza un directorio para mantener la coherencia y el protocolo de coherencia es de invalidación (MLI).

Las caches privadas de los procesadores son bloqueantes. En un fallo de cache o en una solicitud de exclusividad se suspende la interpretación de instrucciones y se reanuda al finalizar la transacción.

El directorio utiliza un vector de presencia y un bit de exclusividad por bloque. El vector de presencia (VP) es un vector de bits, con tantos bits como procesadores y cada bit está asociado a un procesador. El bit de exclusividad (BE) se utiliza para indicar que sólo existe una copia del bloque en una cache privada, la cual está identificada en el vector de presencia.

Las secuencias de mensajes de las transacciones son las siguientes:



Las peticiones de procesador y los mensajes utilizados en las transacciones para mantener la coherencia son:

Procesador	Controlador de cache (CC)		Controlador de memoria (CM)		
Peticiones	Peticiones del CC al CM	Respuestas del CM al CC	Peticiones del CM a los CC	Respuestas del CC al CM	Acciones
LPr : lectura	Pt : petición de bloque	RpD: respuesta con el bloque a una petición Pt o Ptlm	PtObE: petición de observación de escritura, inducida por una petición Ptlm	RpDc: respuesta con el bloque a una petición PtObL o PtObE y el estado del bloque en cache es M	Actualización del directorio
EPr : escritura	Ptlm: petición de bloque con intención de modificarlo	RpX: respuesta de confirmación a una petición PtXm o PtXI	PtObL: petición de observación de lectura, inducida por una petición Pt y el estado del bloque en el directorio es M		Dev: actualización de memoria
	PtXm: petición de expulsión de un bloque en estado M				
	PtXI: petición (notificación) de expulsión de un bloque en estado L				

El controlador de cache también efectúa acciones de reemplazo cuando es necesario (CcRe). En una acción de reemplazo se distingue la acción de notificación al directorio, ya que éste es preciso, y una actualización de memoria con el bloque expulsado, si éste ha sido modificado durante su estancia en la cache. En una petición PtXm se actualiza el directorio y memoria, mientras que en una petición PtXI sólo se actualiza el directorio.

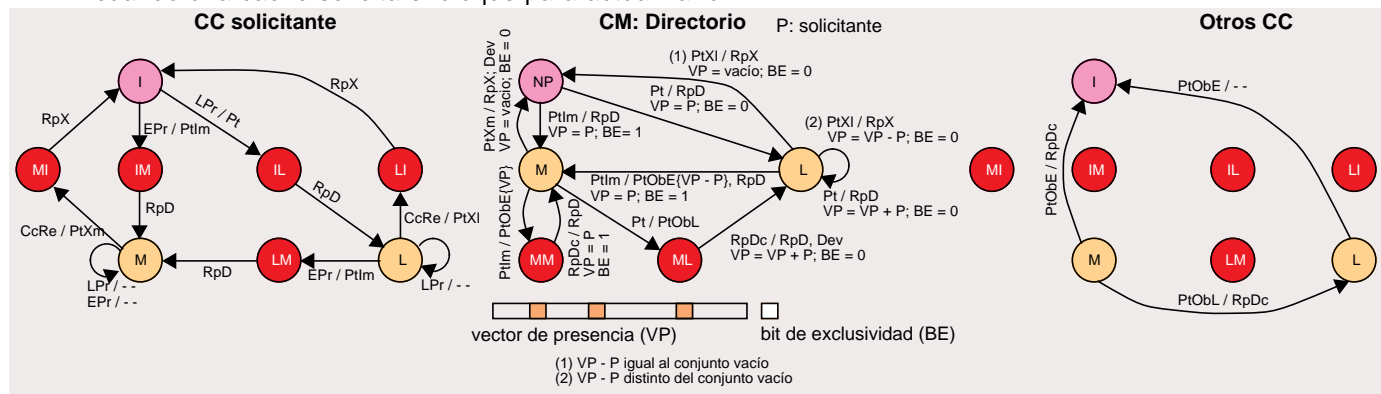
Cuando el servicio de un acceso a memoria requiere un reemplazo, éste se efectúa antes de gestionar el acceso a memoria que produce la acción de reemplazo.

Las fases de cada uno de los mensajes son:

mensajes	ciclos				
	1	2	3		
Pt, Ptlm, PtXm, PXI	arb	RI	M	arb: arbitraje en la red correspondiente	M: memoria (directorio)
RpD, RpX	arb	RV	D ó X	RI: red de peticiones desde los CC al CM	D: dato (RpD)
PtObE, PtObL	arb	RMC	Cx	RV: red de respuestas desde el CM a los CC	X: confirmación (RpX)
RpDc	arb	RCM	M	RMC: red de peticiones desde el CM a los CC	Cx: cache, donde x es el ordinal de la cache
				RCM: red de respuestas de los CC al CM	

En un CC, para distinguir, en una transacción, entre la emisión de un mensaje de petición y la recepción de una respuesta, se utilizan estados transitorios (IL, LM, IM, LI, MI). En el CM para distinguir entre la emisión de un mensaje de petición, correspondiente a una transacción que está procesando el CM, y la respuesta de un CC se utilizan estados transitorios (ML, MM).

En los siguientes diagramas de estados se muestran todas las transiciones entre estados, ya sean estables o transitorios, de un bloque en cache y en el directorio, cuando no se consideran posibles cruces de peticiones. En el protocolo que se describe, el bit de exclusividad del directorio se activa cuando una cache solicita el bloque para actualizarlo.



En un diagrama temporal se muestran en la parte superior las fases de los mensajes de una transacción, en la parte central se especifica el estado de los bloques en las cache y en el directorio. En la parte inferior se etiqueta el mensaje o la respuesta que se representa en la parte superior. El estado de los bloques en cache o en el directorio se indica sólo cuando hay un cambio de estado.

Fases y eventos	Especificaciones
arb	Se especifica el estado transitorio del bloque.
M	Se especifica el VP utilizando el ordinal de los procesadores cuyas caches tienen copia del bloque y si el bloque lo tiene una cache en exclusividad se añade la letra E. La especificación del VP se efectúa la última vez que se visita el directorio en una transacción. En otras visitas se especifica el estado transitorio.
D ó X	Se especifica el estado estable del bloque en la cache cuyo CC ha efectuado la petición.
C	Se especifica la modificación de estado determinada por la petición del CM
Transacción de 2 pasos	Se utiliza una fila para indicar la respuesta del CM y otra fila para indicar todas las peticiones del CM, si es el caso.
Reemplazo	Determina una expulsión: se especifica en la columna etiquetada como referencia. Para ello, se utilizan dos filas contiguas. En la primera fila se especifica la expulsión (PtXm o PtXl) y en la segunda fila la petición que determina la expulsión.
Mensaje	Se indica en la columna correspondiente a arb.

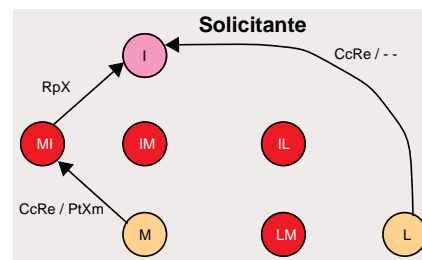
• Directorio impreciso: expulsión silenciosa

No se notifica al directorio la expulsión de un bloque en estado L. Esta característica se denomina expulsión silenciosa y el directorio se denomina impreciso. Esto es, el directorio no indica de forma precisa las copias del bloque en las cache privadas y puede indicar un conjunto mayor de CC que tienen copia que el que realmente existe. En contraposición, el directorio descrito previamente se denomina preciso.

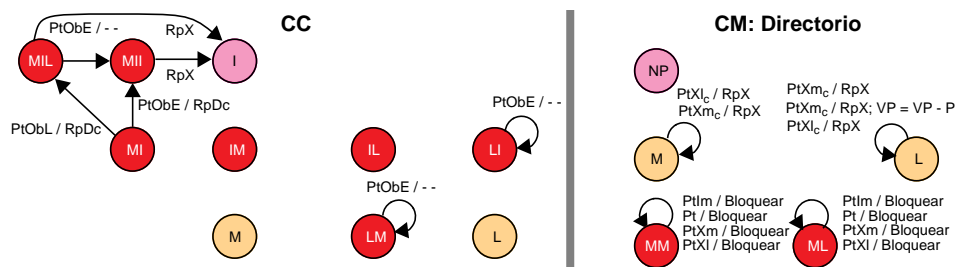
• Accesos concurrentes

Al tener en cuenta la concurrencia de peticiones de los CC, hay que considerar los posibles cruces de peticiones en el CM y en los CC. En el CM sólo se procesan peticiones a bloques en estados estables. Una petición en la cabeza de la cola de peticiones (CP) que accede a un bloque en un estado transitorio determina un bloqueo del análisis de esta petición y las que le siguen en la CP. El bloqueo en la CP se indica en un diagrama temporal mediante el acrónimo B, después de acceder al directorio (fase M en una transacción). La espera en la CP se indica mediante el acrónimo CP.

En la siguiente figura se muestra la gestión de peticiones en los cruces. En el diagrama de estados de un bloque en el directorio, se utiliza el subíndice c para identificar una petición del CC que se ha cruzado con una petición del CM y la petición del CC se analiza en un estado estable. Notemos que en un cruce no se actualiza la memoria al procesar la petición PtXm.



casos	ciclos						
bloqueo	Ri	M	B	B	B	M	...
espera	...	RI	CP	CP	CP	CP	B o M



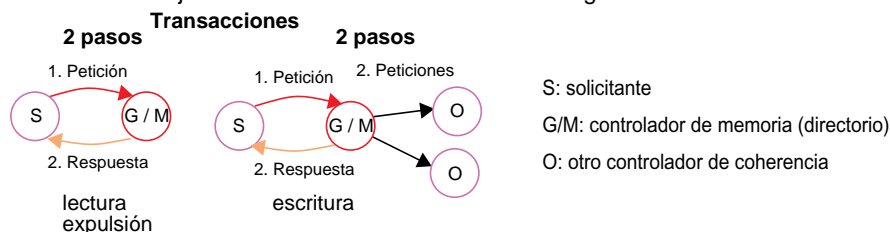
Descripción de un protocolo de directorio VI denominado C

Suponga un multiprocesador donde las caches privadas son de mapeo directo y utilizan escritura inmediata, sin asignación de contenedor en escritura. Las redes de interconexión entre las caches y los módulos de memoria son de tipo crossbar y mantienen el orden de los mensajes emitidos. El multiprocesador utiliza un directorio para mantener la coherencia y el protocolo de coherencia es de invalidación (VI).

Las caches privadas de los procesadores son bloqueantes. En un fallo de cache o en una escritura se suspende la interpretación de instrucciones y se reanuda al finalizar la transacción.

El directorio utiliza un vector de presencia (VP) por bloque. El vector de presencia es un vector de bits, con tantos bits como procesadores y cada bit está asociado a un procesador.

Las secuencias de mensajes de las transacciones son las siguientes:



Las peticiones de procesador y los mensajes utilizados en la transacciones para mantener la coherencia son:

Procesador	Controlador de cache (CC)		Controlador de memoria (CM)	
Peticiones	Peticiones del CC al CM	Respuestas del CM al CC	Peticiones del CM a los CC	Acciones
LPr : lectura	Pt : petición de bloque	RpD: respuesta con el bloque	PtObE: petición de observación de escritura	Actualización del directorio
EPr : escritura	PtE: petición de escritura de un dato	RpC: respuesta de confirmación		
	PtX: petición de expulsión	RpX: respuesta de confirmación a una petición PtX		

El controlador de cache también efectúa acciones de reemplazo cuando es necesario (CcRe). En una acción de reemplazo se distingue la acción de notificación al directorio, ya que éste es preciso. En una petición PtX se actualiza el directorio.

Quando el servicio de un acceso a memoria requiere un reemplazo, éste se efectúa antes de gestionar el acceso a memoria que produce la acción de reemplazo.

Las fases de cada uno de los mensajes son:

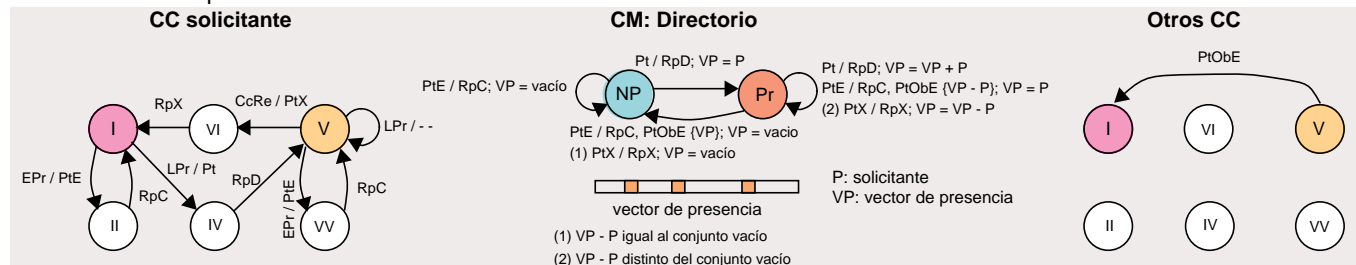
mensajes	ciclos		
	1	2	3
Pt, PtE, PtX	arb	RI	M
RpD, RpC, RpX	arb	RV	D, C ó X
PtObE	arb	RMC	Cx

arb: arbitraje en la red correspondiente
 RI: red de peticiones desde los CC al CM
 RV: red de respuestas desde los CM a los CC
 RMC: red de peticiones desde los CM a los CC

M: memoria (directorio)
 D: dato (RpD), C: confirmación (RpC)
 X: confirmación (RpX)
 Cx: cache, donde x es el ordinal de la cache que recibe PtObE

En un CC, para distinguir, en una transacción, entre la emisión de un mensaje de petición y la recepción de una respuesta, se utilizan estados transitorios (II, IV, VV, VI). En un CM no es necesario ya que no espera respuestas.

En los siguientes diagramas de estados se muestran todas las transiciones entre estados, ya sean estables o transitorios, de un bloque en cache y en el directorio cuando no se consideran posibles cruces de peticiones.



En un diagrama temporal se muestran en la parte superior las fases de los mensajes de una transacción, en la parte central se especifica el estado de los bloques en las cache y en el directorio. En la parte inferior se etiqueta el mensaje o la respuesta que se representa en la parte superior. El estado de los bloques en cache o en el directorio se indica sólo cuando hay un cambio de estado.

Fases y eventos	Especificaciones
arb	Se especifica el estado transitorio del bloque.
M	Se especifica el vector de presencia utilizando el ordinal de los procesadores cuyas caches tienen copia del bloque.
D, C ó X	Se especifica el estado estable del bloque en la cache cuyo CC ha efectuado la petición.
x	Se especifica la modificación de estado determinada por la petición del CM
Transacción de 2 pasos con peticiones del CM	Se utiliza una fila para indicar la respuesta del CM y otra fila para indicar todas las peticiones del CM.
Reemplazo	Determina una expulsión: se especifica en la columna etiquetada como referencia. Para ello, se utilizan dos filas contiguas. En la primera fila se especifica la expulsión (PtX) y en la segunda fila la petición que determina la expulsión.
Mensaje	Se indica en la columna correspondiente a arb.

• Accesos concurrentes

Al tener en cuenta la concurrencia de peticiones de los CC hay que considerar los posibles cruces de peticiones en el CM y en los CC. En el CM se procesan peticiones a bloques en estados estables.

En la siguiente figura se muestra la gestión de peticiones en los cruces. En el diagrama de estados de un bloque en el directorio, se utiliza el subíndice c para identificar una petición del CC que se ha cruzado con una petición del CM y la petición del CC se analiza en un estado estable.

