

Práctica 1

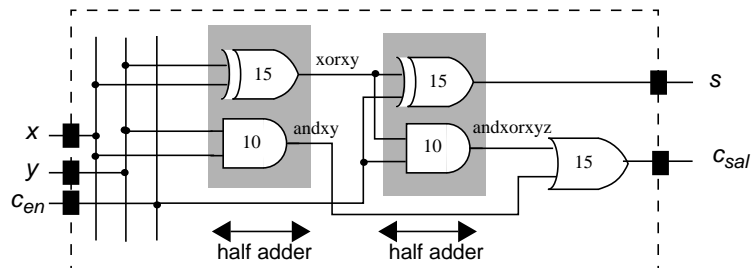
Sumador de 1 bit

.....

Nombre y Apellidos	
Nombre y Apellidos	
Número de grupo de laboratorio	

Preguntas

Edite un fichero VHDL donde se especifique, utilizando un modelo de flujo de datos el sumador de 1 bit que se muestra seguidamente. Los valores numéricos en el interior de las puertas especifican el retardo en ns.



Compile el fichero. Una vez compilado sin errores, cree un elemento para utilizarlo en un circuito y almacénelo en una librería propia. Seguidamente cree un fichero con un esquema de circuito, los interruptores y los visores. Compruebe el funcionamiento lógico del esquema de circuito.

Cree un fichero de estimulación para medir el retardo de las 8 posibles combinaciones de los valores de las señales de entrada de un sumador de 1 bit.

- 1 Adjunte una descripción ASCII de la ventana de tiempo y una traza donde se observe la evolución temporal de las señales cuando se utiliza el fichero de estimulación. Muestre en la descripción ASCII el cálculo del retardo de la combinación de entrada ($x = 0$, $y = 1$, $c_{en} = 1$). Así mismo, indique en la traza dónde se observa la evolución de las señales para esta combinación de entradas. **Referencia:** “Observación precisa de los retardos” en la página 40.
- 2 Indique el retardo para cada una de las 8 posibles combinaciones de los valores de las señales de entrada del circuito. Justifique los resultados observados.

		x y C _{en}							
combinaciones		0 0 0	0 0 1	0 1 0	0 1 1	1 0 0	1 0 1	1 1 0	1 1 1
retardo observado									
Justificación									