



## Práctica 3

### Núcleo del camino de datos de un procesador

.....

---

#### Preguntas

Seguidamente se muestran dos especificaciones en VHDL de un sumador de un bit utilizando el constructor proceso.

La lista de activación del proceso incluye las señales a, b y cen ya que la lógica combinatorial debe responder a cambios en cualquiera de las señales de entrada. La diferencia entre ambas especificaciones se encuentra en los objetos p y g. En la especificación de la izquierda los objetos son variables mientras que en la especificación de la derecha son señales. A las 4 sentencias de asignación de cada proceso las denotaremos como S1, S2, S3 y S4. **Referencia:** “Señales versus variables” en la página 104.

En el directorio prac3.dir de la asignatura están almacenados los ficheros: s1bitV.dvw, s1bitS.dvw, ac3.clf, var\_vs\_sig.cct y var\_vs\_sig.tsv. Abra el fichero var\_vs\_sig.cct que contiene un esquema de circuito. En este esquema se distinguen dos sumadores de un bit, interruptores y visores. En el sumador s1bitV.dvw se utilizan variables y en el sumador s1bitS.dvw se utilizan señales. Utilice el fichero var\_vs\_sig.tsv como fichero de comprobación del funcionamiento. Observe que las salidas de los sumadores son distintas.

Sumador de 1 bit: variables	Sumador de 1 bit: señales
<pre>library ieee; use ieee.std_logic_1164.all;  entity s1bitV is   port (a, b, cen: in std_logic;         s, csal: out std_logic); end s1bitV;  architecture beh of s1bitV is begin   proc_s1bitV: process (a, b, cen)   variable p, g: std_logic;   begin     p := a xor b; -- S1     g := a and b; -- S2     s &lt;= p xor cen after 10 ns; -- S3     csal &lt;= g or (p and cen) after 10 ns; -- S4   end process proc_s1bitV; end beh;</pre>	<pre>library ieee; use ieee.std_logic_1164.all;  entity s1bitS is   port (a, b, cen: in std_logic;         s, csal: out std_logic); end s1bitS;  architecture beh of s1bitS is   signal p, g: std_logic;   begin     proc_s1bitS: process (a, b, cen)     begin       p &lt;= a xor b; -- S1       g &lt;= a and b; -- S2       s &lt;= p xor cen after 10 ns; -- S3       csal &lt;= g or (p and cen) after 10 ns; -- S4     end process proc_s1bitS;   end beh;</pre>

- 1 Indique cuál de los dos modelos produce salidas correctas.

- 2 Para cada sumador, rellene las siguientes tablas con el objetivo de justificar los resultados observados al utilizar el fichero de comprobación. En las tres primeras columnas de cada tabla se identifican las señales de entrada. En las siguientes dos columnas los objetos p y g. En las siguientes tres columnas los objetos p, g y la señal cen. En las dos últimas columnas las señales s y csal.

Para cada sumador, en las siguientes filas deben especificarse los valores que toman las señales y objetos. En la 4ª y 5ª columna deben especificarse los valores de los objetos p y g justo antes de que se ejecute la primera sentencia (S1) del proceso para los valores de entrada que se han especificado, en la misma fila, en las tres columnas de la izquierda. En las siguientes tres columnas deben especificarse los valores que se utilizan en el cálculo de las dos últimas sentencias del proceso (S3 y S4). Por último, en las dos últimas columnas deben especificarse los valores de s y csal que ha calculado el proceso. En la tabla se han especificado los valores de p y g que deben suponerse para la entrada (a = 0, b = 0 y cen = 0).

Variables										Señales									
entradas			antes de S1		valores usados en S3 y S4			final		entradas			antes de S1		valores usados en S3 y S4			final	
a	b	cen	p	g	p	g	cen	s	csal	a	b	cen	p	g	p	g	cen	s	csal
0	0	0	1	0						0	0	0	1	0					
0	0	1								0	0	1							

- 3 Suponga ahora que se establece el periodo de la señal de reloj a 30 ns, que es un valor menor que el necesario para el funcionamiento correcto del camino de datos. Indique la secuencia de los cuatro primeros valores (en hexadecimal) que se almacenan en el banco de registros y cuáles son correctos. **Referencia:** “Descripción de un funcionamiento incorrecto.” en la página 126.

Secuencia de valores				Justificación

