

### Descripción de un protocolo de observación MLEOI denominado A

Un multiprocesador utiliza un bus como red de interconexión. Las caches privadas utilizan escritura inmediata o retardada en función de si hay copias del bloque en otras caches. Los procesadores se bloquean en un fallo de cache y supondremos que en un instante dado sólo existe un acceso a memoria en el multiprocesador.

Cuando el procesador efectúa una escritura, si hay copias del bloque en otras cache, el protocolo de coherencia utiliza la técnica de actualización. En el caso de que no existan copias del bloque no se inicia ninguna acción de actualización. En resumen la técnica de actualización se utiliza cuando es necesario.

El protocolo utiliza 5 estados para identificar el estado de un bloque en cache y en el bus utiliza dos señales para disponer de información del estado de posibles copias del bloque en otras cache. Los estados de un bloque pueden ser: a) inválido (I), exclusivo (E), lectura (L), modificado (M), propietario (O). Las señales en el bus se denominan C y MOD y son activadas o desactivas por los controladores de cache que observan la transacción. El controlador de cache (CC) que ha iniciado la transacción las desactiva. La señal resultante en cada caso es la función OR de las señales de todos los controladores de cache y es observada por el CC que ha iniciado la transacción.

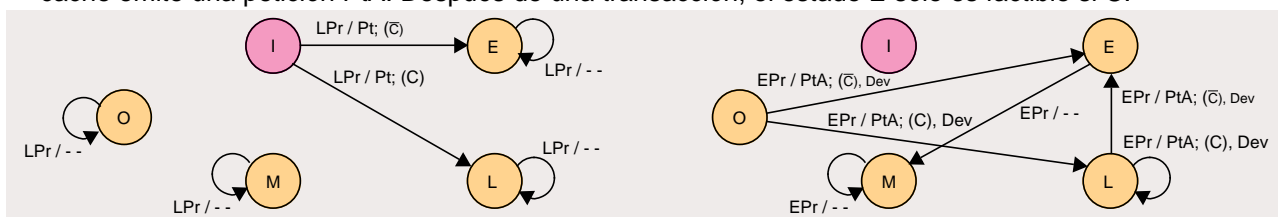
Al observar una transacción, un CC activa la señal C cuando la cache almacena una copia del bloque al cual hace referencia la transacción de bus. En caso contrario mantiene la señal desactivada. La señal MOD es activada por un CC cuando suministra el bloque al cual hace referencia la transacción de bus. En este último caso la memoria inhibe el suministro del bloque.

Las peticiones del procesador, transacciones de bus y acciones que se consideran son las siguientes:

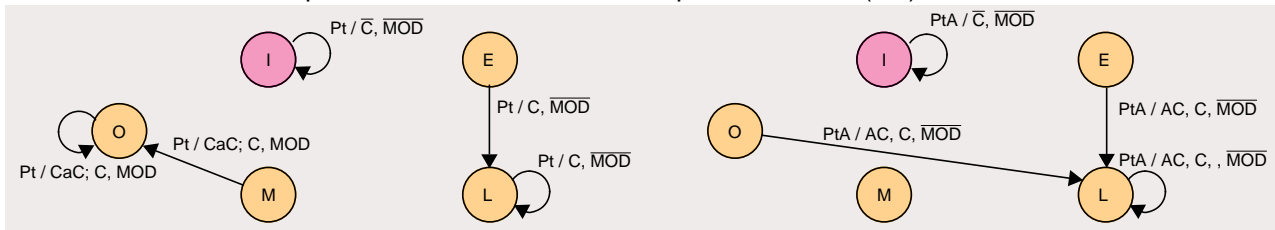
Procesador	Controlador de cache			Memoria
Peticiones	Transacciones	Acciones		
LPr : lectura del proc.	Pt : petición de bloque	AC: actualización del bloque en cache	MOD: activación si el bloque está en estado M u O	Dev: actualización de memoria
EPr : escritura del proc.	PtA: petición de actualización de bloque	C: activación si hay una copia del bloque en cache	CcRe: reemplazo de un bloque	
	PtX: petición para actualizar memoria	CaC: suministro del bloque		

En una petición de escritura del procesador y acierto en cache, siendo el estado distinto de M, una vez el CC obtiene el bus, actualiza el bloque en cache y emite la transacción PtA. En una transacción de bus PtA se transmite todo el bloque, para que las caches que tengan copias actualicen su copia. En una petición de escritura del procesador y fallo en cache, en primer lugar se efectúa una petición de bloque (Pt) y seguidamente se efectúa una petición de actualización (PtA). Esto es, se asigna un contenedor en fallo de escritura. Por ello, no existe transición desde el estado I en una petición EPr. Los diagramas de transiciones entre estados son los siguientes. La no activación de la señal C se indica como  $\bar{C}$ .

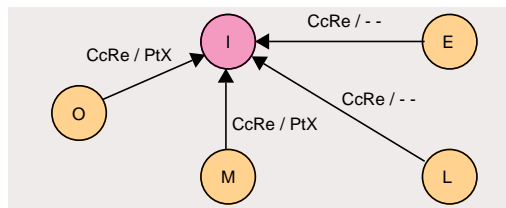
**Peticiones de lectura y escritura del procesador.** La señal C es observada por el CC que emite la transacción y se indica poniéndolo entre paréntesis. Notemos que memoria se actualiza cuando una cache emite una petición PtA. Después de una transacción, el estado E sólo es factible si  $\bar{C}$ .



**Transacciones de bus.** Las señales C y MOD son activadas o desactivadas por los CC que observan la transacción. Notemos que cuando una cache suministra el bloque no se actualiza memoria y que en la observación de una petición PtA se actualiza el bloque en la cache (AC).



**Reemplazo de un bloque para liberar un contenedor.** En una acción de expulsión, las otras caches no participan en la transacción. Notemos que en el estado O hay que actualizar memoria, ya que en una transición desde el estado M al estado O no se ha actualizado memoria.



Cuando al producirse un fallo de cache sea necesario una acción de reemplazo, en primer lugar se expulsa el bloque y posteriormente se sirve el fallo.