

Práctica 4

Procesador: arquitectura, camino de datos y control

.....

Nombre y Apellidos	
Nombre y Apellidos	

Número de grupo de laboratorio	
--------------------------------	--

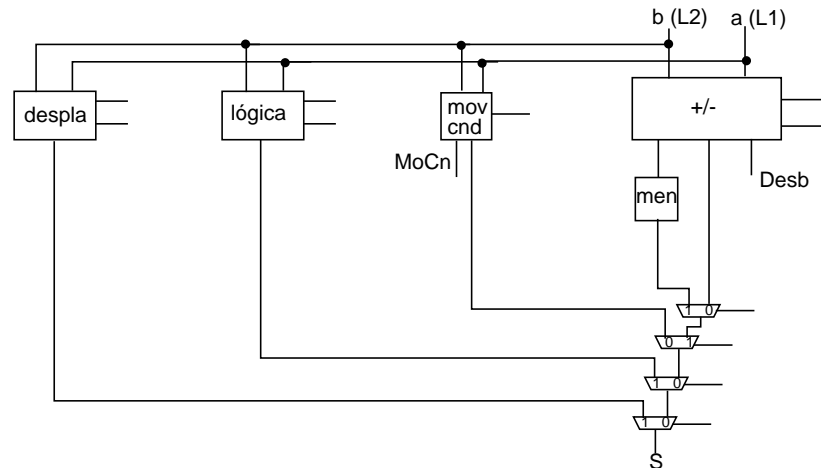
Preguntas

- 1 En el apartado “Secuenciamiento explícito” en la página 157 se describe, cuando se cumple la condición, el valor de las señales Ig y me para algunas instrucciones de secuenciamiento condicional.

Utilizando un formato similar indique el valor de las señales Ig y me para todas las instrucciones de secuenciamiento condicional no enumeradas en la la tabla de la Figura 4.37 y que están descritas en “Especificación semántica de las instrucciones” en la página 187.

Nemotécnico	Descripción	Condición evaluada	ig	me
bne	modificación del secuenciamiento si el contenido es distinto	$rs^v \neq rt^v$		
blez	modificación del secuenciamiento si el contenido es menor o igual a cero	$rs^v \leq 0$		
bgez/bgezal	modificación del secuenciamiento si el contenido es mayor o igual que cero	$rs^v \geq 0$		
bltz	modificación del secuenciamiento si el contenido es menor que cero	$rs^v < 0$		

- 2 Partiendo de los ficheros que especifican la ALU dibuje un esquema que detalle las señales de control de cada unidad funcional incluida en la ALU y el detalle del multiplexor utilizando multiplexores de dos entradas. **Referencias:** “Quinto nivel: unidad aritmético lógico (ALU)” en la página 162 y “Unidad aritmético-lógica: libalu” en la página 203.

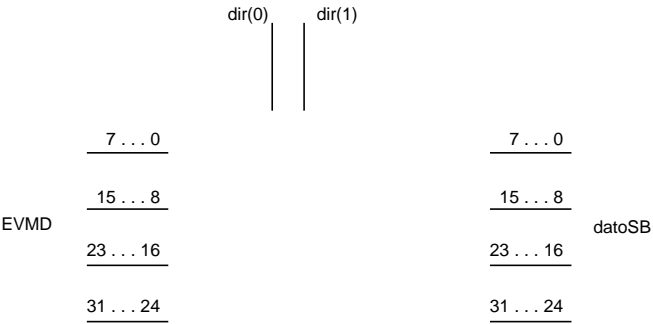


- 3 En el fichero VHDL que contiene el diseño del módulo FMTLE se utilizan los dos bits menos significativos de la señal de control opMD para controlar los multiplexores que formatean el dato de escritura a memoria. Analice la descripción de la estructura de encaminamiento utilizada y rellene la tabla que relaciona los datos de entrada y salida del formateador en función de los 2 bits menos significativos de la señal de control opMD. Utilice la nomenclatura D_i para indicar las señales de entrada de datos $EVMD_{8x(i+1)-1..8xi}$. **Referencias:** “Segundo nivel: organización de la memoria de datos” en la página 165, “FMTLE” en la página 207.

opMD	datoSB			
1..0	byte 3	byte 2	byte 1	byte 0
0 0				D_0
0 1				
1 0				
1 1				

Proponga un diseño alternativo que, en lugar de la señal de control opMD, utilice los dos bits menos significativos de la dirección para controlar los multiplexores. Manteniendo el conexionado de datos original, dibuje un esquema con multiplexores, indicando explícitamente los bits de la señal EVMD que se conectan a las entradas de cada multiplexor y las

señales de control de los multiplexores. Rellene la tabla que relaciona los datos de entrada y salida del formateador en función de los dos bits menos significativos de la dirección.

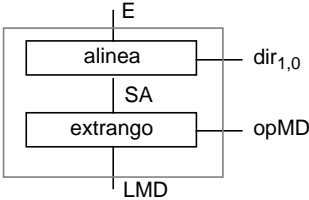


dir 1..0	datoSB			
	byte 3	byte 2	byte 1	byte 0
0 0				D ₀
0 1				
1 0				
1 1				

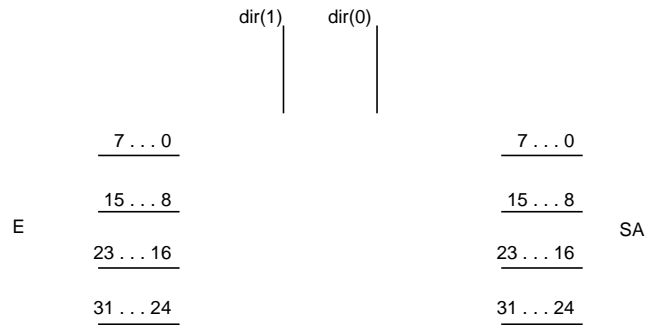
Las siguientes preguntas corresponden a un diseño alternativo del módulo FMTL. En primer lugar se alinea el dato leído de la memoria teniendo en cuenta únicamente los 2 bits menos significativos de la dirección efectiva. Esta operación puede asimilarse a un desplazamiento lógico de 0, 1, 2 o 3 bytes. Ahora bien, en este caso los bytes más significativos no se modifican.

Posteriormente se extiende el rango del dato alineado (SA) según su granularidad (1, 2, 4 bytes) y su tipo (natural, entero). Para ello se utilizan las señales de control opMD.

Referencias: “Segundo nivel: organización de la memoria de datos” en la página 165, “FMTL” en la página 208.



- 4 Dibuje un esquema del circuito que alinea el dato leído de memoria. Minimice el número de multiplexores (de 8 bits).

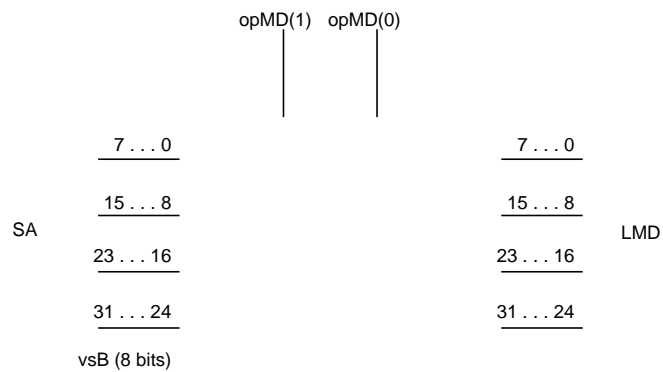


- 5 Diseñe el módulo que extiende el rango del dato alineado.

Muestre, en primer lugar, el esquema del circuito que determina el valor del bit a extender (bS). Utilice solo puertas and y not y multiplexores (de 1 bit).



Muestre un esquema del circuito que, en función de la granularidad del dato y del bit a replicar, genera la salida del módulo FMTL. La señal vsB representa el vector de 8 bits con el bit a replicar (bS). Minimice el número de multiplexores.



- 6 Describa en VHDL los diseños que ha efectuado de los módulos alineo y extrango. Utilice los ficheros distribuidos en el directorio MD/FMTL_alternativo. Entregue una copia de ambos diseños. Compruebe el diseño del módulo FMTL mediante el fichero de test denominado prova_fmtil.dvv.

