## Práctica 3 Núcleo del camino de datos de un procesador

Nombre y Apellidos		
Nombre y Apellidos		
	_	
Número de grupo de laboratorio		

## **Preguntas**

En la siguiente tabla se indican los tiempos de retardo de los distintos elementos incluidos en el camino de datos.

Componentes	Elementos	retardo (ns)
	Decodificador (DECO)	$t_{deco} = 8$
Banco de registros	Multiplexor (muxL)	t <sub>muxL</sub> = 10
	Registro	t <sub>p</sub> = 14
	Multiplexor (muxE)	t <sub>muxE</sub> = 0
	puerta AND	$t_{AND} = 0$
Sumador	t <sub>sum</sub> = 16	
Generador de identificad	t <sub>cont</sub> = 2	

En el diagrama temporal se ha marcado el retardo con que se observan, respecto al flanco ascendente de la señal Reloj, el valor de los identificadores de registro (IDE, IDL1, IDL2) que genera el módulo control. En el margen izquierdo del diagrama la etiqueta "Ret. registro" se refiere al retardo de un registro del banco de registros. Las etiquetas muxLe1 y muxLe2 se refieren a los multiplexores de los caminos Le1 y Le2 respectivamente.

1

- 1 Marque, oscureciendo las casillas, los retardos de cada componente para el segundo ciclo de la secuencia de operaciones mostrada en la Figura 3.22 (IDL1 = 1, IDL2 = 5, IDE = 5). El retardo de un componente se empieza a marcar a partir del instante de tiempo en el cual todas las señales de entrada, que determinan el valor de su salida, son válidas. En un ciclo de la señal Reloj, entendemos que una señal es válida a partir del instante de tiempo en que no se modifica.
- 2 Determine el periodo mínimo de la señal Reloj suponiendo que es cuadrada. Muestre este periodo dibujando en la fila etiquetada como Reloj los intervalos de tiempo en los cuales la señal Reloj está en el nivel lógico 0 y en el nivel lógico 1.



3 Entregue una copia de la ventana Timing donde se observen todas las señales durante 4 periodos de la señal de reloj como mínimo. El objetivo es mostrar que el periodo calculado es correcto. Para ello copie la traza de las señales de la ventana Timing en un fichero Word. Posteriormente imprima el fichero. En la hoja que entregue debe poderse determinar, de forma clara, el periodo de la señal de reloj. **Referencia**: "Simulación de una secuencia de operaciones" en la página 123.

Suponga que el periodo de la señal de reloj  $T_c$  es menor que el tiempo que requiere el camino de datos para realizar una operación. Para conseguir un comportamiento correcto (funcionamiento serie multiciclo), el módulo de control debe mantener estables las señales IDL1, IDL2 e IDE durante los NC ciclos de reloj que dura la operación. Así mismo, para impedir que se almacene en el banco de registros un resultado incorrecto, el módulo de control solo debe activar la señal de permiso de escritura en el último ciclo de reloj.

4	Deduzca una expresión algebraica que exprese el número de ciclos NC que tarda una operación en función de T <sub>c</sub> y de los retardos de los elementos del camino de datos. <b>Referencia</b> : "Figura 3.24" en la página 121.				

5 Suponga T<sub>c</sub> = 30 ns. Modifique el fichero control\_camino.dwv para obtener un comportamiento multiciclo correcto. Entregue una copia del fichero y una copia de la ventana Timing donde se observen todas las señales durante las 4 primeras operaciones. Para ello copie la traza de las señales de la ventana Timing en un fichero Word. **Referencia**: "Simulación de una secuencia de operaciones" en la página 123.