

Examen Final de “Disseny de Microprocessadors”

11 de gener de 2017

- L'examen dura 2h.
- Es poden portar els apunts.
- Es pot fer servir calculadora

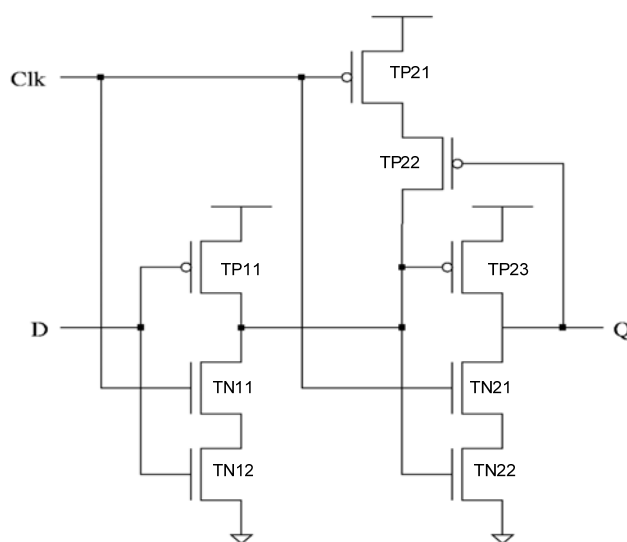
Problema 1 (2 punts)

Dissenyar la següent funció en CMOS, nMOS, DCVSL i domino. Dimensioneu també els transistors de la manera que cregueu més correcta (o bé simètric, o bé mantenint la proporció 1 a 4) per tots els casos considerant que $1R_{sp} = 2R_s$. L i W han de ser potències de 2. (1, 2, 4, 8, 16, ...)

$$S = A \cdot B \cdot C + D \cdot E + F$$

Problema 2 (2 punts)

Donat el latch de la figura (transparent quan Clk=1 i opac quan Clk=0):



- a) Quins elements constitueixen el retard que es considera en el temps de setup (T_{setup})?
(si és necessari distingeix entre els cas que $D=0$ i $D=1$)

- b) Quins elements constitueixen el retard que es considera en el temps de hold (T_{hold})?
(si és necessari distingeix entre els cas que $D=0$ i $D=1$)

- c) Quins elements constitueixen el retard que es considera en el temps de propagació (T_{latch})?
(si és necessari distingeix entre els cas que $D=0$ i $D=1$)



Problema 3 (4 punts)

Donades les següent restriccions i dades:

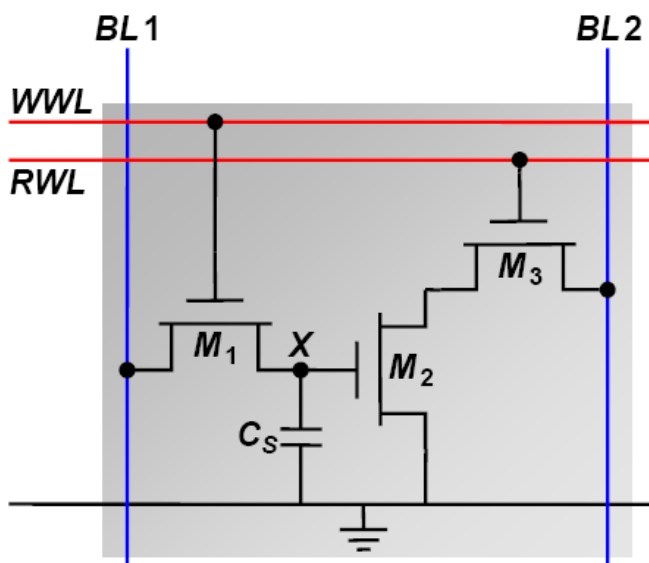
- Els transistors pull-up P poden tenir com a molt cadenes de 3 transistors P en sèrie i els pull-down N poden tenir com a molt cadenes de 3 transistors N en sèrie (hi poden haver tants transistors en paral·lel o camins en paral·lel com calgui, però cada camí en sèrie pot tenir com a molt el nombre de transistors indicat).
- A la sortida del circuit hi ha connectada una capacitat de 50 Cg.
- $1R_{sp} = 2 R_s$, $1 \tau = 1'2ns$, $1C_g = 2'49fF$ i $V_{dd} = 1'1V$.
- La funció que es vol calcular és: $f = \overline{(A + B \cdot C)} \cdot \overline{(D + E \cdot F)}$

Es demana:

- Dissenyar un circuit format per portes N-P que realitzi la funció.
- Si la freqüència del circuit és de 50MHz i el rellotge és simètric, quines mides mínimes han de tenir els transistors (totes les mides han de ser potències de 2 (1, 2, 4, 8, 16, 32, ...)?
- Caracteritzeu el circuit (Capacitat a les entrades, retard intern i retard dependent de la sortida).
- Calculeu el consum dinàmic si les entrades commuten un 60% del temps.

Problema 3 (3 punts)

Donada la següent cel·la DRAM de 3 transistors.



Assumint que el valor inicial a X és un 1 lògic (1V). Dibuixa en el cronograma següent les 2 accions consecutives següents:

- Espectura d'un 0 lògic (0V) a la cel·la.
- Lectura del valor de la cel·la.

Si en algun instant el valor és indeterminat i/o indiferent, dibuixa-ho com una franja contínua entre l'1 i el 0 (■).

En el cas de lectura, el bitline es precarrega a 1V. El valor inicial dins la cel·la (X) és d'1.

