



# Práctica 6

## Procesador: segmentación lineal con cortocircuitos

.....

Nombre y Apellidos	
Nombre y Apellidos	

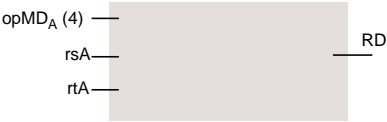
Número de grupo de laboratorio	
--------------------------------	--

**Preguntas**    1 Diseñe los módulos incluidos en la Lógica de Cortocircuitos e InterBloqueos: LRD, LRS, LDC y LDR (Figura 6.13). Para ello utilice registros y puertas lógicas de dos o tres entradas. Justifique el diseño de forma razonada. Todos los diseños solicitados deben utilizar el menor número posible de componentes lógicos, ya sean combinacionales o secuenciales. No muestre las señales Pcero y reloj en los módulos secuenciales.

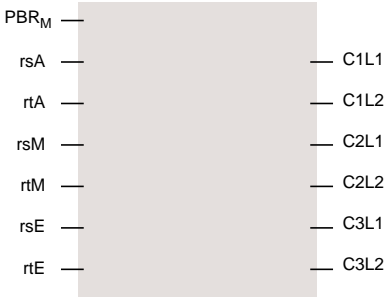
Módulo LRS	Justificación
------------	---------------



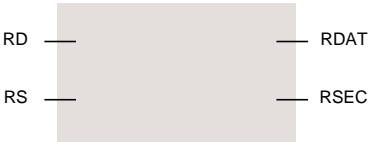
Módulo LRD	Justificación
------------	---------------



Módulo LDC	Justificación
------------	---------------



Módulo LDR	Justificación
------------	---------------



- 2** En la siguiente tabla se identifican los ficheros que se utilizarán en el diseño de la Lógica de Cortocircuitos e InterBloqueos. Los módulos LRD, LRS, LDC y LDR deben implementarse en los ficheros LRD.dwv, LRS.dwv, LDC.dwv y LDR.dwv respectivamente. En el módulo LDD utilice el diseño que ha efectuado para el procesador segmentado sin cortocircuitos. El módulo VAL se suministra en el fichero VAL.dwv. En la distribución, los módulos de los ficheros LRD.dwv, LRS.dwv, LDC.dwv, LDR.dwv y LDD.dwv tienen las salidas cableadas al valor cero. Esto es, no se gestionan riesgos ni se activan los cortocircuitos.

Nombre	Señales de entrada	Señales de salida	Descripción
lcib.dwv	INST, rdA, rdM, rdE, PBRA, PBRM, PBRE, reloj, Pzero	C1L1, C1L2, C2L1, C2L2, C3L1, C3L2, RDAT, RDSEC	Especificación estructural del circuito para el control de cortocircuitos y riesgos.
VAL.dwv	INST	vrs, vrt	Validación de los registros fuente de una instrucción.
LDD.dwv	rs, rt, vrs, vrt, rdA, rdM, rdE, PBRA, PBRM, PBRE	rsA, rsM,rsE, rtA, rtM, rtE	Especificación estructural del módulo LDD. Utilice el módulo diseñado para el procesador segmentado sin cortocircuitos.
LRD.dwv	rsA, rsM, rsE, rtA, rtM, rtE, opMDA	RD	Especificación estructural del módulo LRD.
LRS.dwv	mADL, mIDL, opsecDL	RS	Especificación estructural del módulo LRS.
LDC.dwv	rsA, rsM, rsE, rtA, rtM, rtE, PBRM, reloj, Pzero	C1L1, C1L2, C2L1, C2L2, C3L1, C3L2	Especificación estructural del módulo LDC.
LDR.dwv	RD, RS, reloj, Pzero	RDAT, RSEC	Especificación estructural del módulo LDR.

Como puede observar, el diseño en VHDL es estructural. La librería de componentes que puede utilizar se denomina libRiesCortos.clf.

Describa en VHDL los diseños que ha efectuado de los módulos LRD, LRS, LDC y LDR. Entregue una copia de los mismos.

- 3** Para facilitar el cálculo del tiempo de ciclo utilizaremos un cronograma donde se representa el retardo de cada elemento del camino de datos. En el cronograma se han tenido en cuenta las etapas para agrupar los componentes del camino de datos. En la siguiente tabla se muestran los acrónimos utilizados para denominar los componentes del camino de datos. Todos deben interpretarse como el retardo del componente. Alguno de los componentes están incluido dentro de un módulo que se visualiza, por

ejemplo, los decodificadores del banco de registros.

ES	ME	Registro de desacoplo de entrada de la etapa ES	
	FMTL	Módulo que formatea los datos leídos de la memoria de datos	
	mES	Multiplexor en la etapa ES	
M	AM	Registro de desacoplo de entrada de la etapa M	
	CNTL	Módulo interno al módulo MDS. Control de la memoria	
	MDE	Retardo de escritura en memoria	
	MDL	Retardo de lectura en memoria	
	mAD	Multiplexor en la etapa M	
ALU	DLA	Registro de desacoplo de entrada de la etapa ALU	
	C2L1/C2L2	Multiplexores de cortocircuito	
	C1L1/C2L2	Multiplexores de cortocircuito	
	mL1/mL2	Multiplexores para seleccionar los operandos a y b que utiliza la etapa ALU	
	ALU	Módulo ALU	
	retPBR	Retardo en el modulo que modifica la señal PBR en la etapa ALU. No está representado en las figuras	
	FMTE	Módulo para formatear el dato con el cual se actualiza memoria	
	USE	EVAL	Unidad de evaluación de la condición
		DECS	Módulo de secuenciamiento condicional
		SEL	Módulo de selección del secuenciamiento
ml		Multiplexor	
mAIR		Multiplexor	

DL	BDL	Registro de desacoplo de entrada de la etapa DL	
	UC	decBRE	Decodificador del puerto de escritura del banco de registros. No está representado en las figuras
		retBRE	Retardo en la actualización de un registro del banco de registros
	decBRL	Decodificador de los puertos de lectura del banco de registros. No está representado en las figuras	
	retBRL	Retardo en la lectura de un registro del banco de registros	
	decot	Retardo del decodificador	
	mlE	Multiplexor para seleccionar el identificador de registro destino	
	FMT	Módulo formateador del literal en la UC	
	C3L1/C3L2	Multiplexores de cortocircuito	
	U	FMTI	Formateador del campo literal en la USE
	S	+	Sumador en la USE
	E	C	Cálculo de la dirección cuando el direccionamiento es absoluto
		mA	Multiplexor
LCIB	L	VAL	Módulo de validación
	C	LDD	Módulo de detección de dependencias
	I	LRS	Módulo de detección de riesgo de secuenciamiento
	B	LRD	Módulo de detección de riesgo de datos
		LDC	Módulo para e ontrol de los multiplexores de cortocircuito
LDR		Módulo para la gestión de resgos	
BUS	CP	Registro CP	
	MI	Memoria de instrucciones	
CP	+	Sumador	
	mCP	Multiplexor cuya salida es entrada en el registro CP	

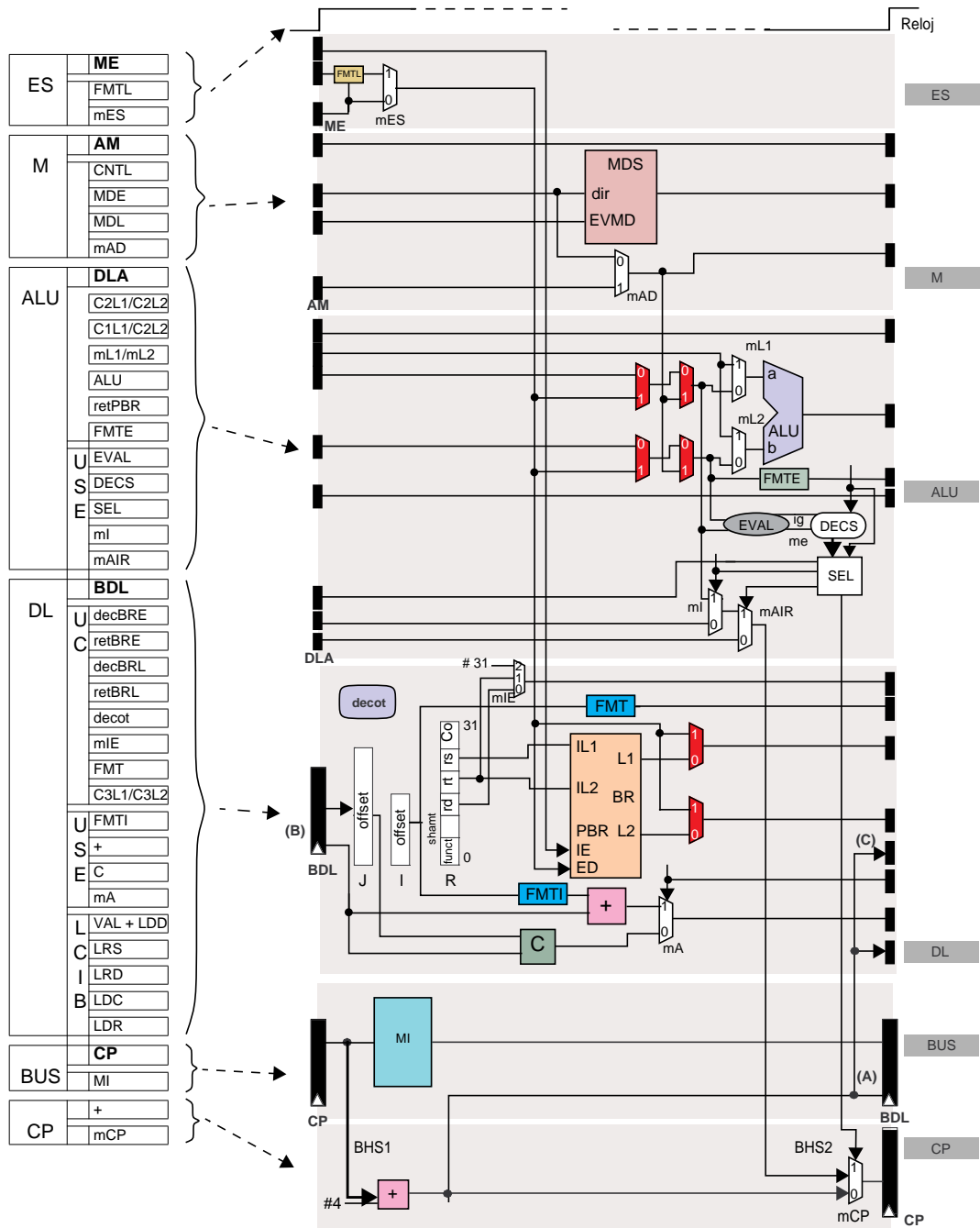
Los retardos de los componentes utilizados se detallan en el apéndice Apéndice 6.1 (Figura 6.21 y Figura 6.22). Estos retardos no son representativos de un diseño. Sólo son de utilidad para efectuar los cálculos de retardo que se solicitan.

Tenga en cuenta las mismas consideraciones que en la práctica del procesador segmentado sin cortocircuitos.

Calcule el tiempo de ciclo y la duración mínima de los niveles de la señal de reloj. Rellene el cronograma de retardos cuando la duración del nivel alto de la señal de reloj es el mínimo. Marque el camino crítico en el esquema del camino de datos que se suministra.

Tiempo de ciclo mínimo (ut)	
Tiempo nivel alto mínimo (ut)	
Tiempo nivel bajo mínimo (ut)	

u.t.		0				10				20				30			
reloj		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
ES	ME																
	FMTL																
	mES																
M	AM																
	CNTL																
	MDE																
	MDL																
	mAD																
ALU	DLA																
	C2L1/C2L2																
	C1L1/C1L2																
	mL1/mL2																
	ALU																
	retPBR																
	FMTE																
	U EVAL																
	S DECS																
	E SEL																
	ml																
	mAIR																
DL	BDL																
	U decBRE																
	C retBRE																
	decBRL																
	retBRL																
	decot																
	mIE																
	FMT																
	C3L1/C3L2																
	U FMTI																
	S +																
	E C																
	mA																
	L VAL																
	C LDD																
	I LRS																
	B LRD																
	LDC																
	LDR																
BUS	CP																
	MI																
CP	+																
	mCP																



- 4 Entregue una copia de la ventana de tiempo que se observa al ejecutar una iteración completa de la función `mult` del programa de prueba `"fact_rekurs"`. Identifique en el diagrama temporal las activaciones de los cortocircuitos. Identifique también los ciclos perdidos por riesgos de datos y de secuenciamiento. Para ello, marque los ciclos en los cuales la etapa E está procesando nops inyectadas por la lógica de interbloqueos
- 5 Ejecute el programa de prueba `"sort"` y calcule la ganancia respecto del procesador segmentado sin cotocircuitos. Para calcular la ganancia tenga en cuenta el tiempo de ciclo que ha calculado en las dos prácticas. Modifique el módulo contadores (`"Contadores de eventos"` en la página 285).

	Procesador CON cortocircuitos	Procesador SIN cortocircuitos
Ciclos perdidos por riesgos de datos		
Ciclos perdidos por riesgos de secuenciamiento		
Ciclos de ejecución		
Tiempo de ciclo (ns)		
Ganancia		

Ciclos perdidos por riesgos de secuenciamiento

## Ciclos de ejecución

Tiempo de ciclo (ns)

Ganancia

Procesador CON cortocircuitos

Procesador SIN cortocircuitos
-------------------------------

- 6** Un ingeniero analiza la actuación al interpretarse una instrucción de secuenciamiento y observa que si se sigue en secuencia se está estableciendo como valor en el registro CP la dirección de la instrucción que se descarta.

		ciclos									
dir.	instrucción	1	2	3	4	5	6	7	8	9	10
8	blez r3, 1\$,	CP	BUS	D/L	ALU	M	ES				
12	add r26, r0, r4		CP	BUS	D/L	ALU	M	ES			
16	sub r24, r2, r7			CP	BUS	nopS	nopS	nopS	nopS		
16	sub r24, r2, r7				CP	BUS	D/L	ALU	M	ES	
20	and r9, r9, r7					CP	BUS	D/L	ALU	M	ES

recursos

+ + USE

```

8    blez r3, 1$
12   add r26, r0, r4
16   sub r24, r2, r7
16   sub r24, r2, r7
20   and r9, r9, r7

```

ciclos									
1	2	3	4	5	6	7	8	9	10

CP	BUS	D/L	ALU	M	ES					
	CP	BUS	D/L	ALU	M	ES				
		CP	BUS	nopS	nopS	nopS	nopS			
			CP	BUS	D/L	ALU	M	ES		
				CP	BUS	D/L	ALU	M	ES	

recursos

+ + USE

En estas condiciones decide que sólo se descarte la instrucción que sigue a la instrucción que está en el retardo de la instrucción de secuenciamiento cuando se cumple la condición evaluada. En otras palabras, decide efectuar una predicción del resultado de evaluar la condición.

Para simplificar el diseño, se decide predecir seguir en secuencia de forma fija en todas las instrucciones de secuenciamento. Por tanto, en instrucciones de secuenciamento condicional, si no se cumple la condición la instrucción de secuenciamento no

actualiza el registro CP y no se descarta ninguna instrucción. En cualquier otro caso, la instrucción de secuenciamiento actualiza el registro CP y se descarta la instrucción que ha empezado a interpretarse en el ciclo previo.

En el diseño que se solicita, solo se requiere modificar el módulo SEL de la Unidad de Secuenciamiento Explícito (Figura 6.5) y algunos módulos de la Lógica de Cortocircuitos e InterBloqueos (Figura 6.13).

En cuanto al módulo SEL, observe que, cuando se detecta un error de predicción, el multiplexor mCP debe seleccionar la dirección destino de la etapa ALU. Por tanto, la señal de salida mCP debe activarse en caso de error de predicción.

- Utilizando puertas lógicas, diseñe el módulo SEL.

Módulo SEL	Justificación
<div> <div> <div>mA<sub>A</sub></div> <div>mI<sub>A</sub></div> <div>opsec<sub>A</sub>(3)</div> <div>mR</div> <div>mA<sub>A</sub></div> <div>mI<sub>A</sub></div> <div>mR</div> </div> <div></div> <div> <div>mCP</div> <div>mAIR</div> </div> </div>	

Observe que este mecanismo de predicción requiere también modificar la gestión de riesgos de secuenciamiento: se descarta la instrucción buscada cuando se detecta un error de predicción. En consecuencia, los módulos de LCIB a modificar son LRS y LDR.

- Suponga que la señal de control mCP (error de predicción) es una señal de entrada de LCIB. Diseñe los módulos LRS y LDR. Tenga en cuenta que la señal de salida RSEC debe activarse en caso de error de predicción.

Módulo LRS	Justificación
<div> <div> <div>mA<sub>DL</sub></div> <div>mI<sub>DL</sub></div> <div>opsec<sub>DL</sub>(3)</div> </div> <div></div> <div> <div>RS</div> </div> </div>	



Módulo LDR	Justificación
<div> <div>RD</div> <div>RS</div> <div>mCP</div> </div> 