



# Práctica 2

## Sumador de 4 bits y Sumador SIMD

.....

### Preguntas

- 1 Para el caso de interpretar los vectores de bits de entrada y salida como enteros en complemento a dos, proponga un conjunto de sentencias de asignación concurrente que calcule la suma de los valores de entrada e indique si el resultado es representable. Para esta última característica, el sumador tiene definida la señal de salida irre en la especificación de la interfaz. Incluya el conjunto de sentencias en el fichero sum4bent.dvw y compruebe el funcionamiento mediante el fichero suma4bent.tsv.
- Referencia:** "Modelo de comportamiento de un sumador de 4 bits" en la página 53.

Utilice la descripción estructural del sumador de 4 bits descrito en la práctica. Partiendo de entradas y salidas indefinidas, conteste a las siguientes cinco preguntas. **Referencia:** "Esquema de un circuito sumador de 4 bits" en la página 54, "Descripción en VHDL del sumador de 1bit con retardos" en la página 22.

- 2 Indique dos vectores de bits de entrada y un acarreo de entrada para observar el máximo retardo del sumador de 4 bits, incluyendo el cálculo de csal.

vectores de bits					retardo observado	Justificación
A						
B						
Cen						

**3** Indique dos vectores de bits de entrada y un acarreo de entrada para observar el menor retardo del sumador de 4 bits, incluyendo el cálculo de  $c_{sal}$ .

vectores de bits					retardo observado	Justificación
A						
B						
$c_{en}$						

**4** Indique las condiciones algebraicas que deben cumplir los 9 bits de entradas para que el retardo sea máximo.

**5** Indique las condiciones algebraicas que deben cumplir los 9 bits de entradas para que el retardo sea mínimo.