

# MULTIPROCESADORES

Enero de 2017

**NOTA:** el valor final de un cálculo debe ir acompañado de las unidades, si es el caso. Los valores numéricos deben expresarse en notación científica y con redondeo al número más próximo en las centésimas.

## EJERCICIO 1 ( 2 puntos)

Suponga un sistema multiprocesador con cinco procesadores. Al ejecutar un programa en el multiprocesador comprobamos que durante  $1/6$  del tiempo se han utilizado los 5 procesadores.

**Pregunta a:** Calcule la ganancia respecto a una ejecución serie.

**Pregunta b:** Calcule el porcentaje de código ( $\alpha$ ) que ha sido paralelizado.

**Pregunta c:** Calcule la ganancia si suponemos que el código paralelo se puede ejecutar con un número ilimitado de procesadores.

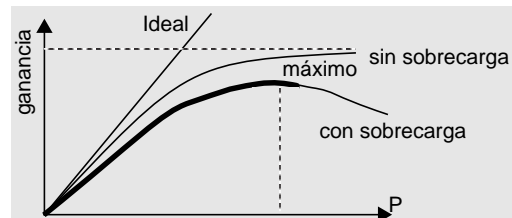
Suponga que se añaden 5 procesadores más. En estas condiciones el 80% del código paralelizable se puede ejecutar en 10 procesadores y el resto de código paralelizable se sigue ejecutando en 5 procesadores.

**Pregunta d:** Calcule la ganancia respecto a una ejecución serie.

**Pregunta e:** Utilizando solo 5 procesadores, calcule el porcentaje de código ( $\alpha_1$ ) que debe ser paralelizado (mejora de la capacidad de paralelización del compilador) para obtener la misma ganancia que en el apartado d).

Suponga que el coste (sobrecarga) de iniciar los procesos en los procesadores y otros efectos debidos a la sincronización y comunicación determinan que hay que considerar un coste adicional en el tiempo de ejecución paralelo.

**Pregunta f:** Sea  $\alpha = 0.5$  y suponiendo que la sobrecarga, por el concepto expuesto anteriormente, es 0.005 veces el número de procesadores ( $0.005 \times P$ ), calcule el número de procesadores con el que se obtiene la máxima ganancia.

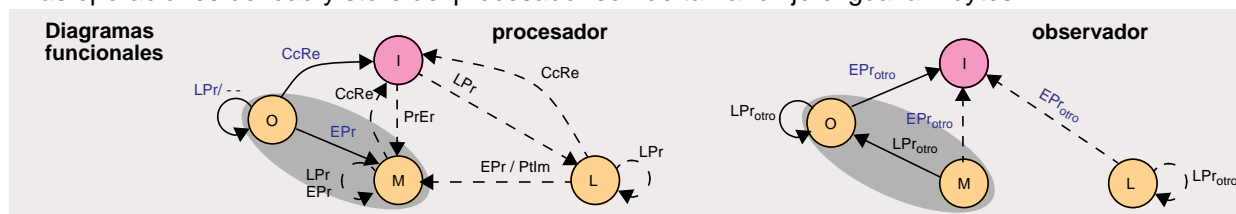


Nota: La derivada del producto de dos funciones es igual al primer factor por la derivada del segundo más el segundo factor por la derivada del primero. La derivada del cociente de dos funciones es igual a la derivada del numerador por el denominador menos la derivada del denominador por el numerador, divididas por el cuadrado del denominador.

## EJERCICIO 2 ( 2 puntos)

Suponga un multiprocesador donde las caches son de mapeo directo, tienen 40 entradas, el tamaño de cada contenedor es de 16 bytes y utilizan escritura retardada. El protocolo de coherencia tiene cuatro estados (inválido, lectura, modificado y propietario) y utiliza la técnica de invalidación para mantener la coherencia. Los estados inválido, lectura y modificado son los estados de un protocolo MLI. El estado propietario, etiquetado como O, tiene como función incrementar el suministro de bloques desde cache. A este estado se llega desde el estado M después de observar una transacción  $P_t$ , iniciada por otro pro-

cesador, y suministrar el bloque. Adicionalmente, en este caso no se actualiza memoria. Desde el estado O se sirven transacciones Pt y PtIm iniciadas por otros procesadores, efectuandose una transición a otro estado si es necesario. Una expulsión de un bloque en el estado O requiere actualizar memoria. Las operaciones de load y store del procesador son de tamaño fijo e igual a 4 bytes.



Responda SI o NO a las siguientes preguntas y justifique la respuesta de forma escueta (una frase).

**Pregunta a:** ¿Pueden estar los contenedores número 3 de varias caches en estado propietario (O) en el mismo instante ?.

**Pregunta b:** ¿Puede estar un bloque de memoria principal en varias caches en el estado O en el mismo instante ?.

**Pregunta c:** ¿Puede estar un bloque de memoria en el estado propietario (O) en una cache y en el estado lectura (L) en el resto de caches en el mismo instante ?.

**Pregunta d:** ¿Puede estar un bloque de memoria en el estado propietario (O) en una cache y en el estado modificado (M) en otra cache en el mismo instante ?.

Conteste la siguiente pregunta con un valor numérico o no existe ninguno y una justificación escueta.

**Pregunta e:** Indique, si existe, un tamaño de bloque que elimine la compartición falsa.

### EJERCICIO 3 ( 3 puntos)

Un multiprocesador utiliza el protocolo de observación VI con escritura retardada, denominado A. En la misma descripción se relaciona la organización de la cache.

**Pregunta a:** Indique cuántas copias de un bloque puede haber en las cache del multiprocesador. Justifique la respuesta.

Dos diseñadores discuten sobre el soporte de la arquitectura para implementar operaciones de acceso exclusivo. Para ello estudian la implementación de la instrucción test&set y del par de instrucciones load linked y store conditional.

Test&set	load linked	store conditional		Comentarios
TS $R_d, X(R_f)$	LL $R_d, X(R_f)$	El que ejecuta: SC $R_{fd}, X(R_f)$	Otros: dirección de la transacción (dir)	
$R_d = M[X + R_f^V]$	$R_d^V = M[X + R_f^V]$	if ( $RLD^V = X + R_f^V$ and $RLR^V = 1$ ) then	if ( $RLD^V = \text{dir}_{\text{transacción}}$ and $RLR^V = 1$ ) then	El superíndice V indica valor
$M[X + R_f^V] = 1$	$RLD^V = X + R_f^V$	$M[X + R_f^V] = R_{fd}^V$	$RLR^V = 0$	RLD: registro que almacena la dirección a la que accede un load linked
	$RLR^V = 1$	$R_{fd}^V = 1$		RLR: bit de enlace o reserva
		else $R_{fd}^V = 0$ ; la instrucción se convierte en una NOP		Los registros RLD y RLR los gestiona el controlador de cache
		$RLR^V = 0$		

El controlador de cache garantiza que cualquiera de estas instrucciones se ejecuta de forma atómica.

Si se produce un fallo de cache en una instrucción TS, la transacción es del tipo PtIm.

Para comprobar la utilidad de las instrucciones se analiza la siguiente secuencia de accesos a memoria, observada al competir varios procesadores para acceder de forma exclusiva a la variable A.

secuencia de accesos (A)		secuencia de accesos (B)	
1. P1 TS llave (1)	El valor inicial de las variables llave y A en memoria es 0 y 24 respectivamente. Inicialmente los bloques que contienen las variables no están almacenados en cache. Los bloques al mapearse en cache ocupan contenedores distintos	1. P1 LL llave	
2. P1 store A (3)		2. P1 SC llave(1)	
3. P3 TS llave (1)		3. P1 store A (3)	
4. P2 TS llave (1)		4. P1 store llave (0)	
5. P3 TS llave (1)		5. P3 LL llave	
6. P1 store llave (0)		6. P2 LL llave	
7. P2 TS llave (1)		7. P3 SC llave (1)	
		8. P3 LL llave	
		9. P2 SC llave (1)	

**Pregunta b:** Para la secuencia A), muestre, mediante una tabla, el estado de los bloques que contienen las variables llave y A en las caches de cada procesador. Así mismo, muestre las transacciones de bus y quién suministra el bloque.

**Pregunta c:** Para la secuencia B), muestre, mediante una tabla, el estado de los bloques que contienen las variables llave y A en las caches de cada procesador y el valor del bit de enlace o reserva (RLR). Así mismo, muestre las transacciones de bus y quién suministra el bloque. Si una instrucción no se ejecuta especifique el acrónimo NOP en el campo estado.

**Pregunta d:** Justifique si la implementación de las instrucciones descritas previamente tiene utilidad. Esto es, otro procesador obtiene el llave después de ser liberada, por un tercero, independientemente del entrelazado de peticiones LL y SC de los procesadores que compiten por obtener la llave. Para ello analice las secuencias previas de acceso a memoria.

En una implementación donde varios controladores de coherencia (CC) pueden competir para obtener el bus, no se puede considerar una acción atómica la detección de necesitar efectuar una transacción de bus y la realización de la misma. Por tanto, mientras un CC está pendiente de que se le conceda el bus, debe poder efectuar las acciones de observación inducidas por la transacción en curso en el bus, y en su caso suministrar un bloque de cache.

En el diseño que analizamos se considera atómica una transacción de bus. En consecuencia hay que distinguir la acción de solicitar el bus (PtBus) y la acción de concesión del bus (CnBus). Para ello se utilizan estados transitorios.

**Pregunta e:** Proponga el grafo de transiciones entre estados cuando se considera que el bus es atómico. Utilice dos grafos. En uno de ellos muestre las transiciones del agente procesador y en el otro las transiciones del agente observador.

**Pregunta f:** Dada la siguiente secuencia de accesos indique el número de contenedor, si es acierto o fallo, si se produce una expulsión que requiere actualizar memoria y la transacciones de bus. En la descripción del protocolo se relaciona la organización de la cache.

accesos	1. P1 load 2048	2. P2 store 1064	3. P3 load 1064	4. P3 store 1064	5. P2 load 3116	6. P1 store 3116	7. P1 load 2056	Las caches están vacías
---------	-----------------	------------------	-----------------	------------------	-----------------	------------------	-----------------	-------------------------

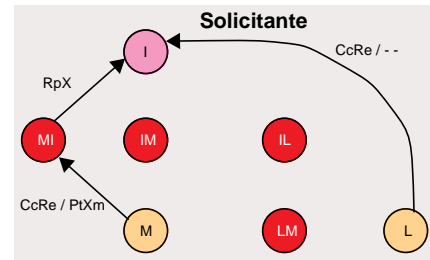
## EJERCICIO 4 ( 3 puntos)

Un multiprocesador utiliza el protocolo de directorio MLI denominado B. Suponga la siguiente secuencia de accesos.

accesos	accesos	Comentarios. Estado de los bloques
1. P1 store t	4. P2 store u	El bloque que contiene la variable t está almacenado en las caches C1 y C2 y el bloque que contiene la variable u no está almacenado en las caches. El estado del bloque que contiene la variable t es L en las dos caches. Los bloques que contienen las variables se almacenan en el mismo módulo de memoria y al ubicarse en cache se almacenan en el mismo contenedor.
2. P2 store u	5. P1 load t	
3. P2 load t	6. P2 load u	

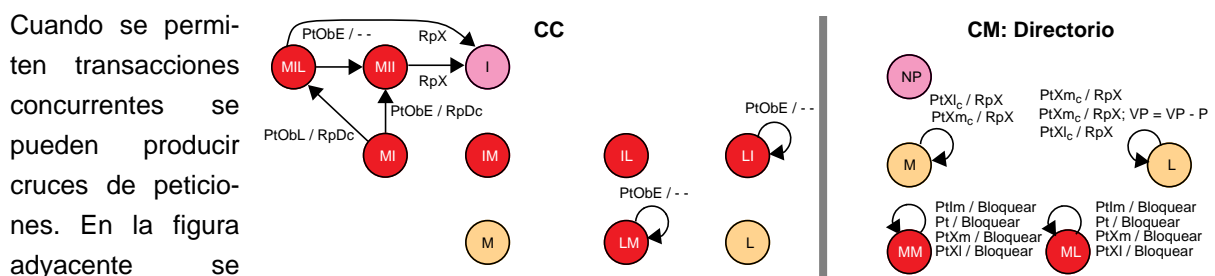
**Pregunta a:** Muestre en un diagrama temporal la secuencia de mensajes que genera cada transacción y los cambios de estado de los bloques en las caches y en el directorio al ejecutarse la anterior secuencia de accesos a memoria.

Un diseñador observa que el número de expulsiones de bloques en estado L es mucho mayor que el número de bloques expulsados en estado M. En consecuencia, para reducir el tráfico en las redes de interconexión decide no notificar al directorio la expulsión de un bloque en estado L. Esta característica se denomina expulsión silenciosa y el directorio se denomina impreciso. Esto es, el directorio no indica de forma precisa las copias del bloque en las cache privadas y siempre indica un conjunto mayor de CC que tienen copia que el que realmente existe. En contraposición, el directorio descrito en el protocolo B se denomina preciso.



**Pregunta b:** En un directorio impreciso, un controlador de coherencia pueda recibir una petición de observación de escritura (PtObE) de un bloque que no tiene almacenado en cache. Enumere todos los estados en los cuales un CC puede recibir una petición PtObE del CM, indique la respuesta en cada caso y el estado final.

**Pregunta c:** Para caches privadas de mapeo directo o de mapeo asociativo por conjuntos y los dos posibles tipos de directorio (preciso o impreciso) indique si es necesario comprobar el contenido de la cache (comparar etiquetas) cuando se recibe una petición del CM.



muestran las transiciones en los posibles cruces de peticiones, tanto en el CC como en el CM.

Cuando una petición, después de acceder al directorio (fase M en una transacción, no puede procesarse se indica con el acrónimo B (bloqueo). Posteriormente, cuando puede procesarse en el directorio se indica el acrónimo M. Una petición en la cola de peticiones se indica con el acrónimo CP.

casos	ciclos						
bloqueo	Ri	M	B	B	B	M	...
espera	...	RI	CP	CP	CP	CP	B o M

Suponga las siguientes secuencias de acceso a memoria, donde el ordinal de acceso indica el orden en el cual se procesan en el CM. Todas las transacciones se inician concurrentemente.

Orden de procesado en el CM		Comentario y estado de los booque
H	F	
1. P2 load t	1. P2 load t	El bloque está en estado M en la cache C1
2. P3 store t	2. P1 PtXm t	Los otros CC no tienen copia del bloque
3. P1 PtXm t		

**Pregunta d:** Muestre un diagrama temporal para cada una de las secuencias de accesos a memoria.

En un multiprocesador el protocolo utilizado es MLI y las redes de interconexión sólo mantienen el orden de los mensajes punto a punto. Esto es, entre un emisor y un receptor. En este contexto los CC deben responder a las peticiones de invalidación.

**Pregunta e:** Indique la ventaja de que entre los CM y los CC se utilice una red para peticiones y otra red para respuestas, respecto de utilizar una única red para peticiones y respuestas.

**Pregunta f:** Indique la ventaja de que el recolector de las respuestas de los CC a los mensajes de invalidación de un CM sea el CC solicitante, respecto a que sea el CM que ha emitido las peticiones de invalidación.

### Descripción de un protocolo de observación VI con escritura retardada denominado A

Suponga un multiprocesador con P procesadores, donde la organización de las caches privadas es mapeo directo y utilizan escritura retardada. El tamaño de bloque es 32 bytes y el número de contenedores es 16. Los estados de un bloque pueden ser I (inválido) y V (válido). La red de interconexión utilizada en el multiprocesador es un bus y el protocolo de coherencia es del tipo invalidación.

Las caches privadas de los procesadores son bloqueantes. En un fallo de cache se suspende la interpretación de instrucciones y se reanuda al finalizar la transacción.

Una cache puede suministrar directamente el dato dentro de una transacción de bus iniciada por otro procesador. Además, en este caso se actualiza memoria. Cuando una cache tiene un bloque en estado V activa la señal denominada MOD. En la red de interconexión se dispone de un cable que es la función OR de las señales MOD de cada una de las caches. Las peticiones de procesador y las transacciones de bus y el diagrama de transiciones entre estados son las siguientes.

Procesador	Controlador de cache (CC)		Memoria	Diagrama de transiciones entre estados utilizado en los CC
Peticiones	Transacciones	Acciones	Acciones	
LPr : lectura	Pt : petición de bloque	CcRe: reemplazo de un bloque	Dev: almacenar en memoria	<p><b>Agente procesador</b></p> <p><b>Agente observador</b></p>
EPr: escritura	Ptlm: petición de bloque con intención de modificarlo	MOD: señal que indica bloque en estado V en una cache		
	PtX: petición de expulsión	CaC: suministro del bloque		

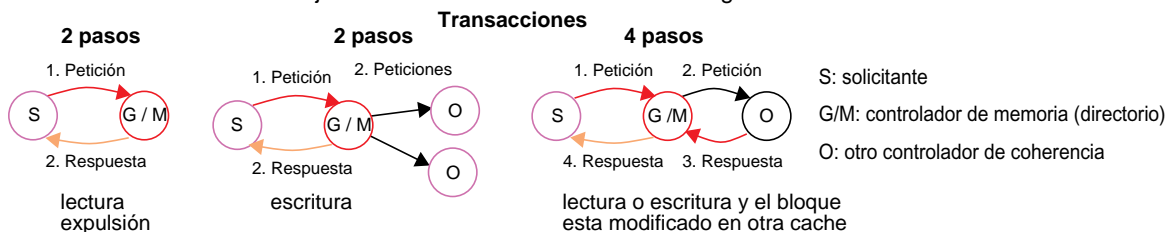
### Descripción de un protocolo de directorio MLI denominado B

Suponga un multiprocesador donde las caches privadas son de mapeo directo y utilizan escritura retardada. Las redes de interconexión entre las caches y el módulo de memoria son de tipo crossbar y mantienen el orden de los mensajes emitidos. El multiprocesador utiliza un directorio para mantener la coherencia y el protocolo de coherencia es de invalidación (MLI).

Las caches privadas de los procesadores son bloqueantes. En un fallo de cache o en una solicitud de exclusividad se suspende la interpretación de instrucciones y se reanuda al finalizar la transacción.

El directorio utiliza un vector de presencia (VP) y un bit de exclusividad (BE) por bloque. El vector de presencia es un vector de bits, con tantos bits como procesadores y cada bit está asociado a un procesador. El bit de exclusividad se utiliza para indicar que sólo existe una copia del bloque en una cache privada, la cual está identificada en el vector de presencia.

Las secuencias de mensajes de las transacciones son las siguientes:



Las peticiones de procesador y los mensajes utilizados en las transacciones para mantener la coherencia son:

Procesador	Controlador de cache (CC)		Controlador de memoria (CM)		
Peticiones	Peticiones del CC al CM	Respuestas del CM al CC	Peticiones del CM a los CC	Respuestas del CC al CM	Acciones
LPr : lectura	Pt : petición de bloque	RpD: respuesta con el bloque a una petición Pt o Ptlm	PtObE: petición de observación de escritura, inducida por una petición Ptlm	RpDc: respuesta con el bloque a una petición PtObL o PtObE y el estado del bloque en cache es M	Actualización del directorio
EPr : escritura	Ptlm: petición de bloque con intención de modificarlo	RpX: respuesta de confirmación a una petición PtXm o PtXI	PtObL: petición de observación de lectura, inducida por una petición Pt y el estado del bloque en el directorio es M		Dev: actualización de memoria
	PtXm: petición de expulsión de un bloque en estado M				
	PtXI: petición (notificación) de expulsión de un bloque en estado L				

El controlador de cache también efectúa acciones de reemplazo cuando es necesario (CcRe). En una acción de reemplazo se distingue la acción de notificación al directorio, ya que éste es preciso y si es el caso, una actualización de memoria con el bloque expulsado, si éste ha sido modificado durante su estancia en la cache. En una petición PtXm se actualiza el directorio y memoria, mientras que en una petición PtXI sólo se actualiza el directorio.

Cuando el servicio de un acceso a memoria requiere un reemplazo, éste se efectúa antes de gestionar el acceso a memoria que produce la acción de reemplazo.

Las fases de cada uno de los mensajes son:

mensajes	ciclos		
	1	2	3
Pt, Ptlm, PtXm, PXI	arb	RI	M
RpD, RpX	arb	RV	D ó X
PtObE, PtObL	arb	RMC	Cx
RpDc	arb	RCM	M

arb: arbitraje en la red correspondiente

RI: red de peticiones desde los CC a los CM

RV: red de respuestas de los CM a los CC

RMC: red de peticiones de los CM a los CC

RCM: red de respuestas de los CC a los CM

M: memoria (directorio)

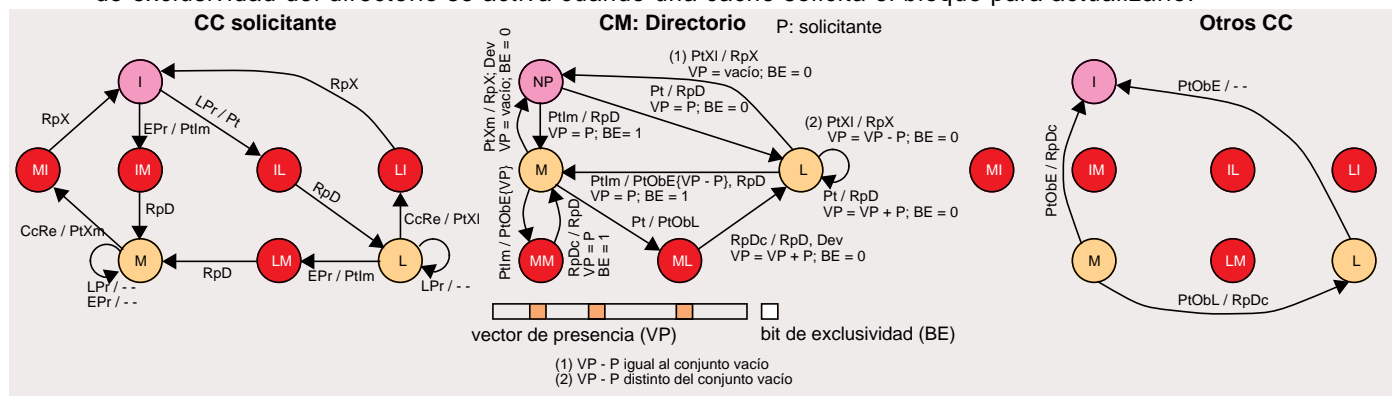
D: dato (RpD)

X: confirmación (RpX)

Cx: cache, donde x es el ordinal de la cache

En un CC, para distinguir, en una transacción, entre la emisión de un mensaje de petición y la recepción de una respuesta, se utilizan estados transitorios (IL, LM, IM, LI, MI). En el CM para distinguir entre la emisión de un mensaje de petición, correspondiente a una transacción que está procesando el CM, y la respuesta de un CC se utilizan estados transitorios (ML, MM).

En los siguientes diagramas de estados se muestran todas las transiciones entre estados, ya sean estables o transitorios, de un bloque en cache y en el directorio. En el protocolo que se describe, el bit de exclusividad del directorio se activa cuando una cache solicita el bloque para actualizarlo.



En este multiprocesador supondremos que sólo existe un acceso a memoria en un instante determinado.

En un diagrama temporal se muestran en la parte superior las fases de los mensajes de una transacción, en la parte central se especifica el estado de los bloques en las caches y en el directorio. En la parte inferior se etiqueta el mensaje o la respuesta que se representa en la parte superior. El estado de los bloques en cache o en el directorio se indica sólo cuando hay un cambio de estado.

Fases y eventos	Especificaciones
arb	Se especifica el estado transitorio del bloque.
M	Se especifica el VP utilizando el ordinal de los procesadores cuyas caches tienen copia del bloque y si el bloque lo tiene una cache en exclusividad se añade la letra E. La especificación se efectúa la última vez que se visita el directorio en una transacción.
D ó X	Se especifica el estado estable del bloque en la cache cuyo CC ha efectuado la petición.
Cx	Se especifica la modificación de estado determinada por la petición del CM
Transacción de 2 pasos	Se utiliza una fila para indicar la respuesta del CM y otra fila para indicar todas las peticiones del CM.
Reemplazo	Determina una expulsión: se especifica en la columna etiquetada como referencia. Para ello, se utilizan dos filas contiguas. En la primera fila se especifica la expulsión (PtXm o PtXI) y en la segunda fila la petición que determina la expulsión.
Mensaje	Se indica en la columna correspondiente a arb.