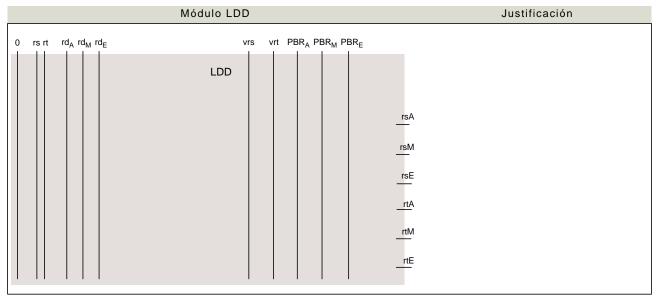
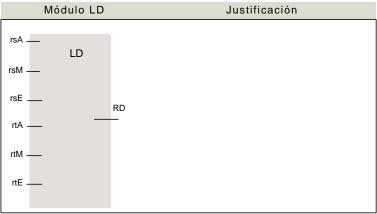
Práctica 5 Procesador: segmentación lineal, camino de datos y control

Nombre y Apellidos		
Nombre y Apellidos		
Número de grupo de laboratorio		

Preguntas

1 Diseñe el contenido de los módulos LDD y LD (Figura 5.23). Para ello utilice comparadores de cinco bits, inversores y puertas lógicas de dos o tres entradas. Justifique el diseño de forma razonada.





2 En el camino de datos el módulo que incluye la descripción de LIB se denomina "Lógica de InterBloqueos". Como puede observar, el diseño en VHDL es estructural. La librería de componentes que puede utilizar se denomina libRiesgos.clf.

Describa en VHDL los diseños que ha efectuado de los módulos LDD y LD. Para ello utilice los ficheros LDD.dwv y LD.dwv distribuidos. Entregue una copia de los mismos. Compruebe el diseño del módulo LDD mediante el fichero de estímulos LDD.tsv.

- 3 Entregue una copia de la ventana de tiempo que se observa al ejecutar una iteración completa de la función mult del programa de prueba "fact_recurs". Tenga en cuenta la forma de representar las instrucciones en el apartado "Visualización de la propagación de una instrucción por las etapas" en la página 279 para explicar la ventana temporal. Identifique claramente los ciclos perdidos por riesgos de datos. Para ello, marque los ciclos en los cuales la etapa E está procesando nops inyectadas por la lógica de interbloqueos.
- 4 Utilice el programa de prueba "sort". Modifique el módulo contadores ("Contadores de eventos" en la página 285) para medir y calcular las métricas indicadas en la siguiente tabla. Añada un proceso para medir los ciclos perdidos y otro proceso para medir las instrucciones ejecutadas y los tipos de instrucciones.

Instrucciones ejecutadas	
Ciclos perdidos	
Riesgos 3 ciclos de bloqueo	
Riesgos 2 ciclos de bloqueo	
Riesgos 1 ciclo de bloqueo	
CPI	

Instrucciones secuenciamiento	
Saltos condicionales tomados	
Llamadas a subrutina	
Instrucciones predicadas falsas	
Instruciones Load	
Instrucciones Store	

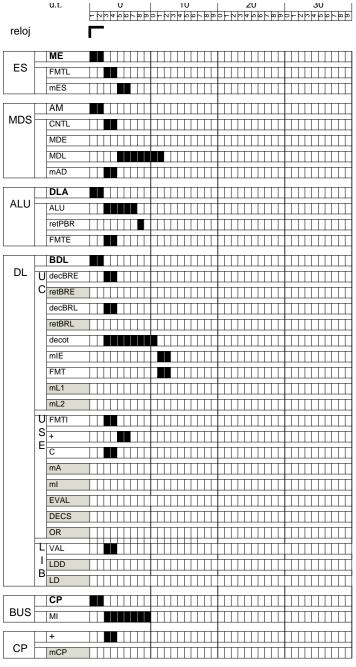
5 En la Figura 5.29 se muestra el retardo de cada etapa del procesador segmentado. En las siguientes preguntas los retardos de los componentes del módulo LIB son los siguientes y están declarados en el "package retardos" (Figura 5.35). En la USE, el retardo de la puerta OR es 1 ns.

constant retVAL: time := 2ns; constant retLDD: time:= 3ns; constant retLD: time:= 1ns;

Calcule el tiempo de ciclo mínimo y la duración mínima de los niveles de la señal de reloj cuando se tiene en cuenta la lógica de interbloqueos. Justifique de forma razonada si se modifica el tiempo de ciclo o la duración de los niveles lógicos de la señal de reloj respecto a un diseño sin control de riesgos.

	u.t.	Justificación
Tiempo de ciclo mínimo		
Nivel alto mínimo		
Nivel bajo mínimo		

Complete el cronograma de retardos cuando la duración del nivel bajo de la señal de reloj es el mínimo.



6 Indique el retardo máximo del componente LDD que permita mantener el tiempo de ciclo mínimo calculado en la pregunta anterior.

	u.t.	Justificación
Tiempo máximo LDD		