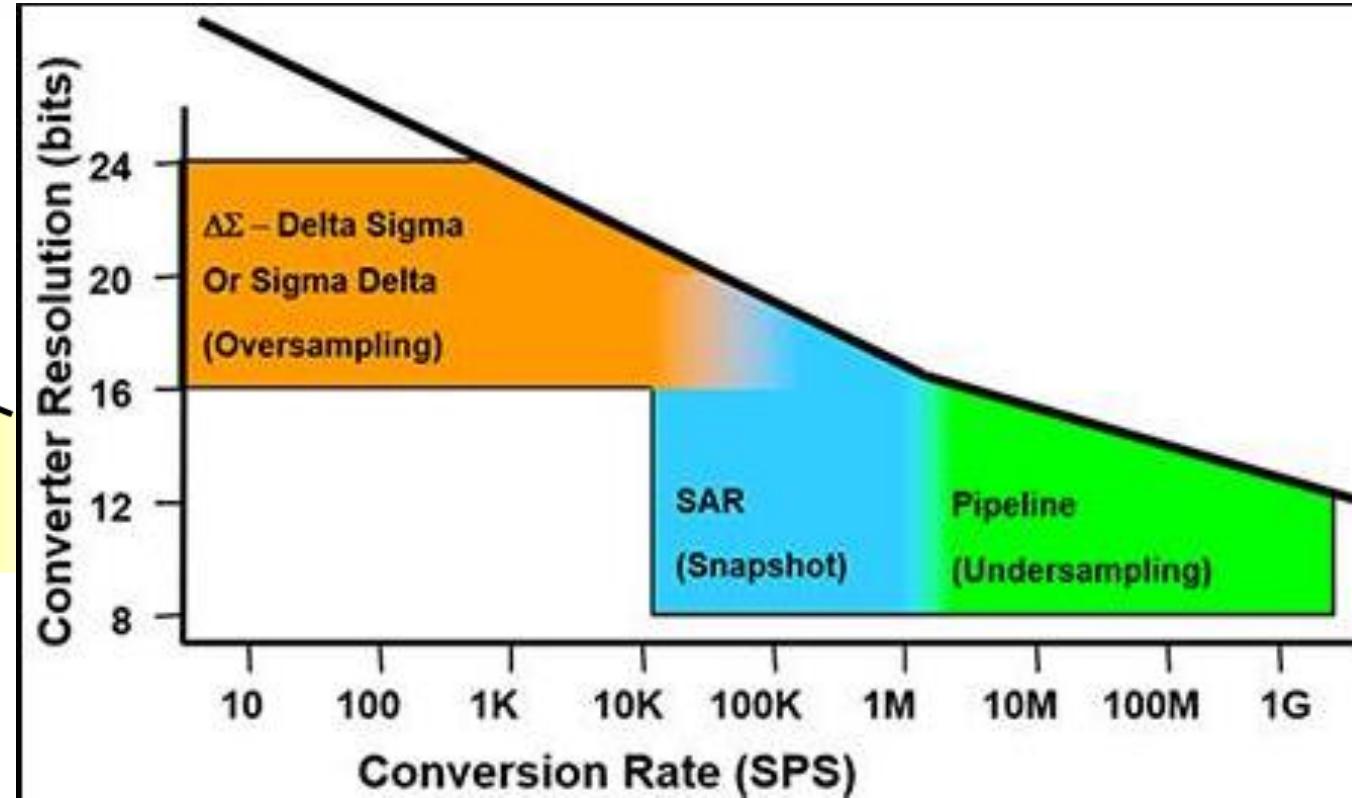
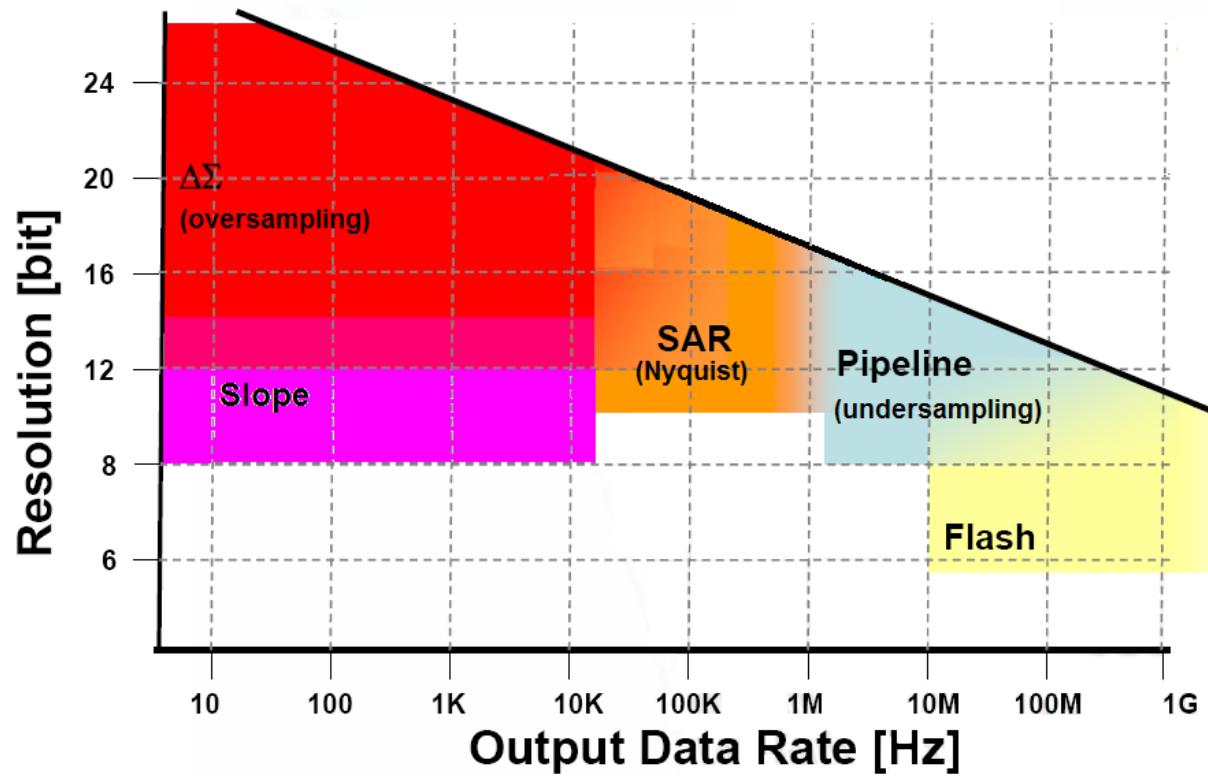
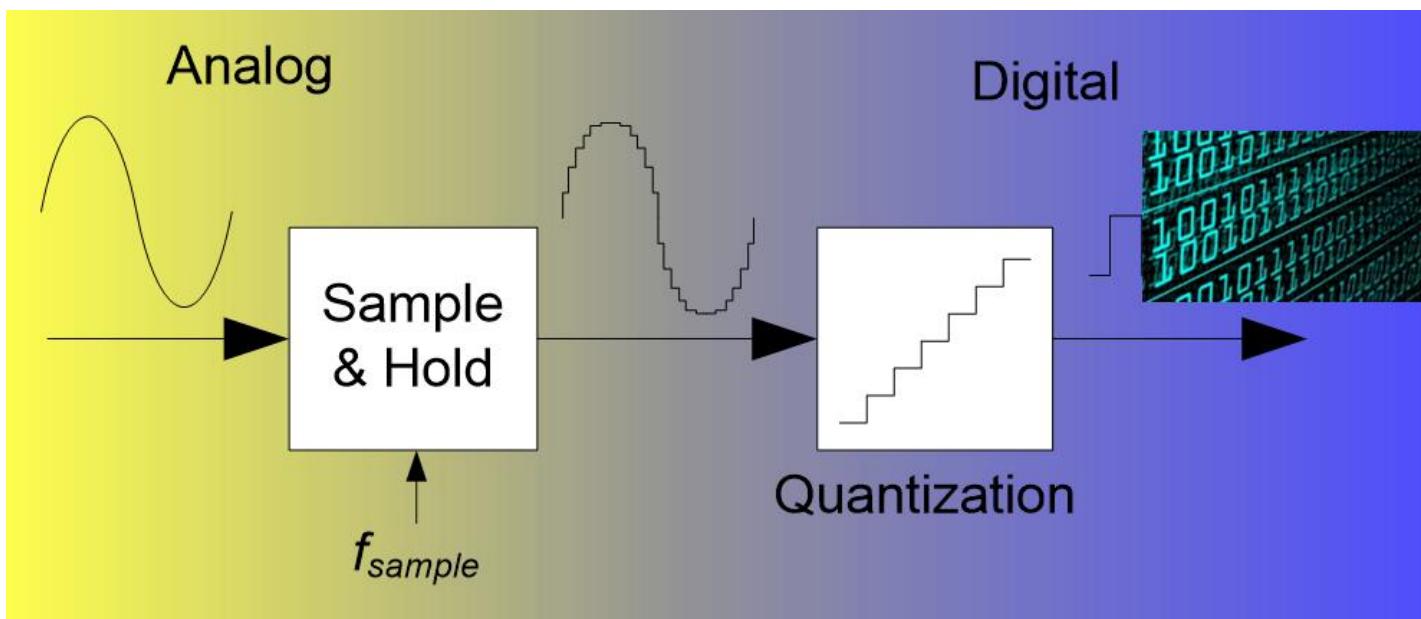
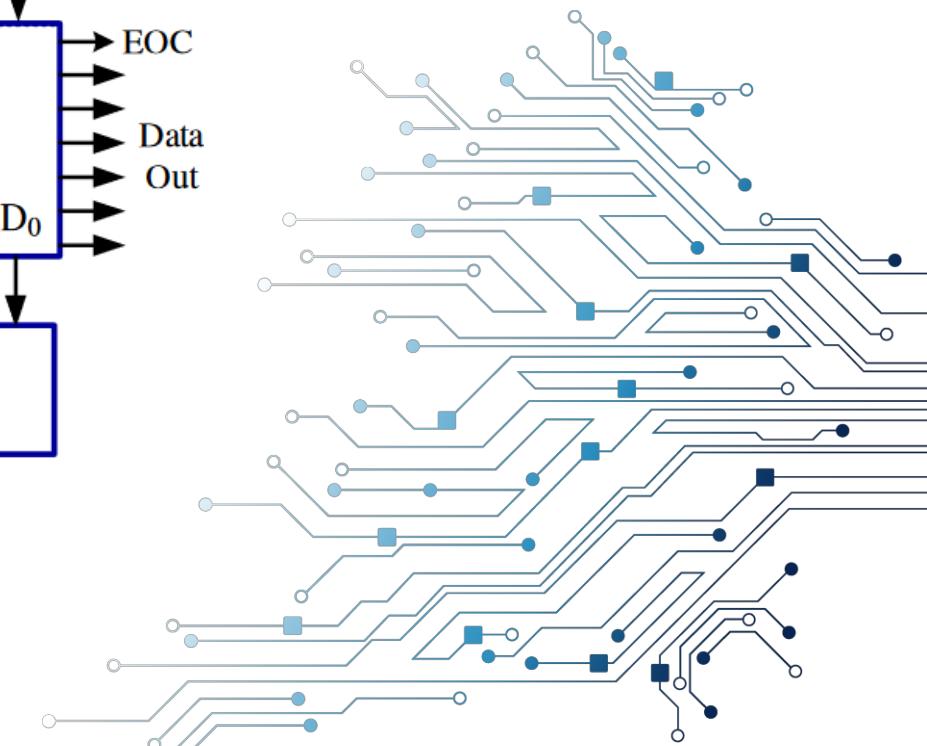
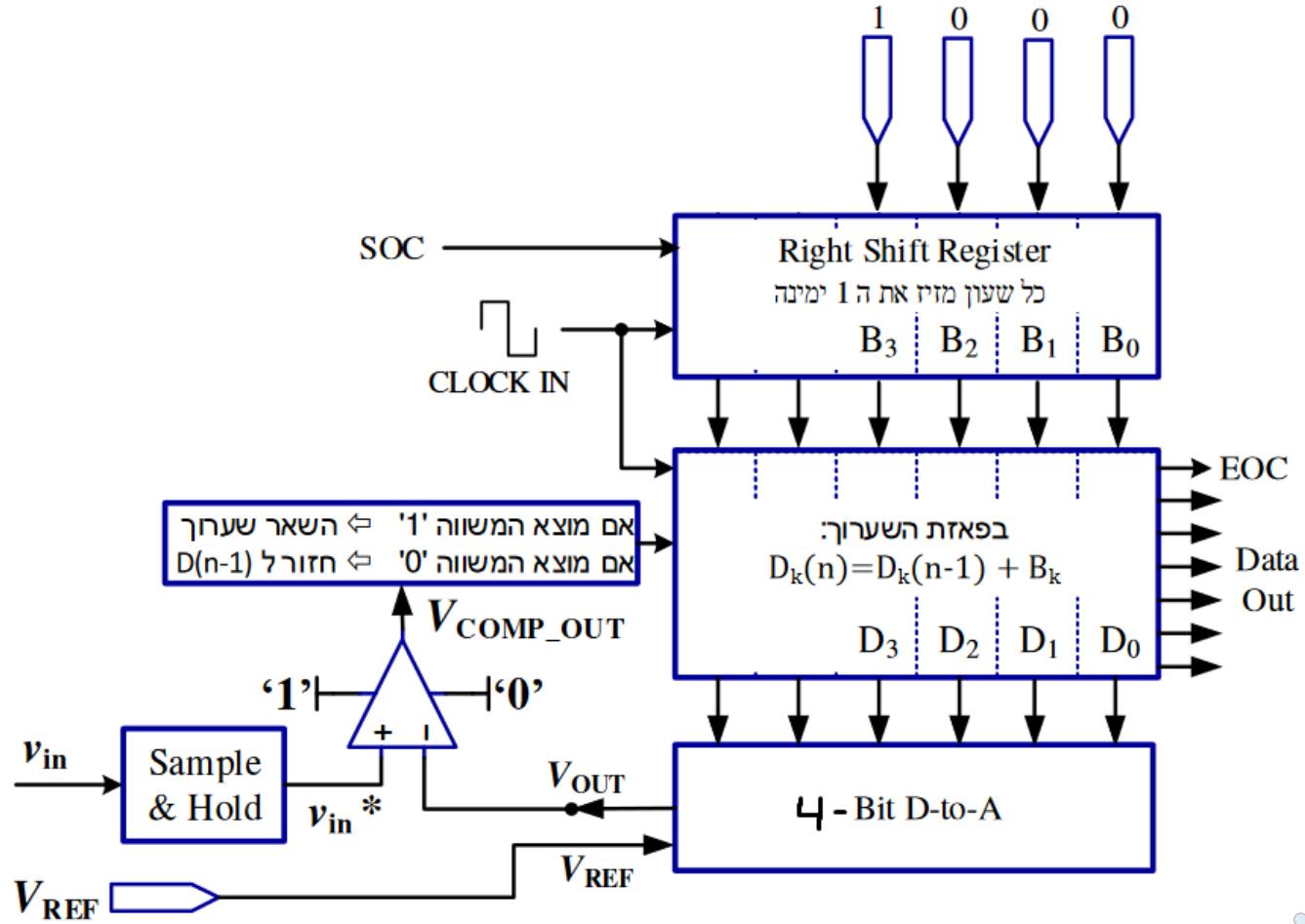


ADC Converters

- מציגים:
דניאל מזרחי
ירדן קנר
מתן פורת

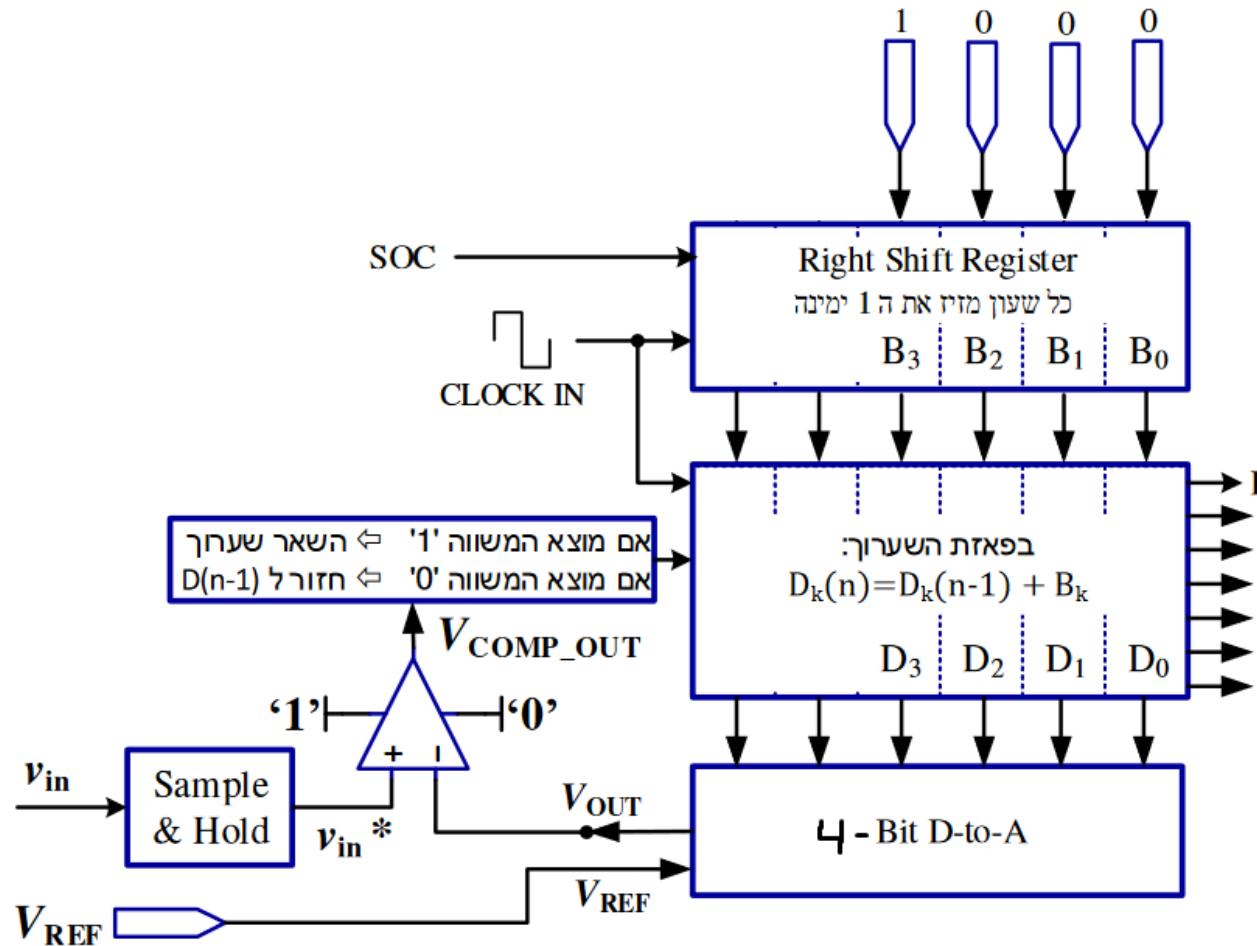


ממיר אנלוגי לדיגיטלי מסוג SAR

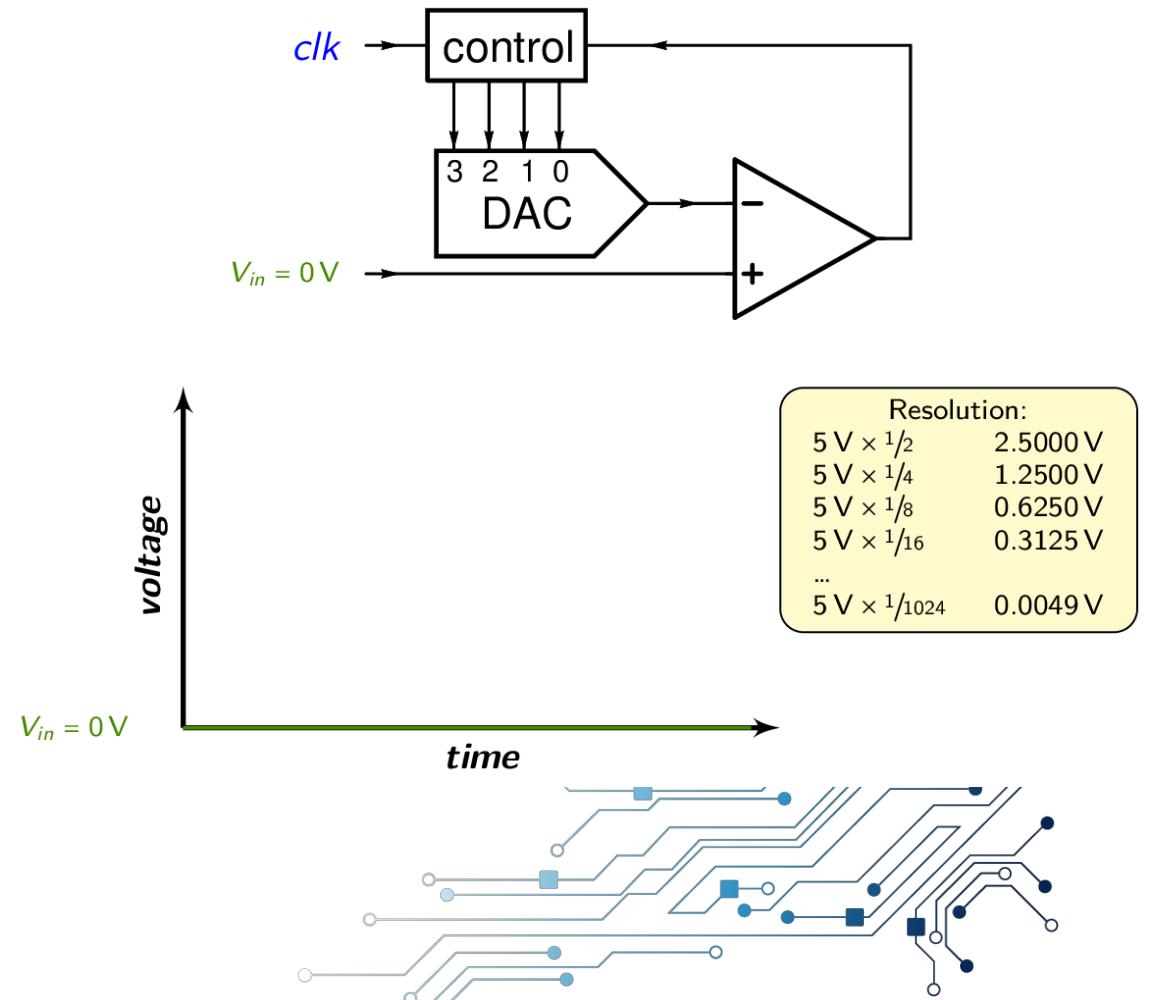


מציג: מתן

סיגר אנלוגי לדיגיטלי מסוג SAR

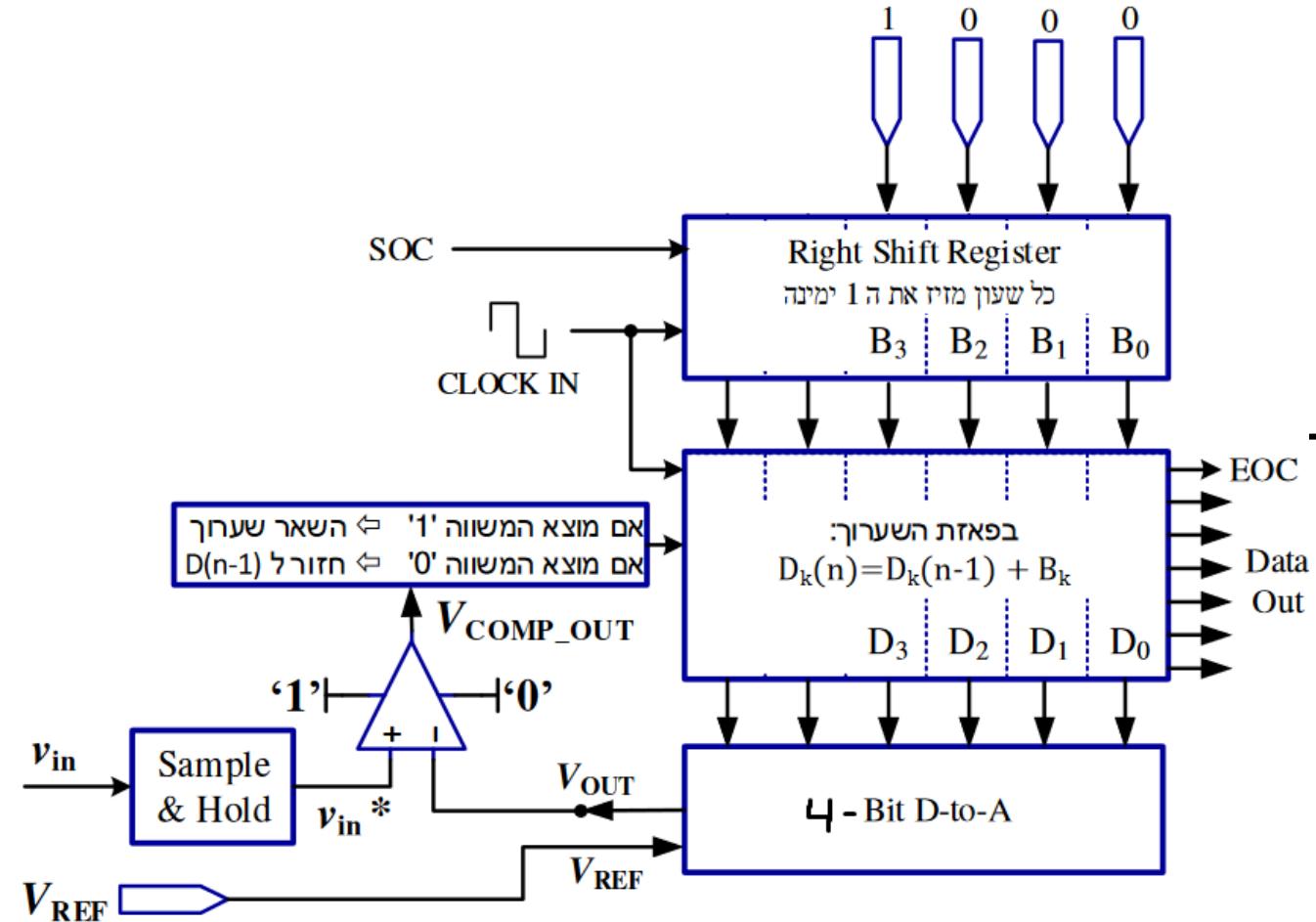


Successive Approximation – example of a 4-bit ADC





ממיר אנלוגי לדיגיטלי מסוג SAR



תרכנות:

זמן המרה קצר (ככמת הביטים)
"פשוט"

אין הצלבותות במידה ויש שגיאה בשיעורן

חיסון:

צריר DAC מאד מדויק!

מציג: מתן

על מה נعبر היום?

דיאגרמת בלוקים
של ה SAR

מעגל SAR שלם
וסימולציה

צלילה לתוכן
הרכיבים השונים

קשהים שחוינו
במהלך העבודה

סיכום

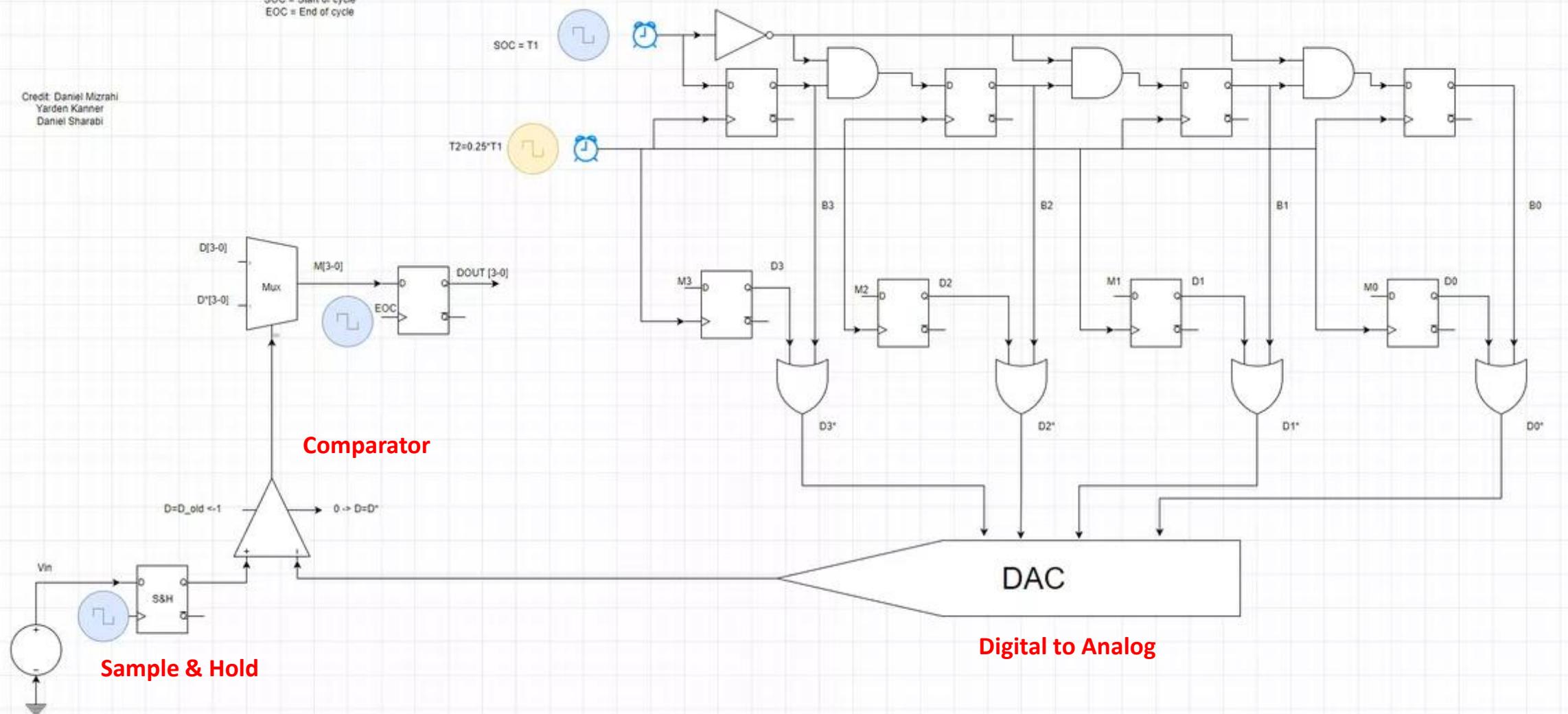
מציג: מתן



דיאגרמת בלוקים
של ה SAR

Credit: Daniel Mizrahi
Yarden Kanner
Daniel Sharabi

SOC = Start of cycle
EOC = End of cycle



מציג: דנו

Credit: Daniel Mizrahi
Yarden Kanner
Daniel Sharabi

SOC = Start of cycle
EOC = End of cycle

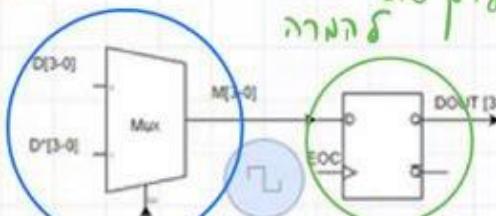
בסיום אפסים
תפקידו להרוויח

SOC = T1

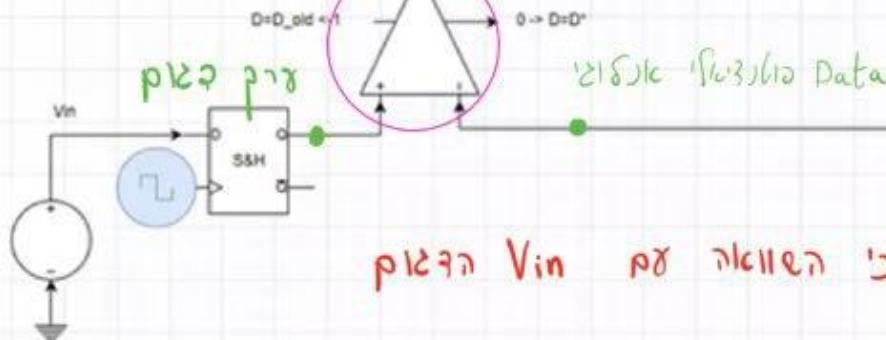
בסיום גזורי דיאטה
תפקידו להרוויח

T2=0.25*T1

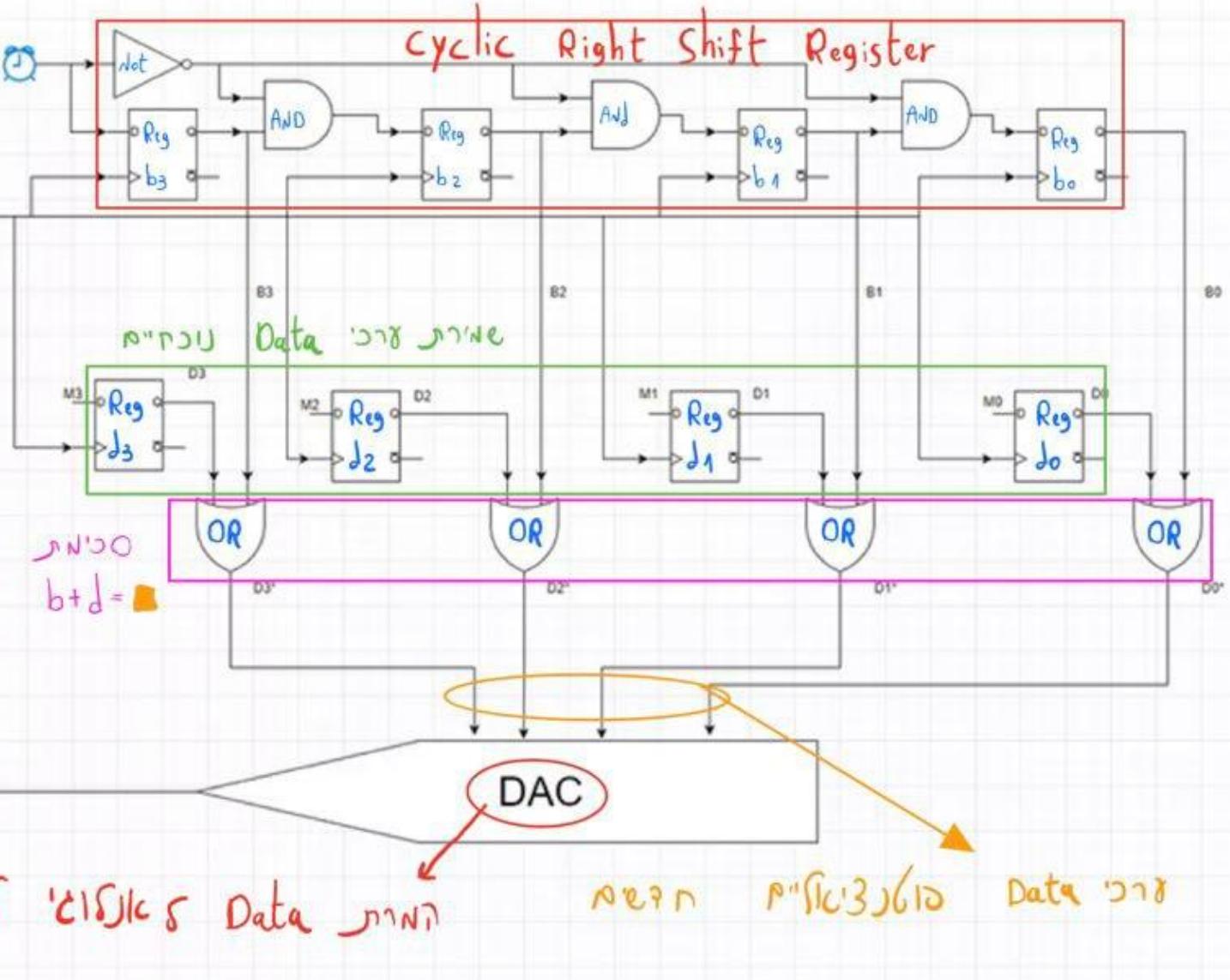
הנחיות גודל מודול
בפערת מודול
בפערת מודול



comparator

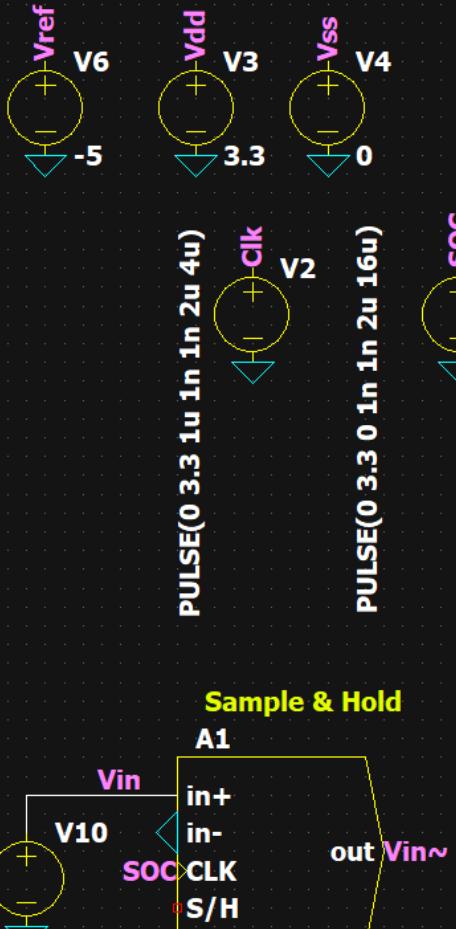


מציג: דנו





SAR שלם וסימולציה



```
.ic V(dk0) = 0
.ic V(dk1) = 0
.ic V(dk2) = 0
.ic V(dk3) = 0
.ic V(d0) = 0
.ic V(d1) = 0
.ic V(d2) = 0
.ic V(d3) = 0
```

.tran 1000u

Choose Dk* or Dnew*

MUXER	X3
d0	d0
d1	d1
d2	d2
d3	d3
dk0	dk0
dk1	dk1
dk2	dk2
dk3	dk3
Sel	Sel
Vdd	Vdd
Vss	Vss

DMY

Right Shift Register CYCLIC

RSR X8

SOC	Clock2	B3	b3
	Clk	B2	b2
		B1	b1
		B0	b0
			DMY

SUM B+Dk*

SUM X1

b3	b3
b2	b2
b1	b1
b0	b0
dk3	dk3
d0	dk2
d1	dk1
d2	dk0
d3	d0
SOC	d3
Vdd	d2
Vdd	d1
Vss	d0

Danie, Matan, Yarden

DAC for comparitor

DAC4BIT X6

dk3	d3
d0	dk2
d1	dk1
d2	dk0
d3	d0
SOC	Vdd
Vdd	Vdd
Vdd	Vref
Vss	Vss

Danie, Matan, Yarden

Comparitor - $V_{in^*} : V_{conv}$



DK*
Register

Clk	D3	d3
B3	D2	d2
B2	D1	d1
B1	D0	d0
B0		

DK*
Register

Clk	D3	d3
B3	D2	d2
B2	D1	d1
B1	D0	d0
B0		

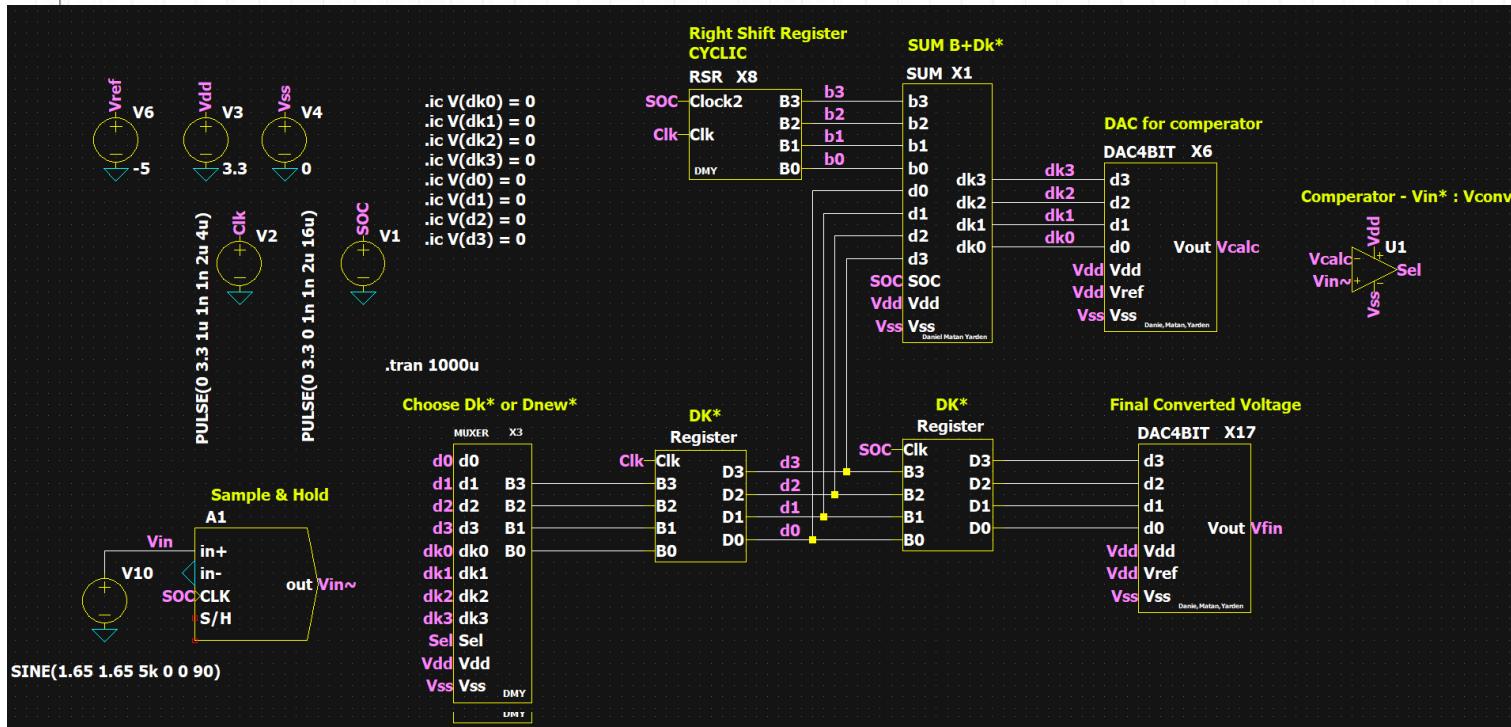
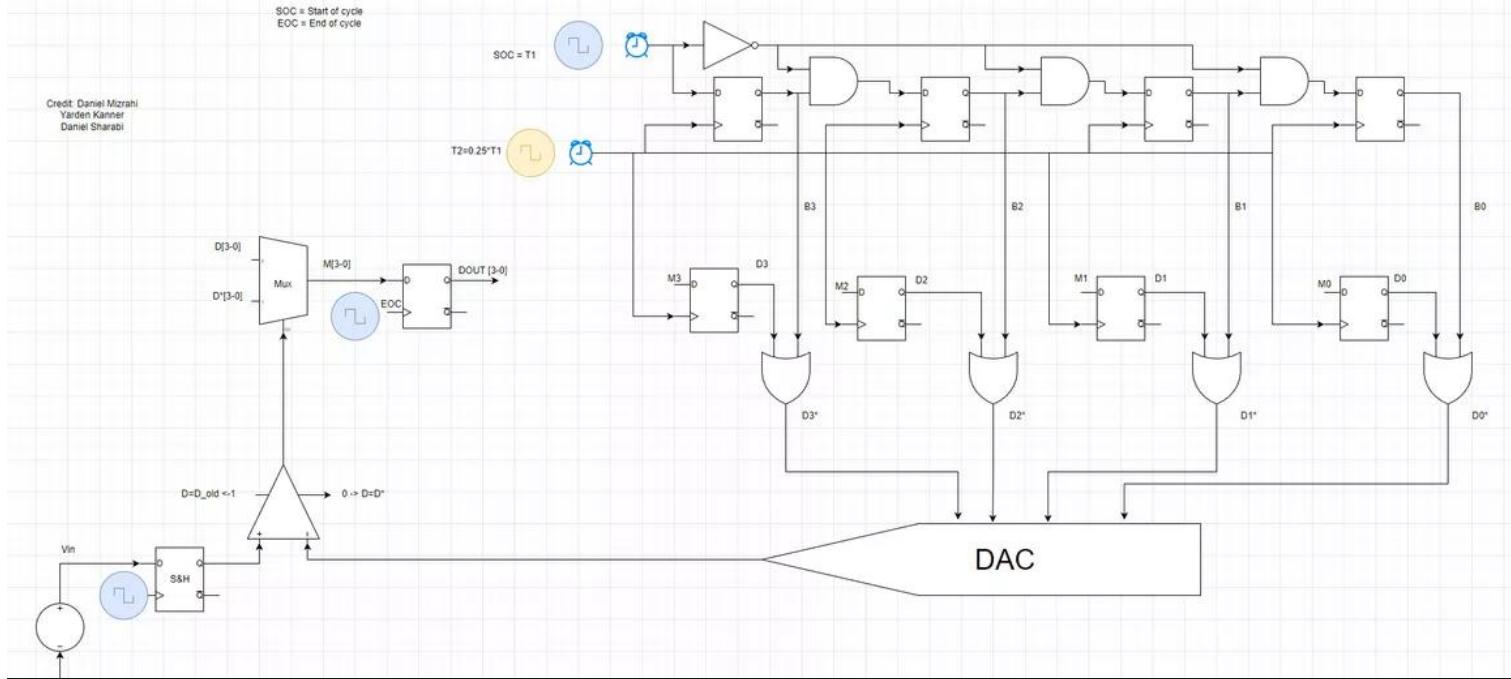
Final Converted Voltage

DAC4BIT X17

d3	d2	d1	d0	Vout Vfin
Vdd	Vdd	Vref		
Vdd	Vdd	Vref		
Vss	Vss			

Danie, Matan, Yarden

מציג: דניאל



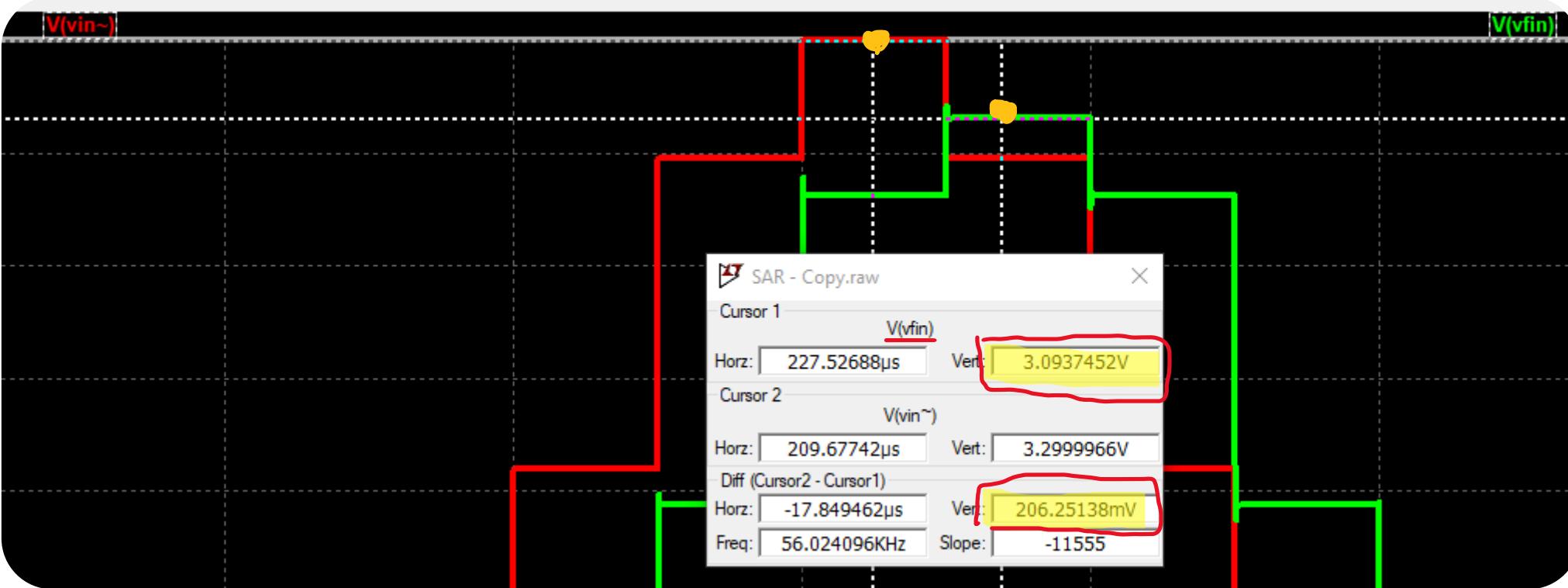
בדיקה כל רמות המתח לקוונטיטיצר בעזרת Sawtooth



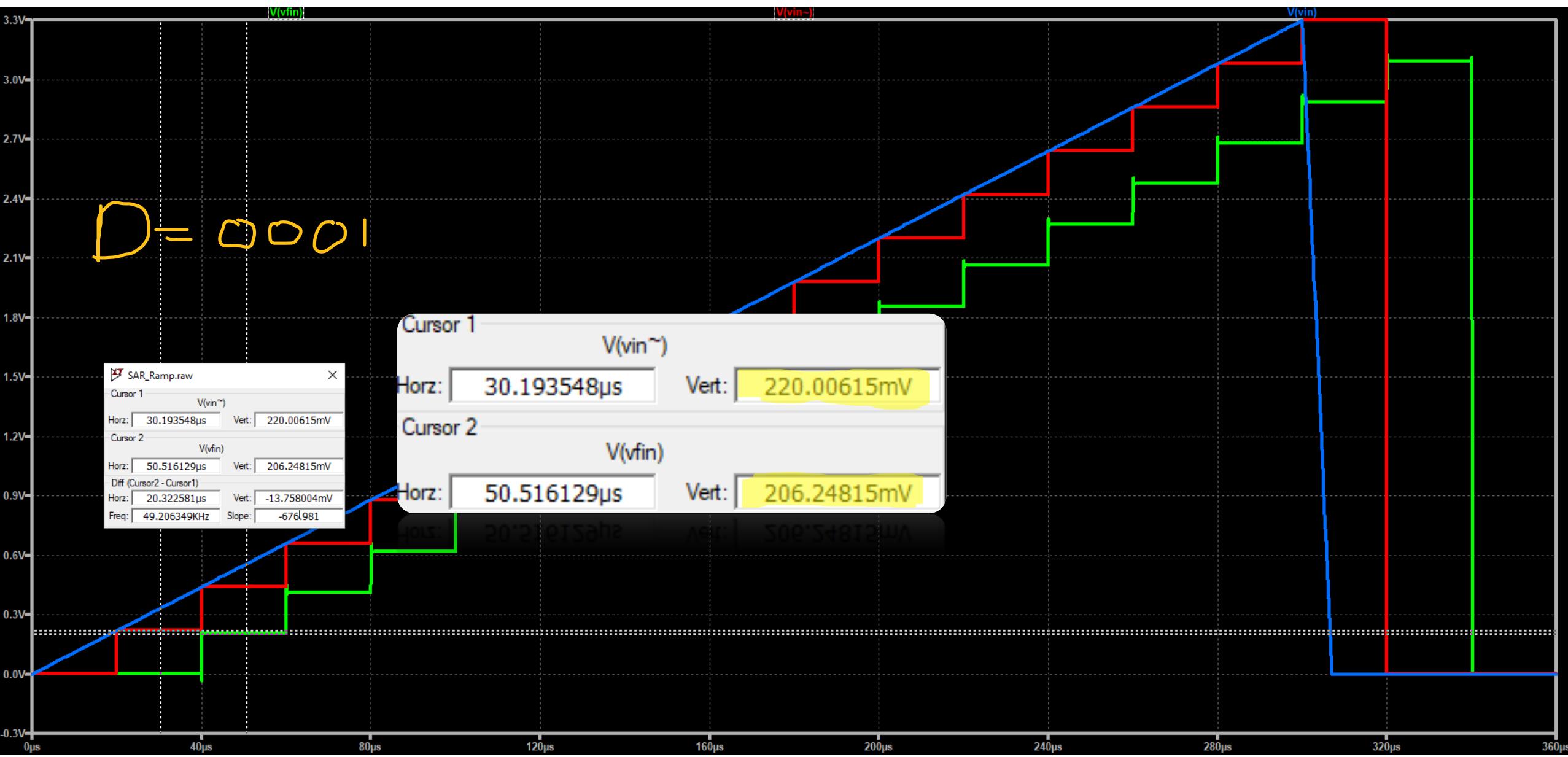


בדיקה התאמת הדיווק לתיאוריה:

- $V_{lsb} = \frac{V_{ref}}{2^n} = \frac{3.3}{2^4} = 0.20625 [V] = 206[mV]$
- $V_{out} = Data \cdot V_{lsb} = (1111) \cdot V_{lsb} = 15 \cdot 0.20625 = 3.09375 [V]$

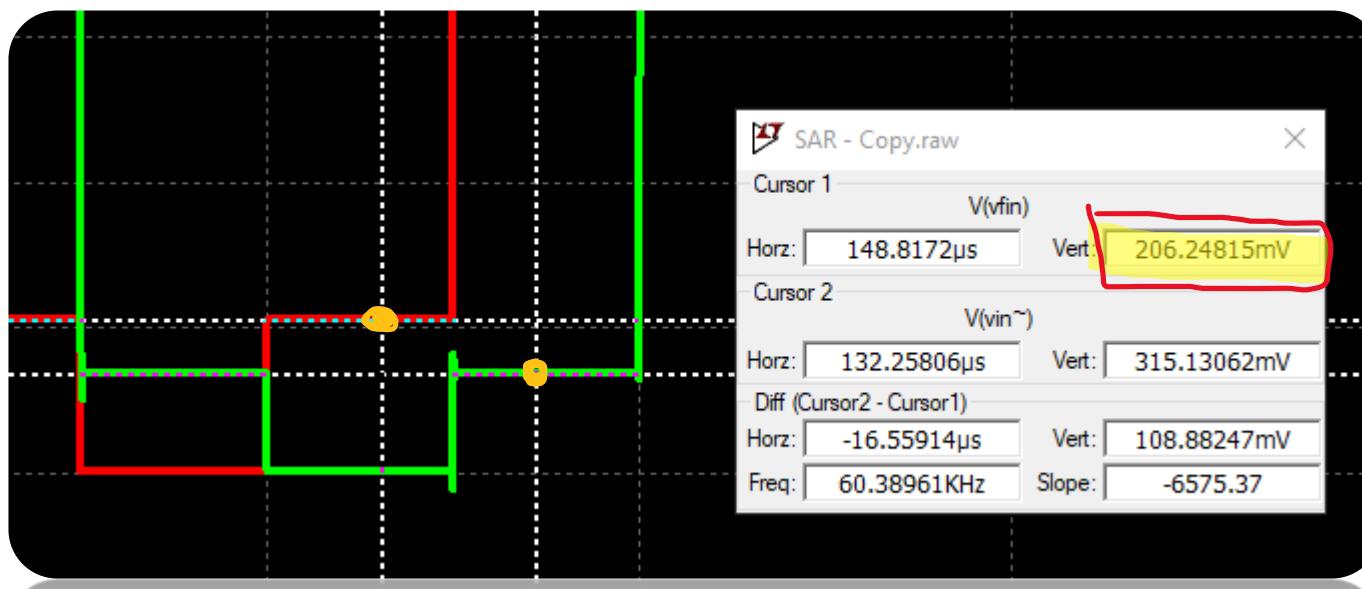






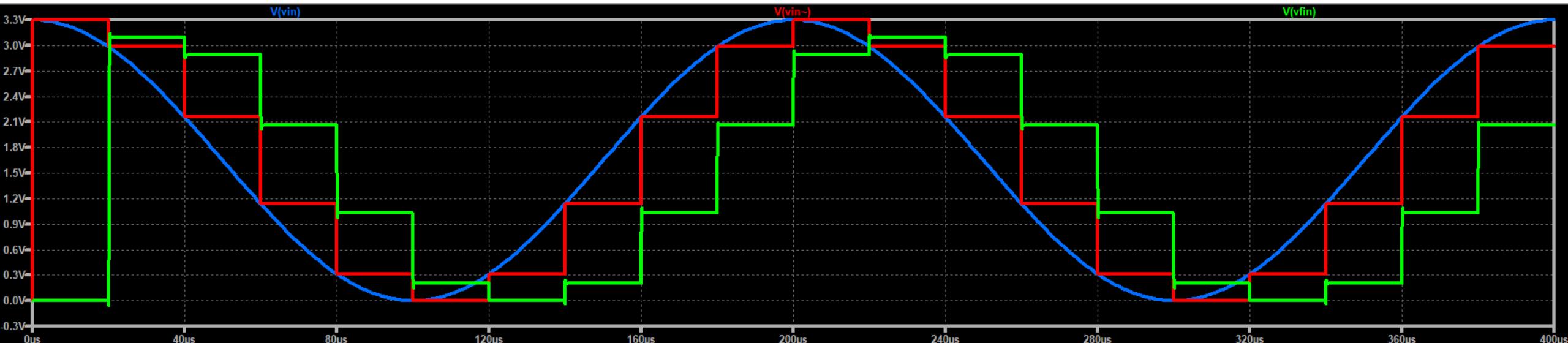
בדיקה התאמת הדיווק לתיאוריה:

- $V_{lsb} = \frac{V_{ref}}{2^n} = \frac{3.3}{2^4} = 0.20625 [V]$
- $V_{out} = Data \cdot V_{lsb} = (0001) \cdot V_{lsb} = 1 \cdot 0.20625 = 206[mV]$

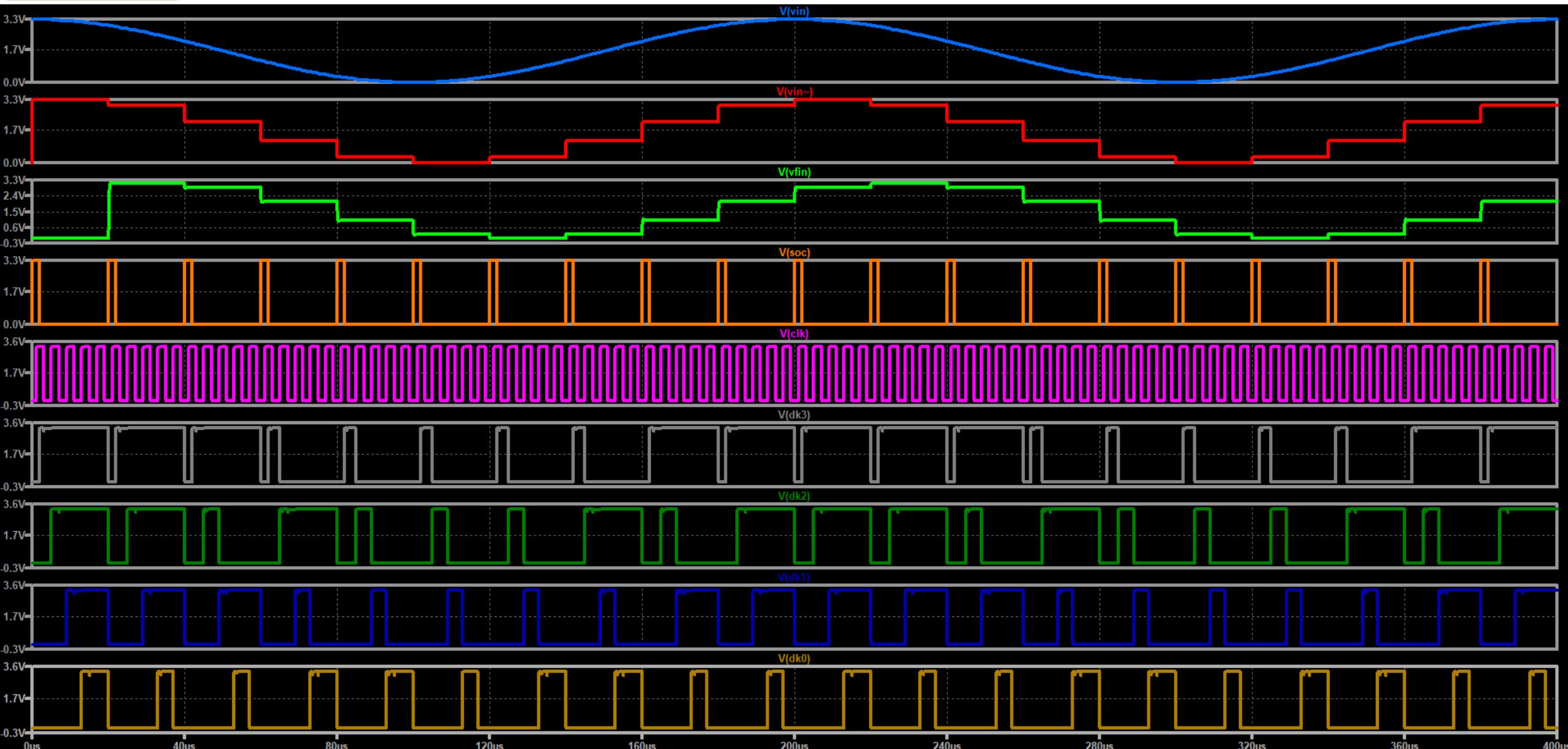


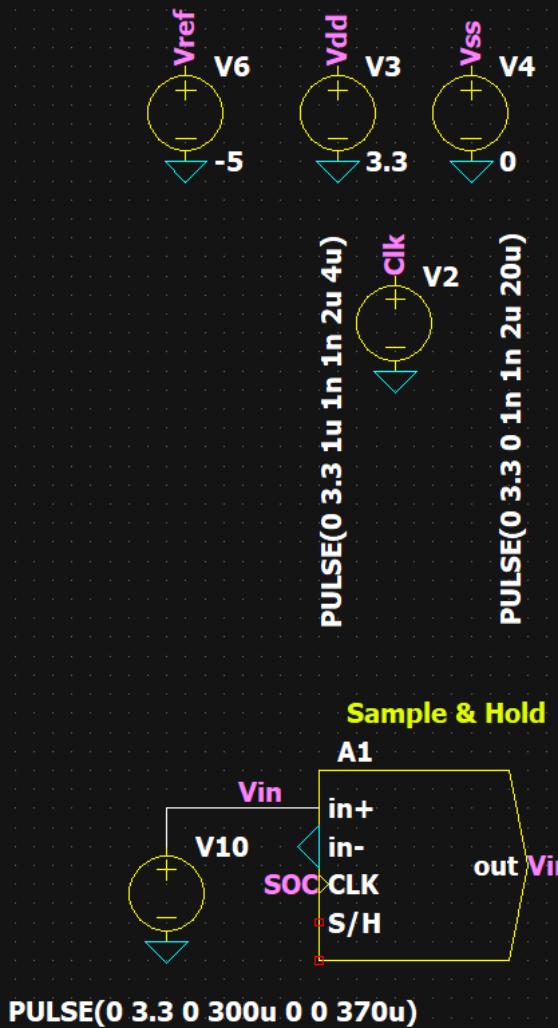
מציג: דניאל

תגובה לאות סינוסי



מציג: דניאל





```
.ic V(dk0) = 0
.ic V(dk1) = 0
.ic V(dk2) = 0
.ic V(dk3) = 0
.ic V(d0) = 0
.ic V(d1) = 0
.ic V(d2) = 0
.ic V(d3) = 0
```

.tran 400u

Choose Dk* or Dnew*

MUXER X3	D0	D1	B3
d0	d0	d1	B3
d1	d1	d2	B2
d2	d2	d3	B1
d3	d3	d0	B0
dk0	dk0	dk1	
dk1	dk1	dk2	
dk2	dk2	dk3	
dk3	dk3		
Sel	Sel		
Vdd	Vdd		
Vss	Vss		
DMY			

Right Shift Register CYCLIC

RSR X8

SOC	Clock2	B3	b3
Clk	Clk	B2	b2
		B1	b1
		B0	b0
	DMY		

SUM B+Dk*

SUM X1

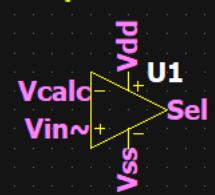
b3	b2	b1	b0
dk3	dk2	dk1	dk0
d0	dk2	dk1	dk0
d1	dk1	dk0	dk0
d2	dk0	dk0	dk0
d3			
SOC	SOC	SOC	SOC
Vdd	Vdd	Vdd	Vdd
Vref	Vref	Vref	Vref
Vss	Vss	Vss	Vss

DAC for comparitor

DAC4BIT X6

dk3	d3	d2	dk1	d1	dk0	d0
Vdd						
Vref						
Vss						

Comperator - Vin* : Vconv



DK*

4 Bit Register X4	D0	D1	D2	D3
Clk	d0	d1	d2	d3
B3	B3	B2	B1	B0
B2	B2	B1	B0	B0
B1	B1	B0	B0	B0
B0	B0	B0	B0	B0
DMY				

Final Converted Voltage

DAC4BIT X17	d3	d2	d1	d0
Clk	D3	D2	D1	D0
B3	B3	B2	B1	B0
B2	B2	B1	B0	B0
B1	B1	B0	B0	B0
B0	B0	B0	B0	B0
DMY				

Vout Vfin

DAC4BIT X17	d3	d2	d1	d0
Clk	Vdd	Vdd	Vdd	Vdd
B3	Vref	Vref	Vref	Vref
B2	Vref	Vref	Vref	Vref
B1	Vref	Vref	Vref	Vref
B0	Vref	Vref	Vref	Vref
DMY				

Vss Vss

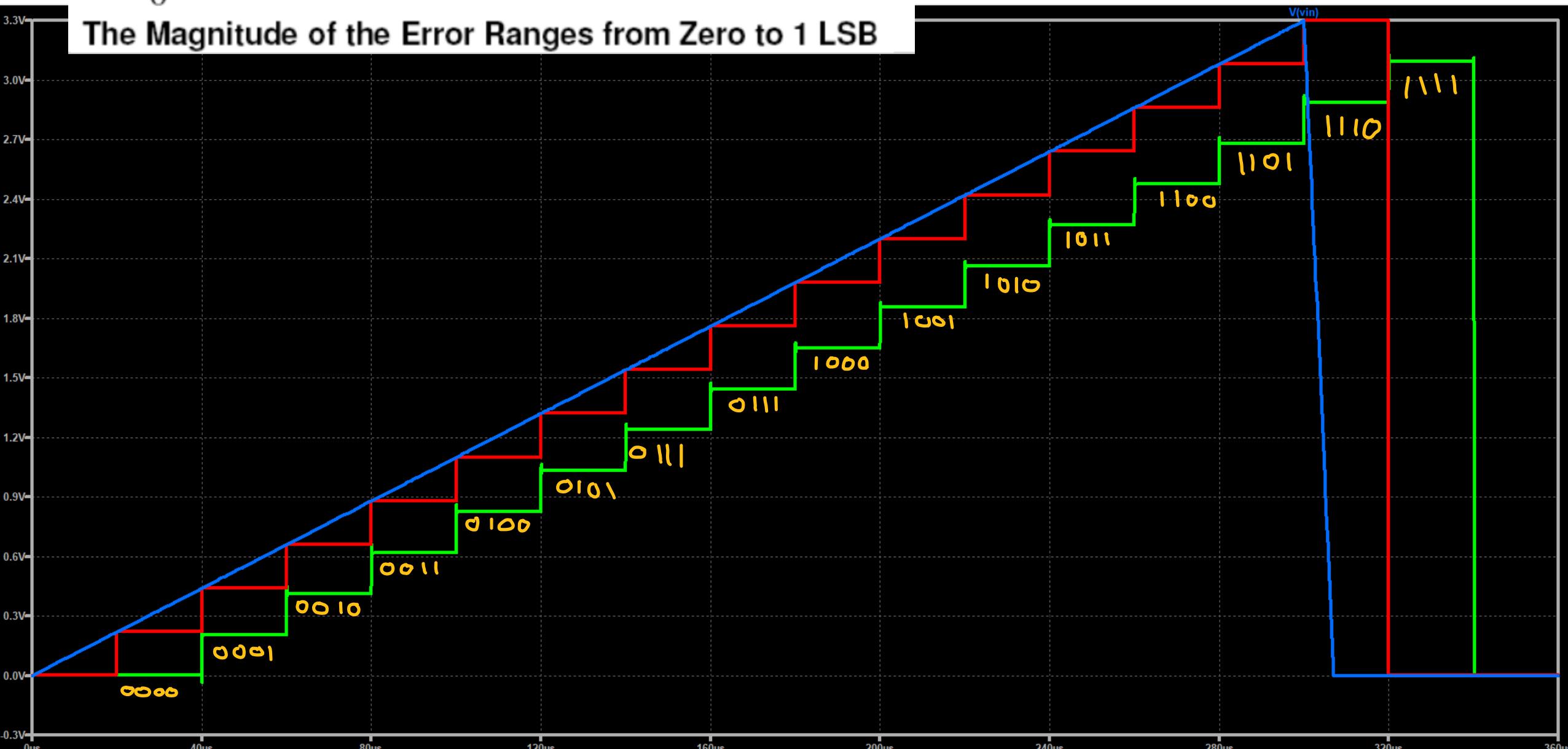
בדיקה התאמה הדיווק לתיאוריה:

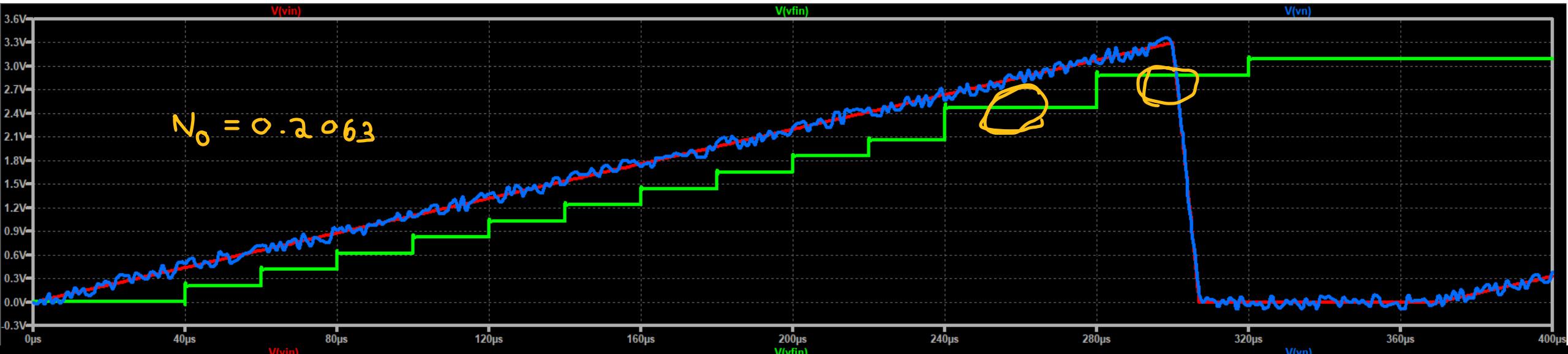
הבדיקות שלנו מראות כי אנחנו לא חורגים בין 2 רמות מתח סמוכים ב ΔV_{ls} בכל רמת מתח שבדקנו, כלומר הממיר שאנו בנו עומד במלואו בתנאים שהצבנו בתיאוריה.

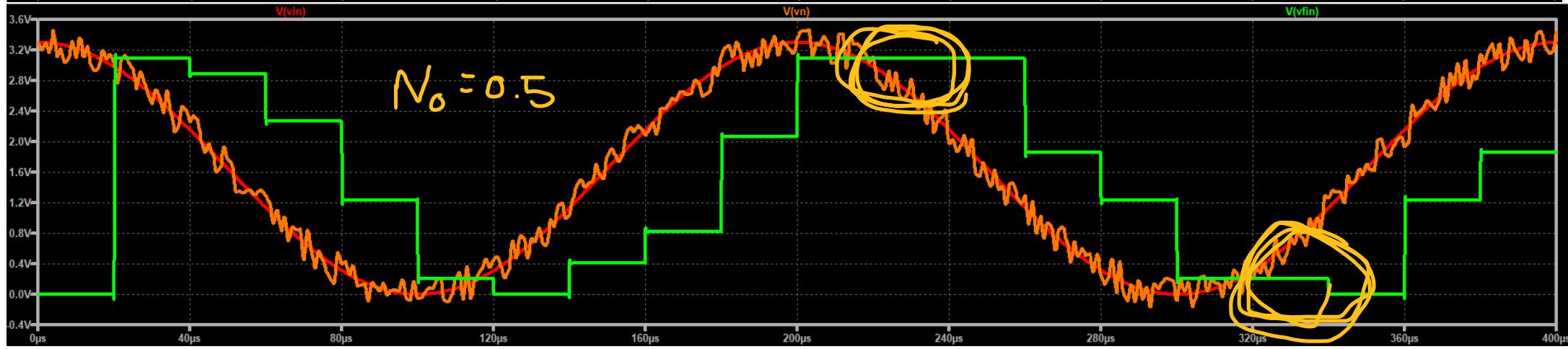
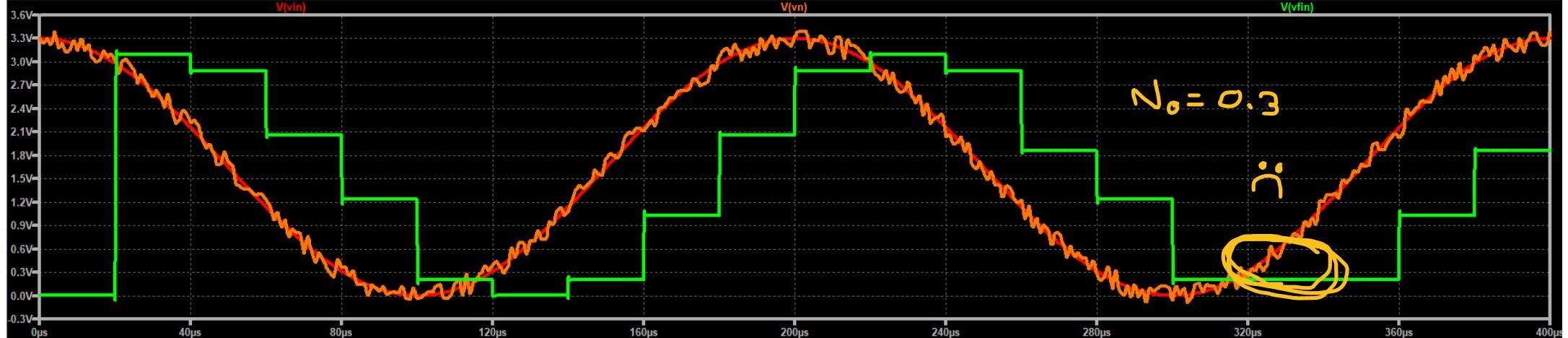
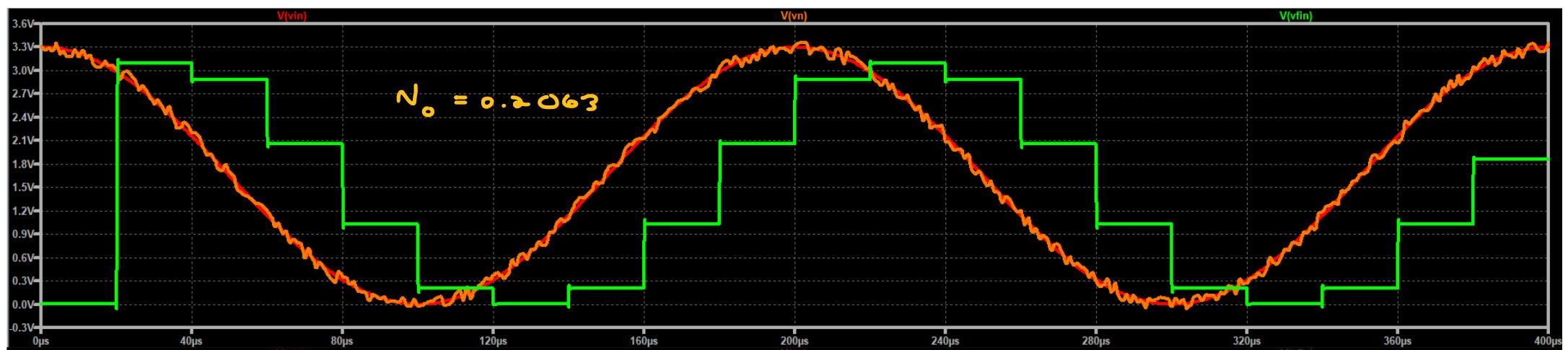
הסינוֹת לְרַעֵשׁ



The Magnitude of the Error Ranges from Zero to 1 LSB



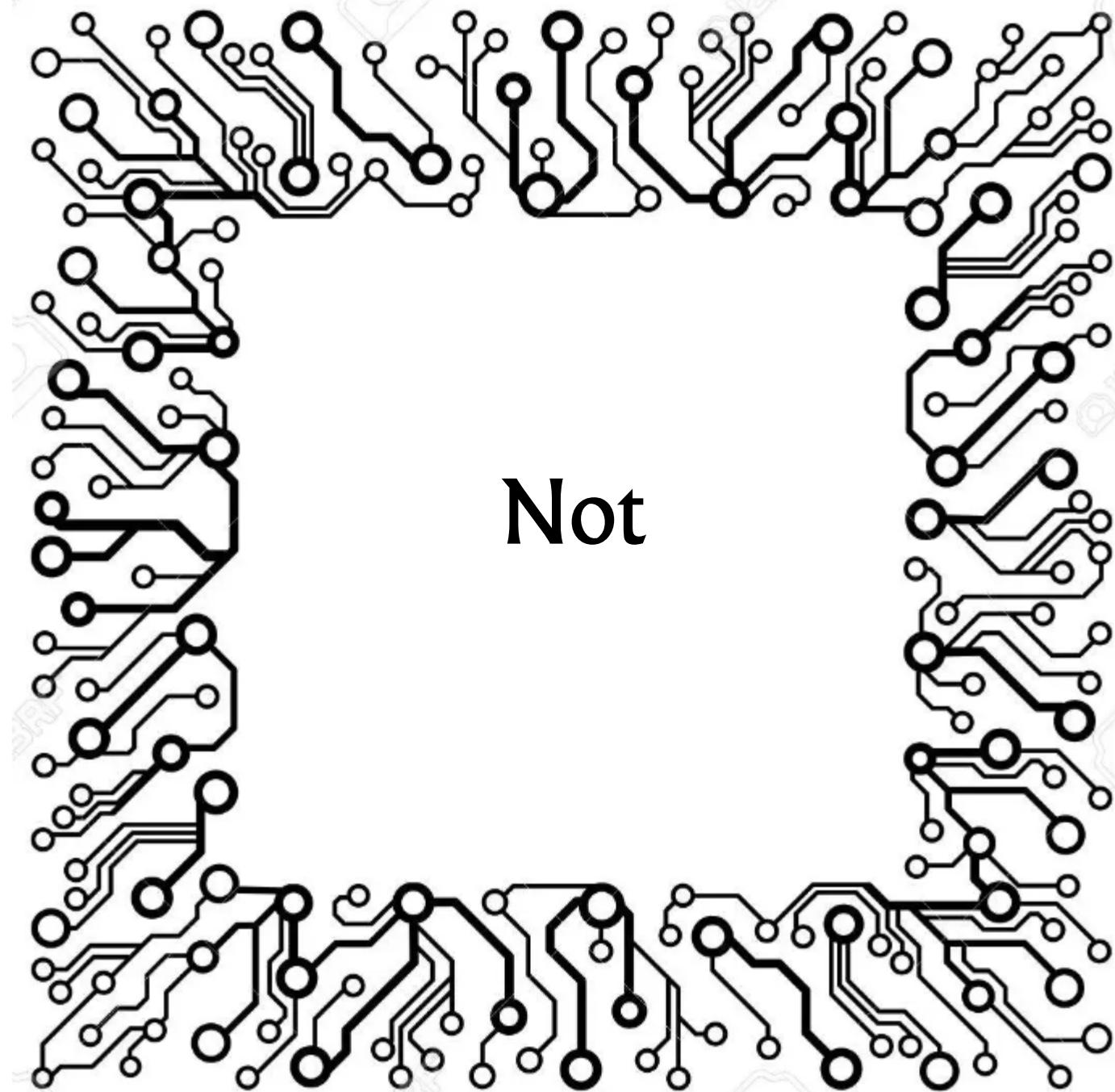




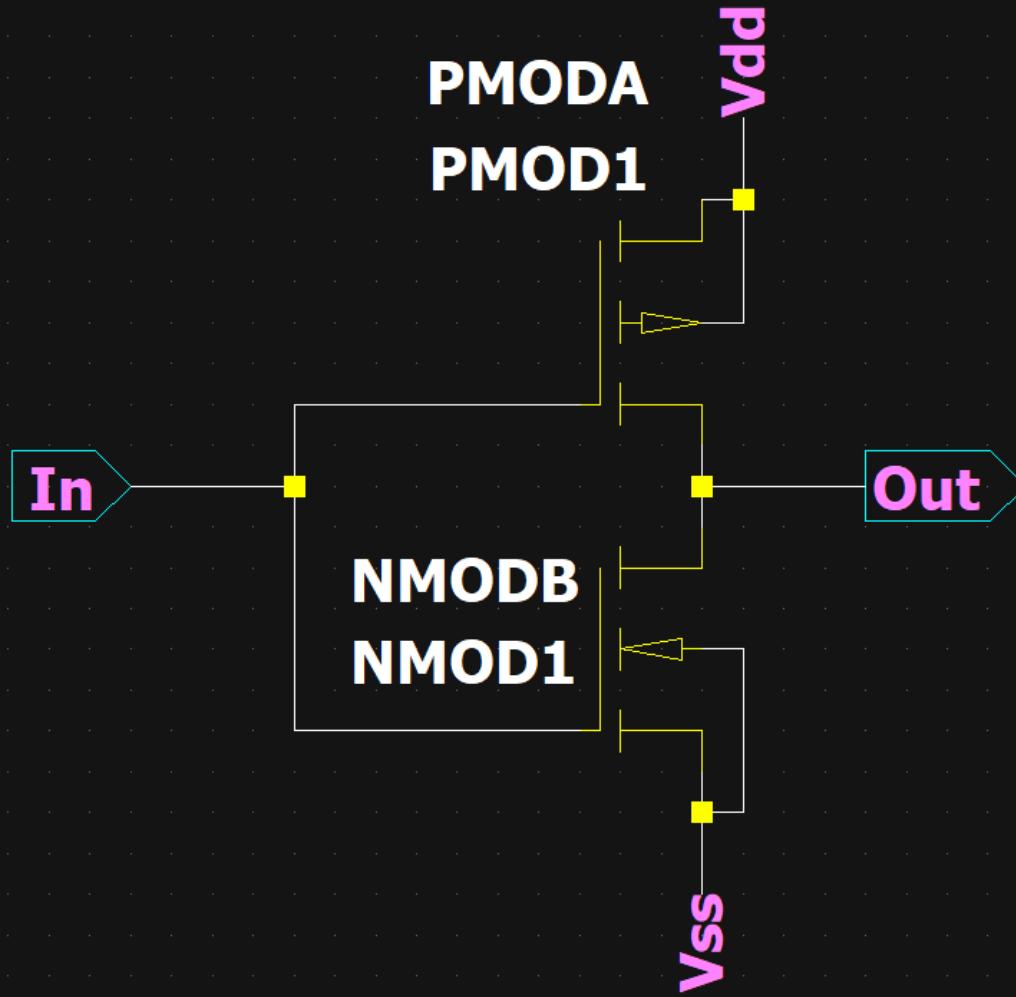


**מימוש הרכיבים
השוניים**

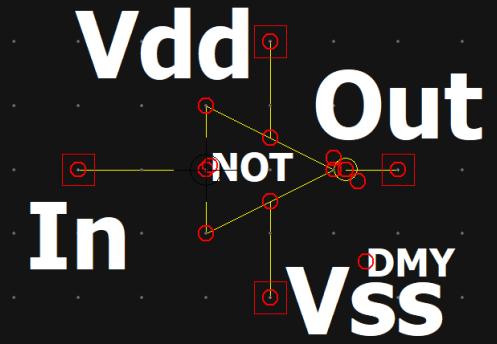
Not



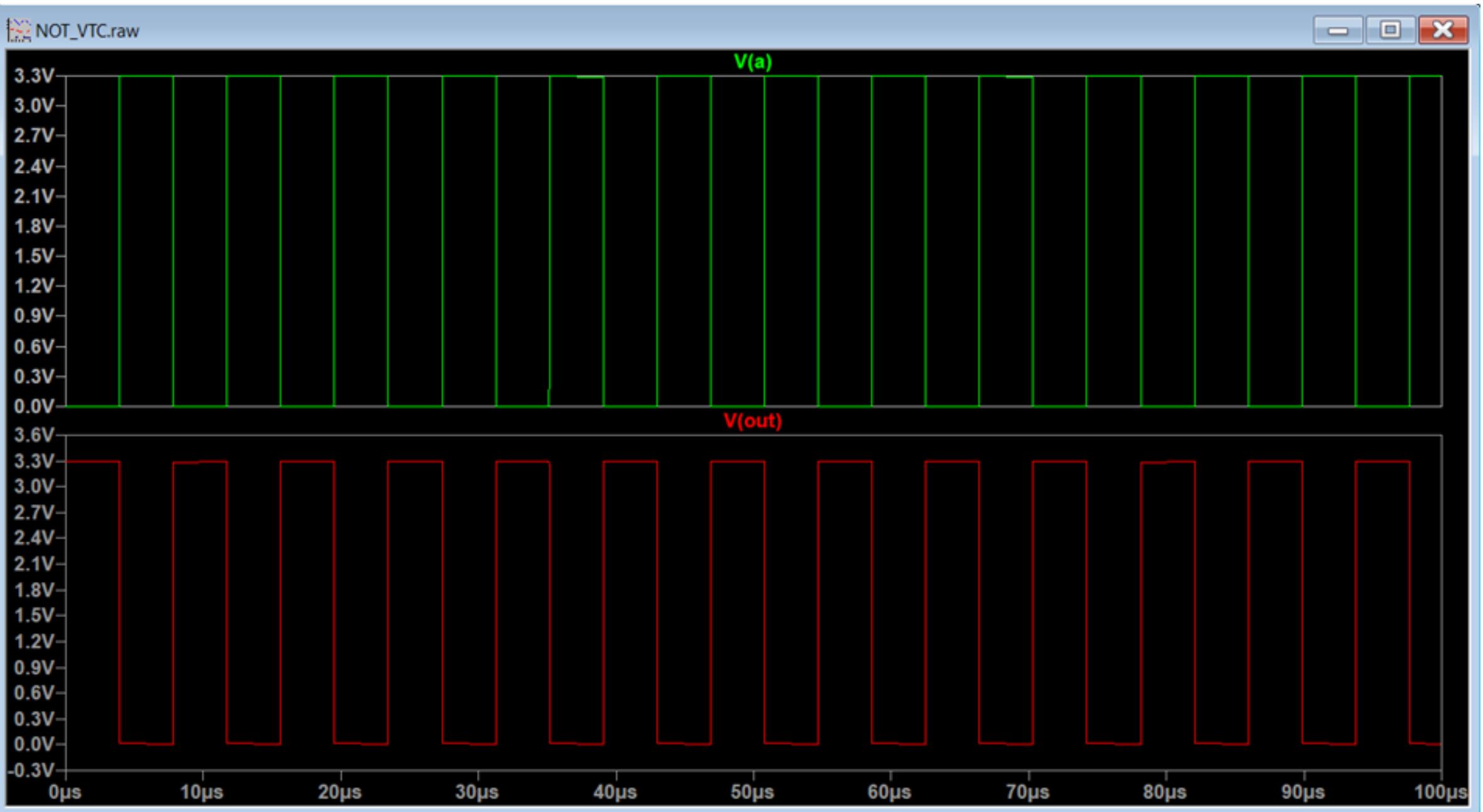
```
.model NMOD1 nmos (KP=200U GAMMA=0.9 phi=0.6 lambda=0.02 VTO=0.7)
.model PMOD1 pmos (KP=100U GAMMA=0.9 phi=0.6 lambda=0.02 VTO=-0.7)
```



CL Out 0 1p



מציג: מתן



OR

Vdd



In

Vdd

Vdd

NOT

Out

VSS^{DMY}

In



NOT

Out

VSS^{DMY}

Vdd

**A
B**

**NAND
DMY**

Vss

Vss

Vdd

Vss

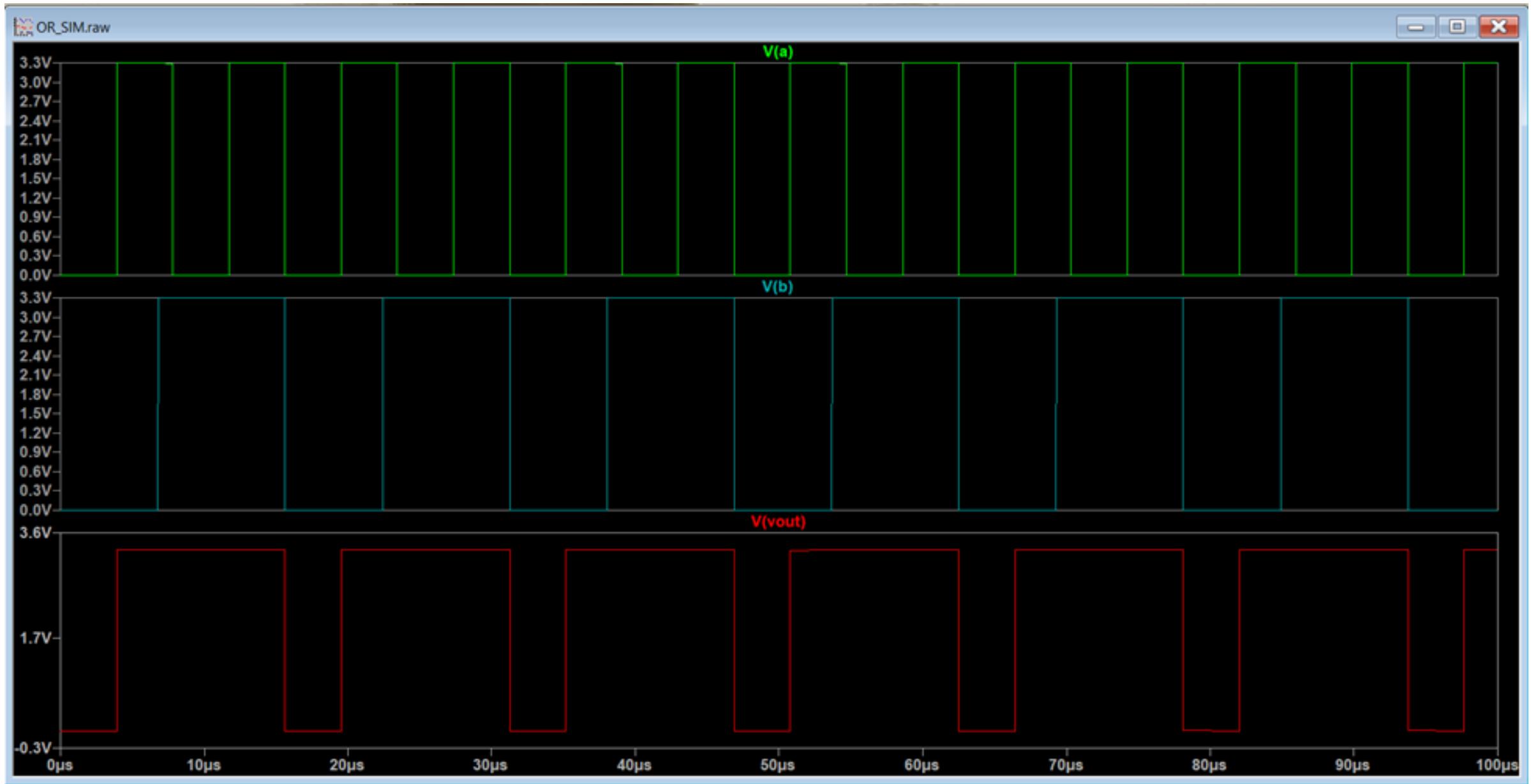
Out

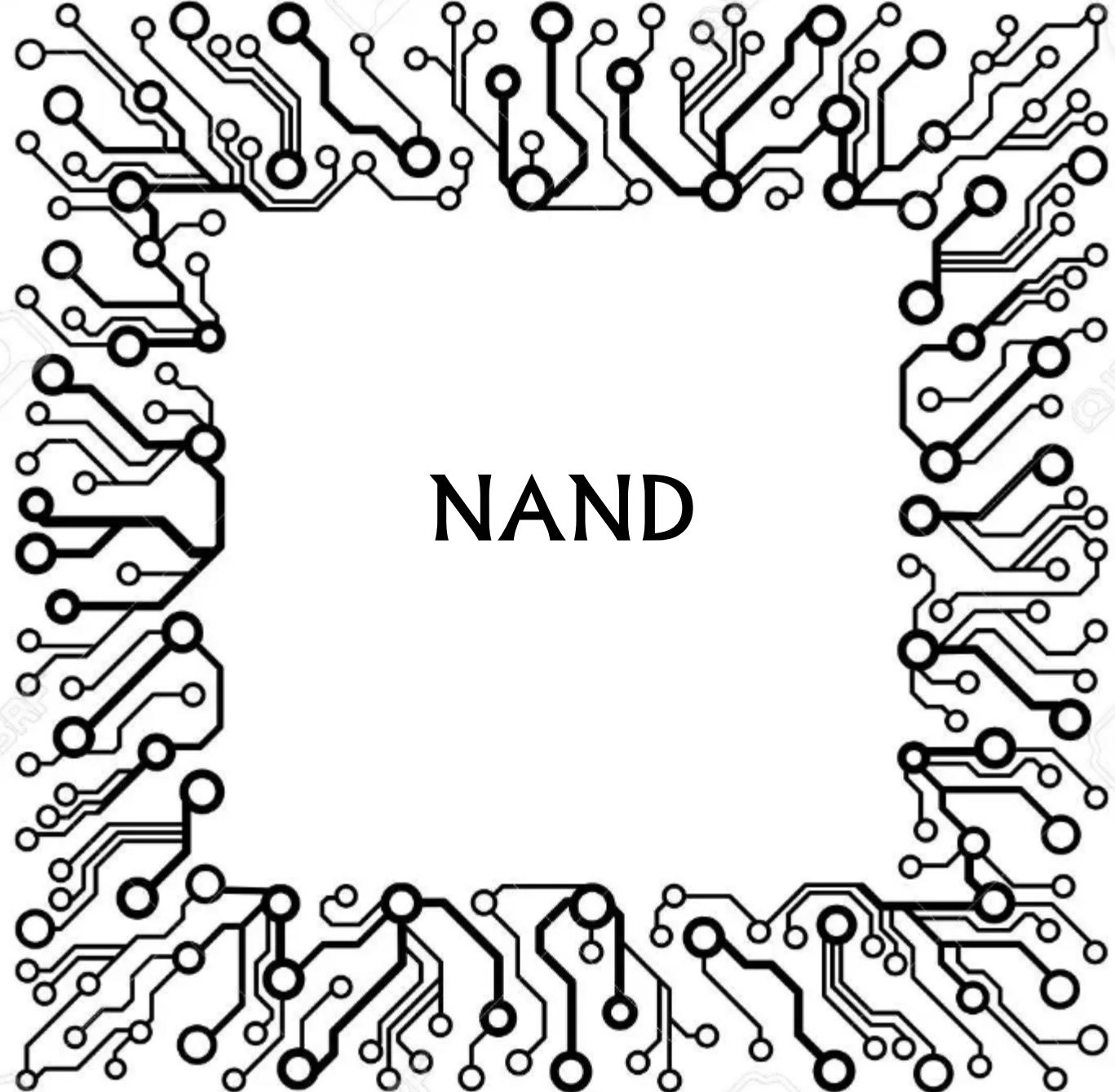
Out

**A OR
<InstName>**

B DMY

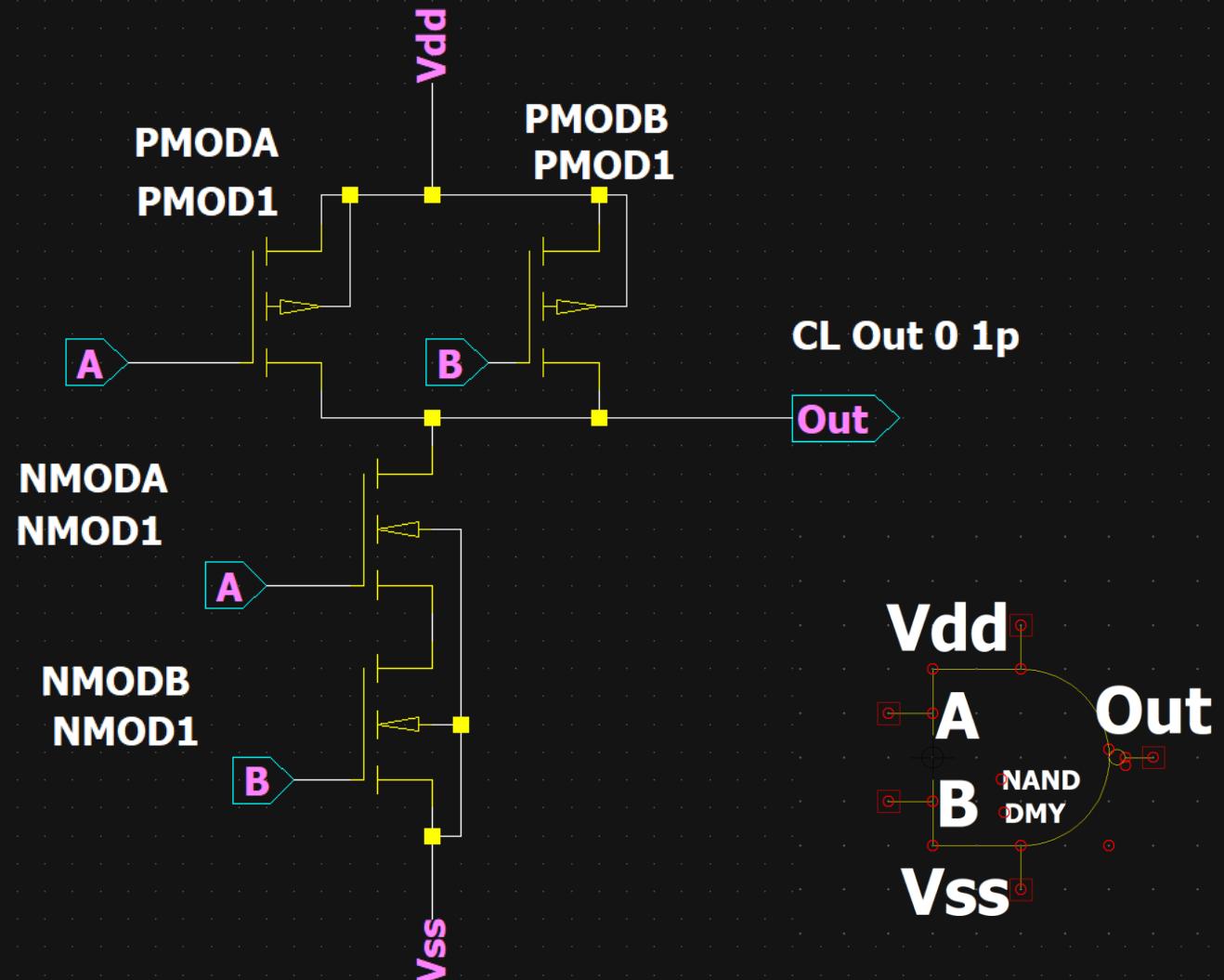
מציג: מתן





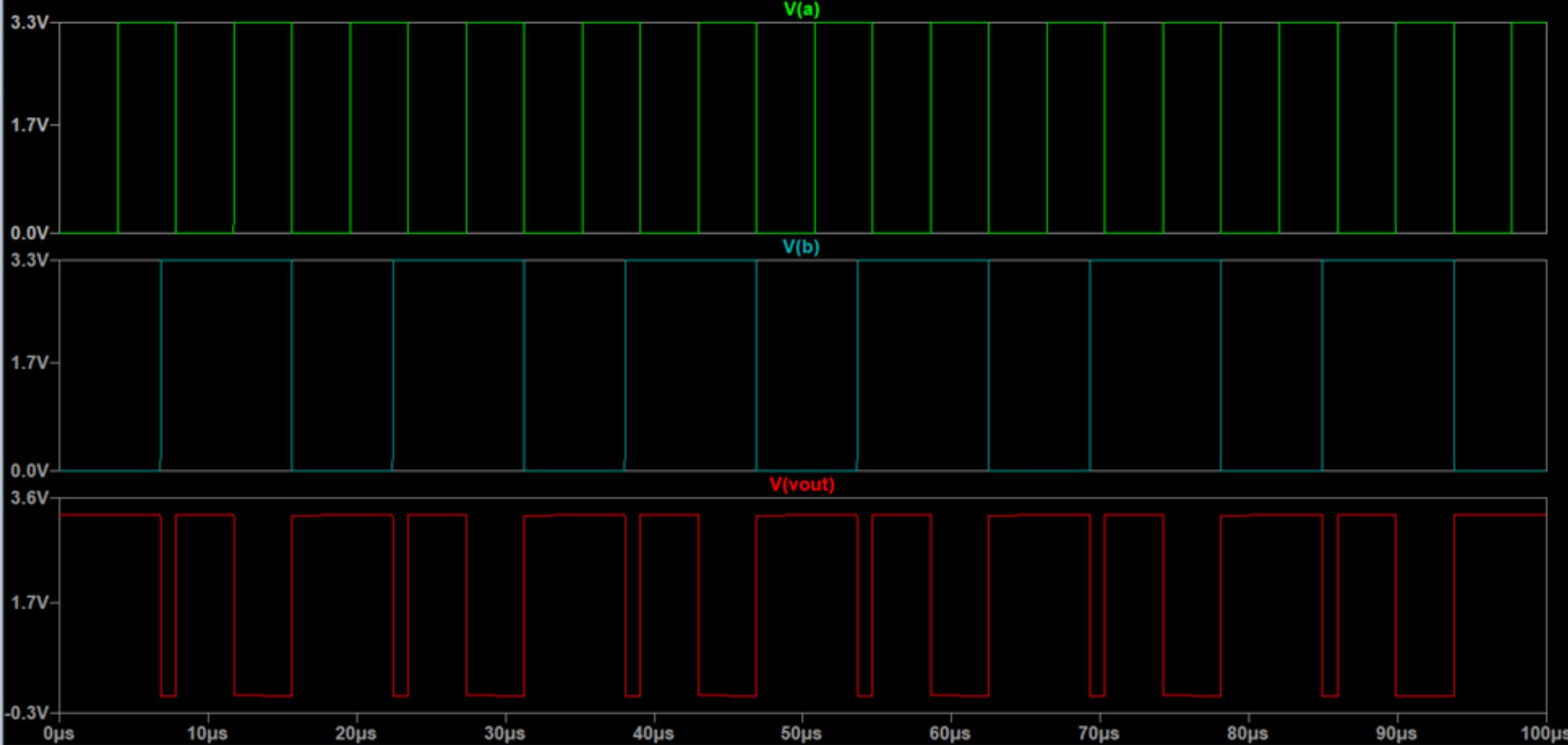
NAND

מציג: מתן

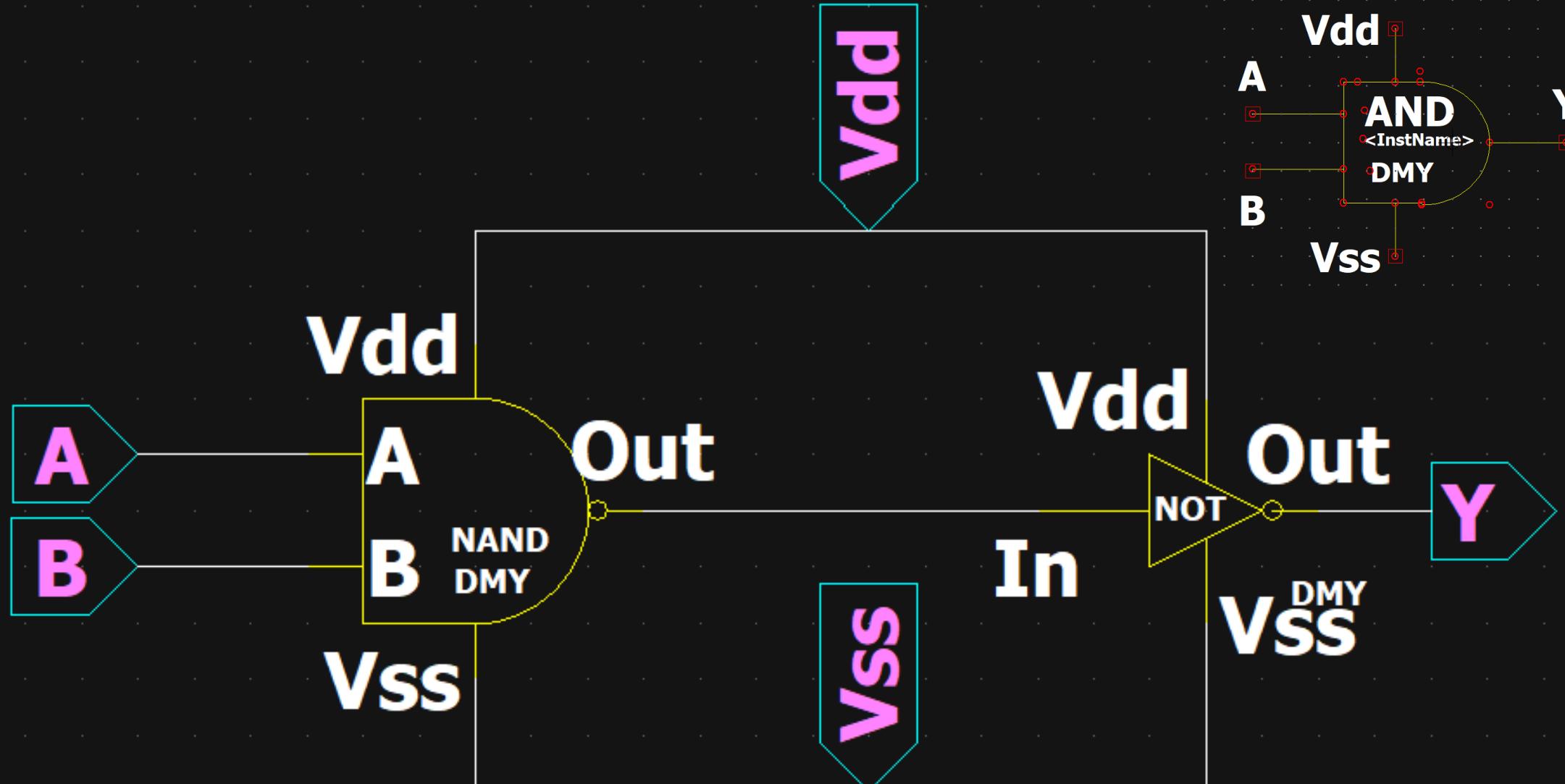


.model NMOD1 nmos (KP=200U GAMMA=0.9 phi=0.6 lambda=0.02 VTO=0.7)

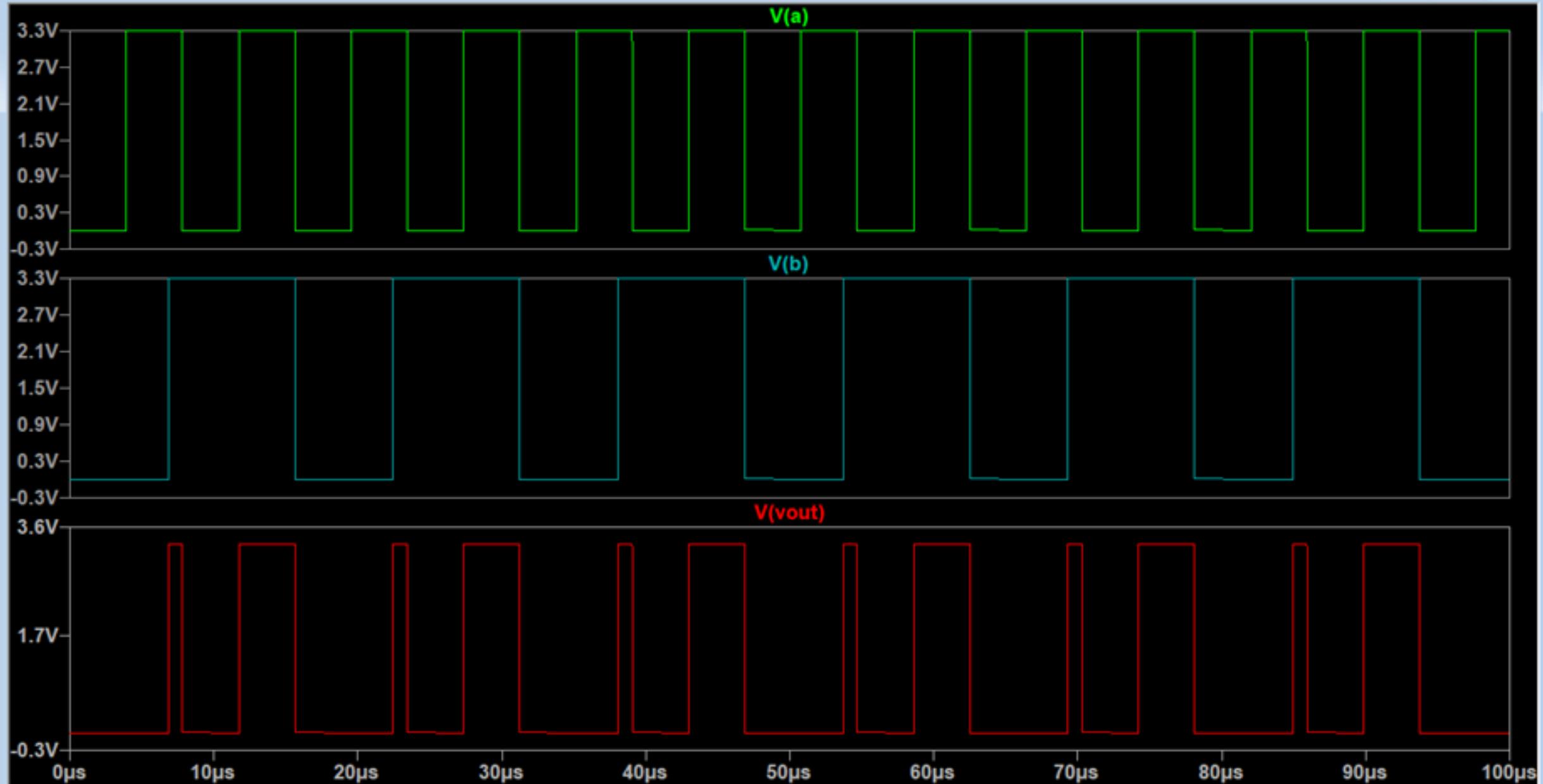
.model PMOD1 pmos (KP=100U GAMMA=0.9 phi=0.6 lambda=0.02 VTO=-0.7)

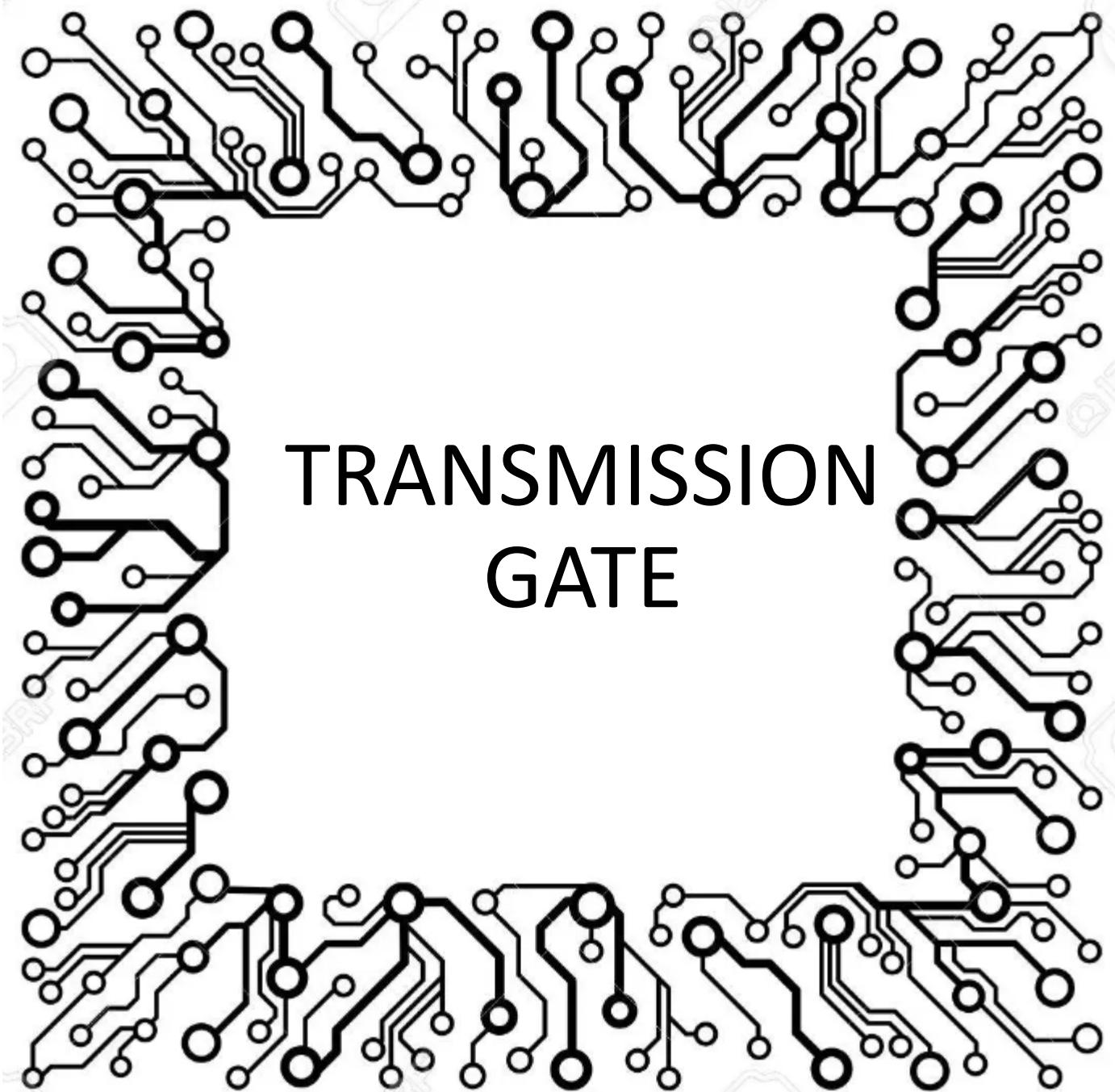


AND



מציג: מתן



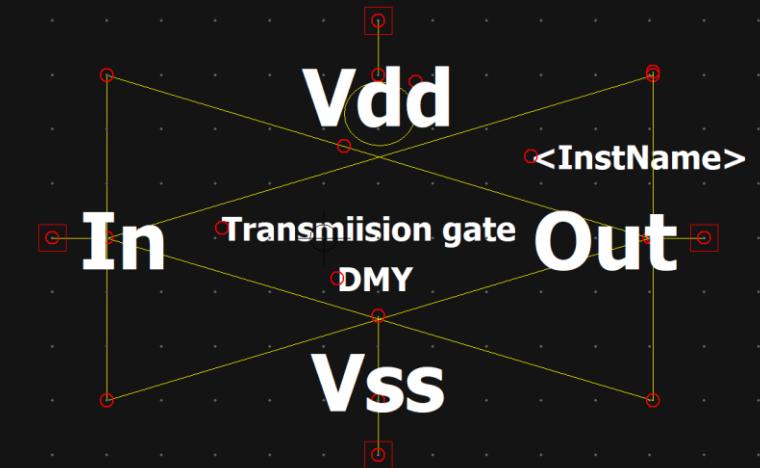
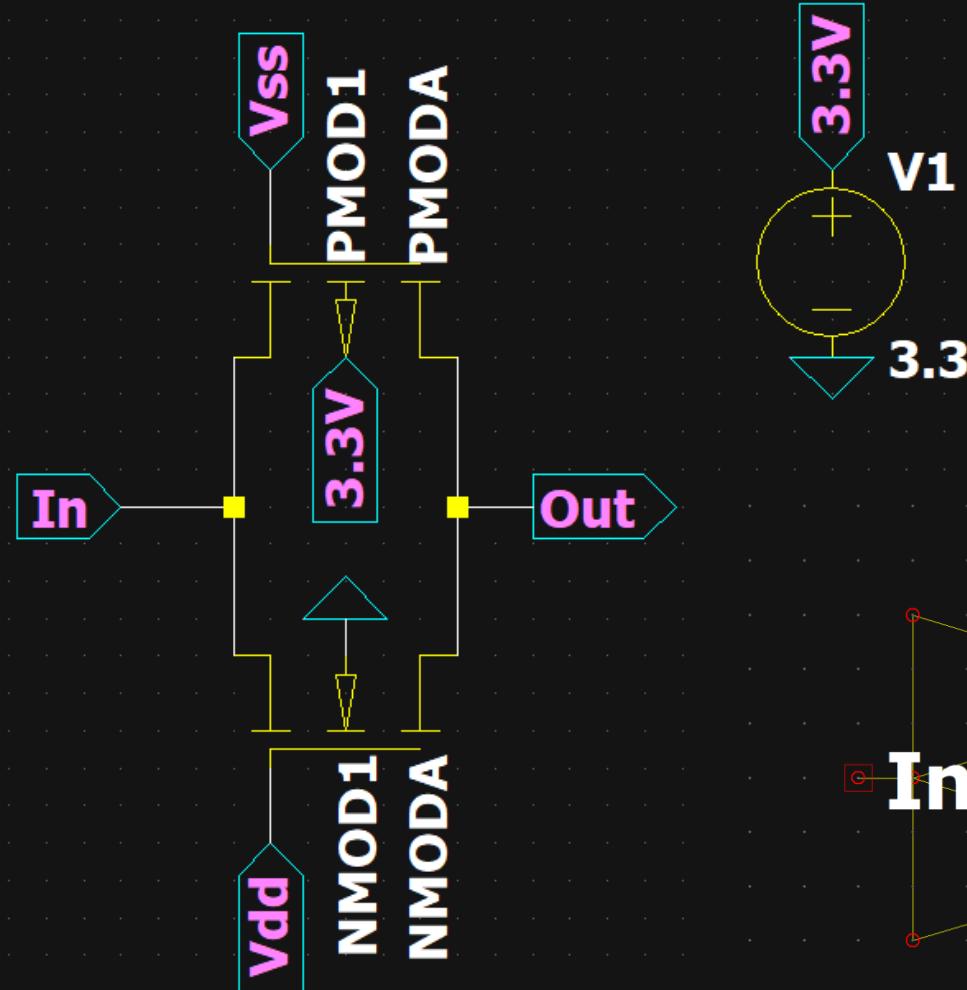


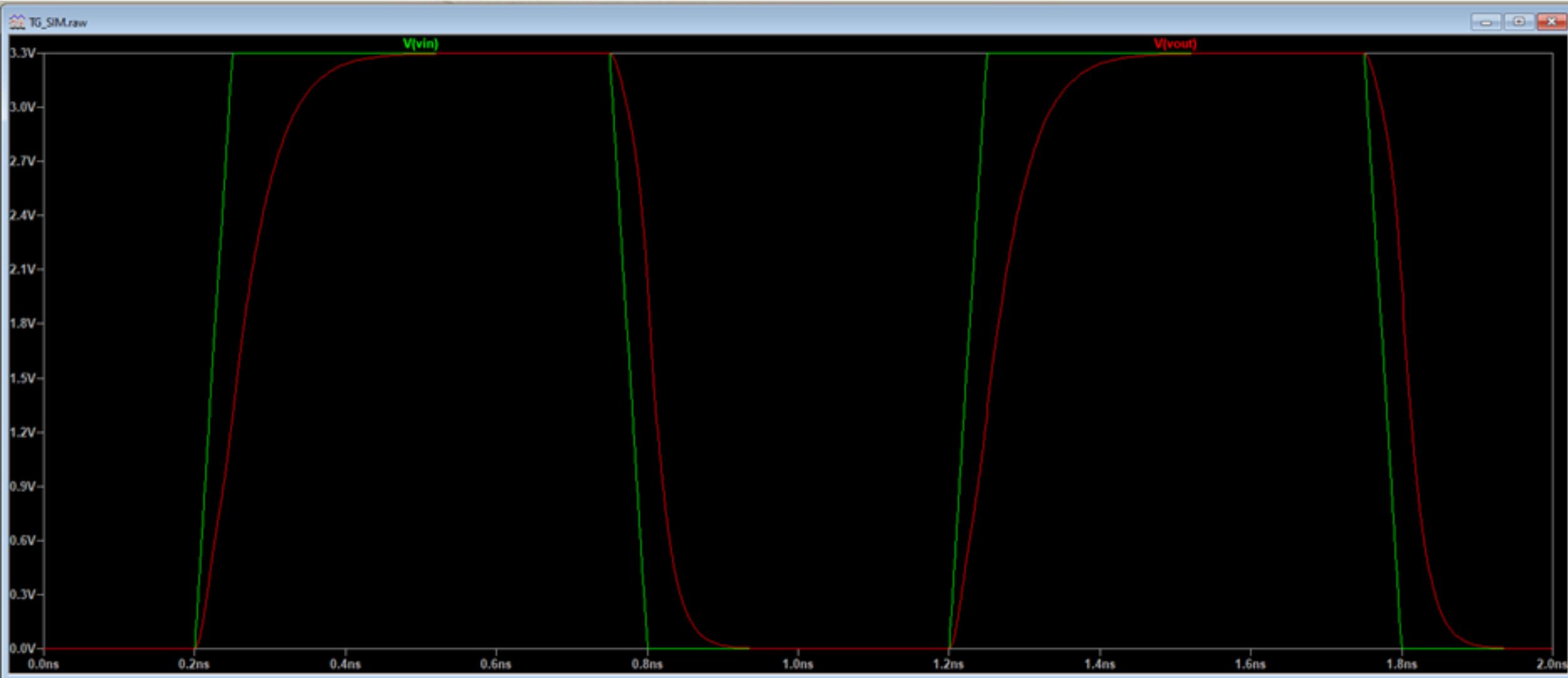
The image features a central text area containing the words "TRANSMISSION GATE" in a bold, sans-serif font. This text is framed by two vertical columns of circuit board patterns. The circuit boards are represented by black lines forming a grid-like structure with various nodes (represented by small circles). These patterns are arranged to form the shape of a DNA double helix, with the text "TRANSMISSION GATE" positioned in the center where the two helical arms meet.

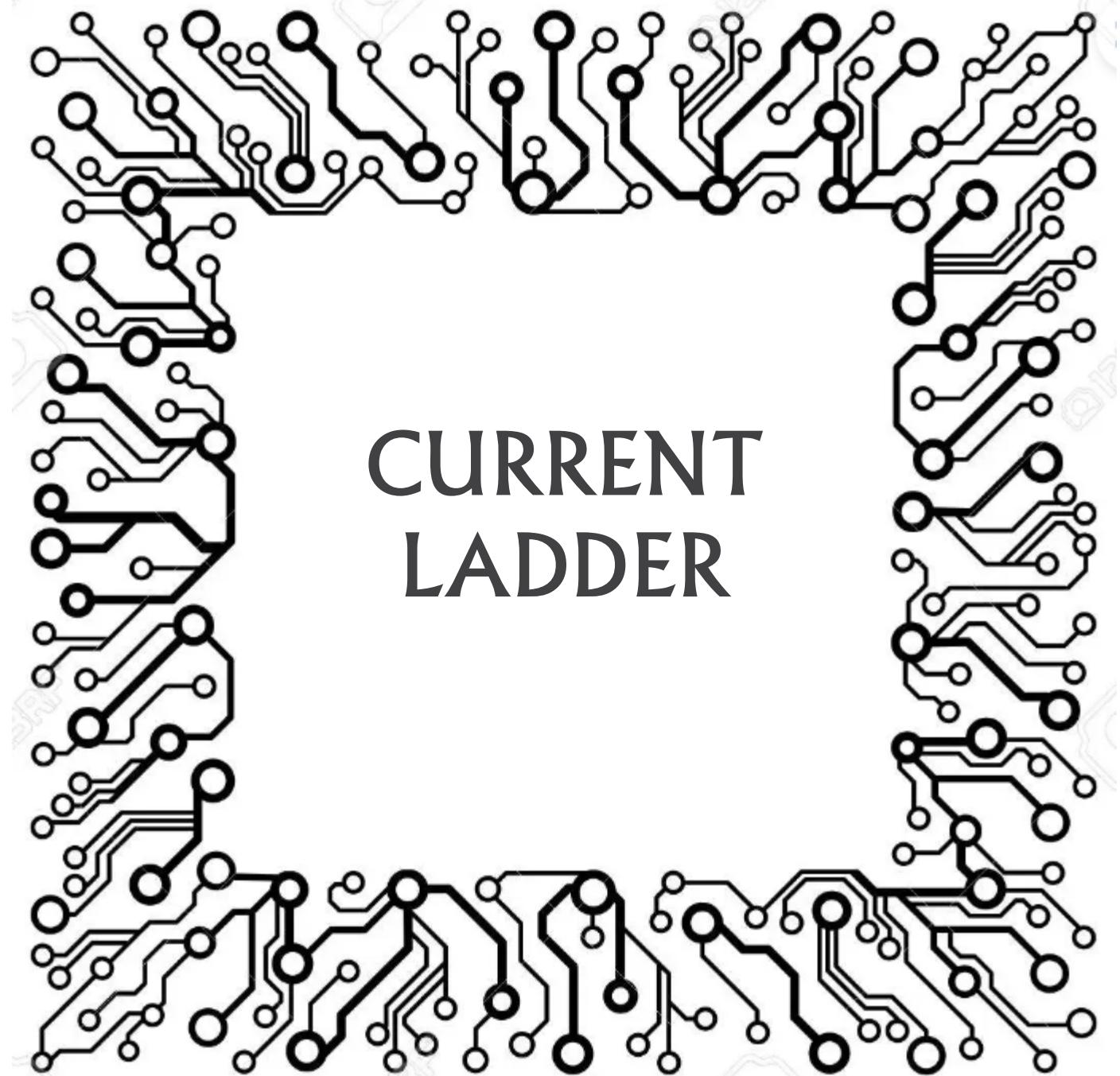
TRANSMISSION
GATE

```
.model NMOD1 nmos (KP=200U GAMMA=0.9 phi=0.6 lambda=0.02 VTO=0.7)
.model PMOD1 pmos (KP=100U GAMMA=0.9 phi=0.6 lambda=0.02 VTO=-0.7)
```

מציג: מתן



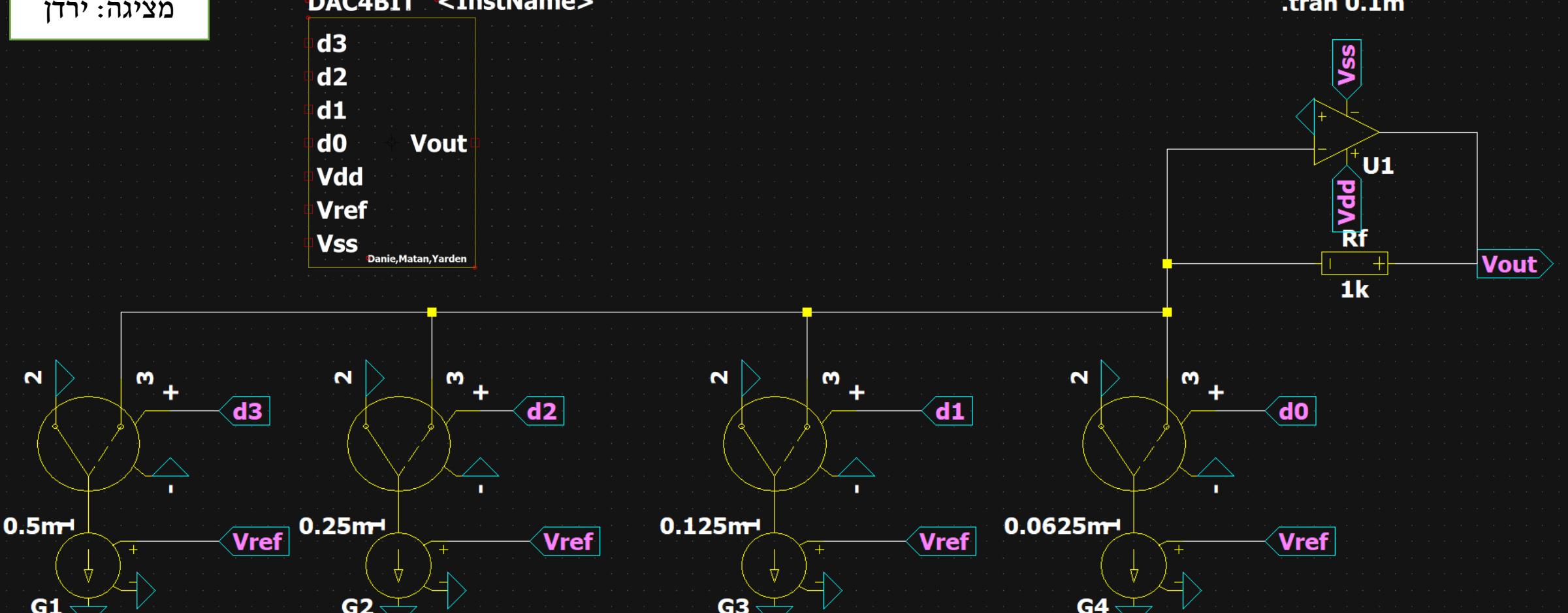


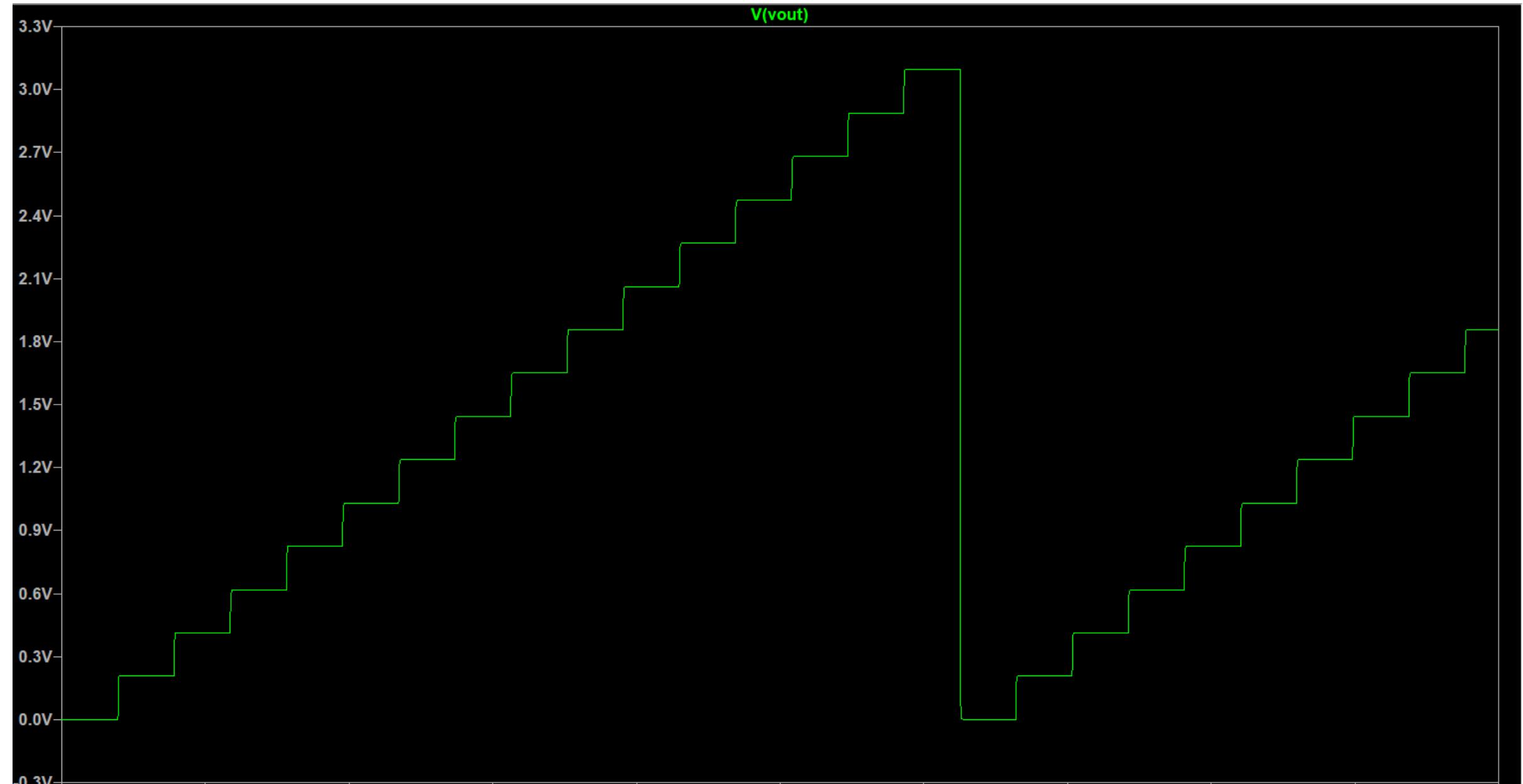


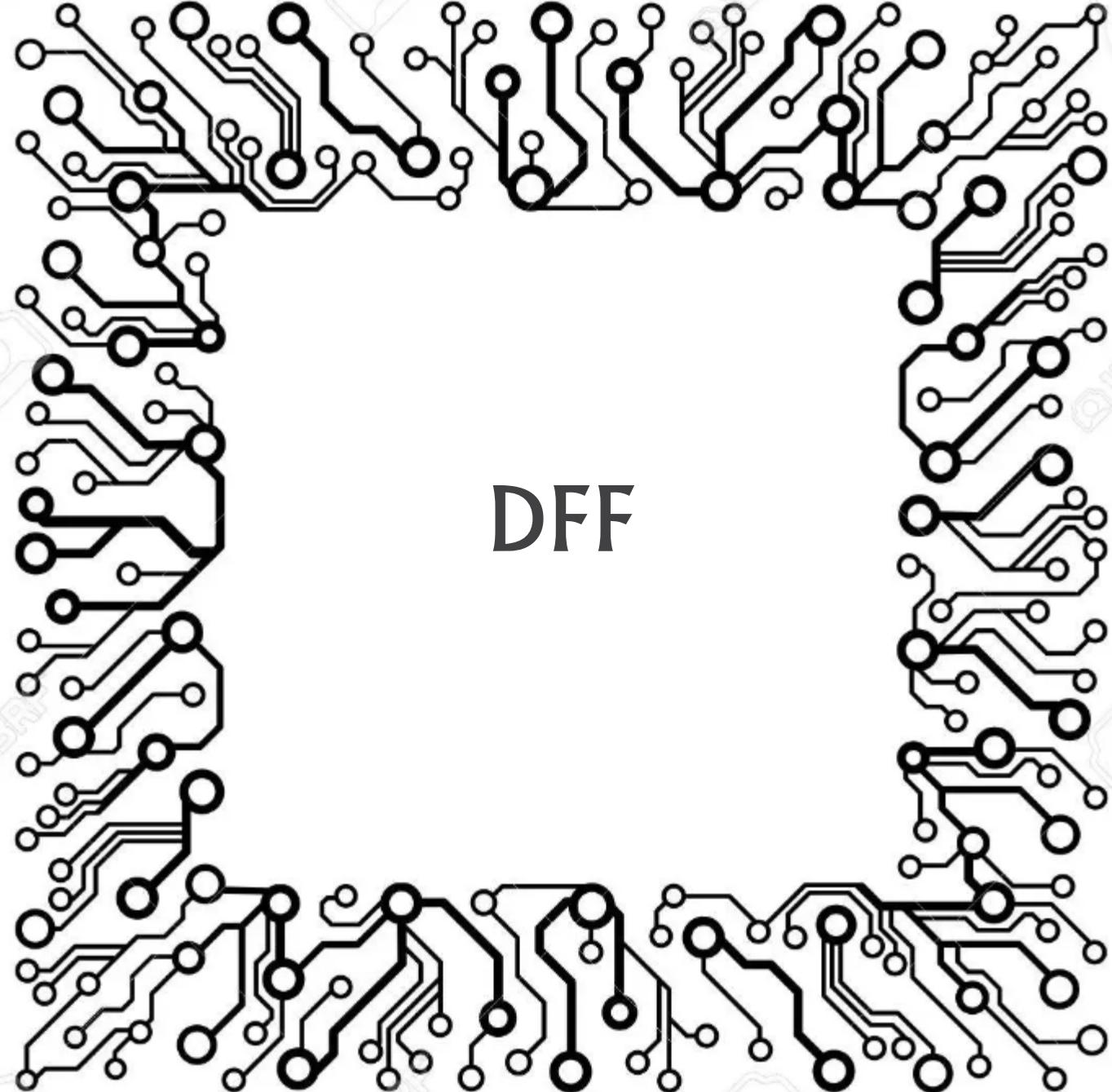
CURRENT
LADDER

מציגה: ירדן

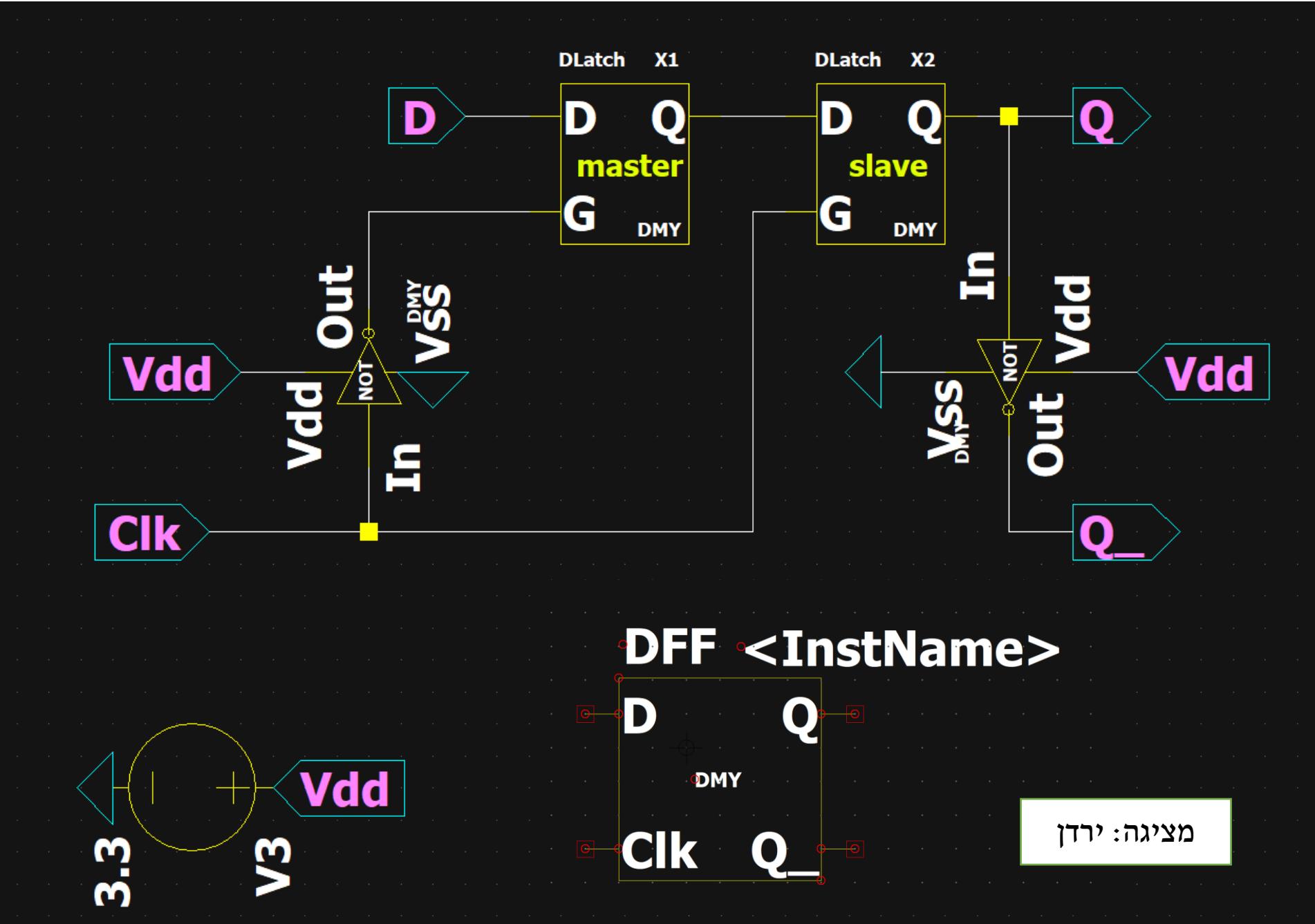
DAC4BIT <InstName>

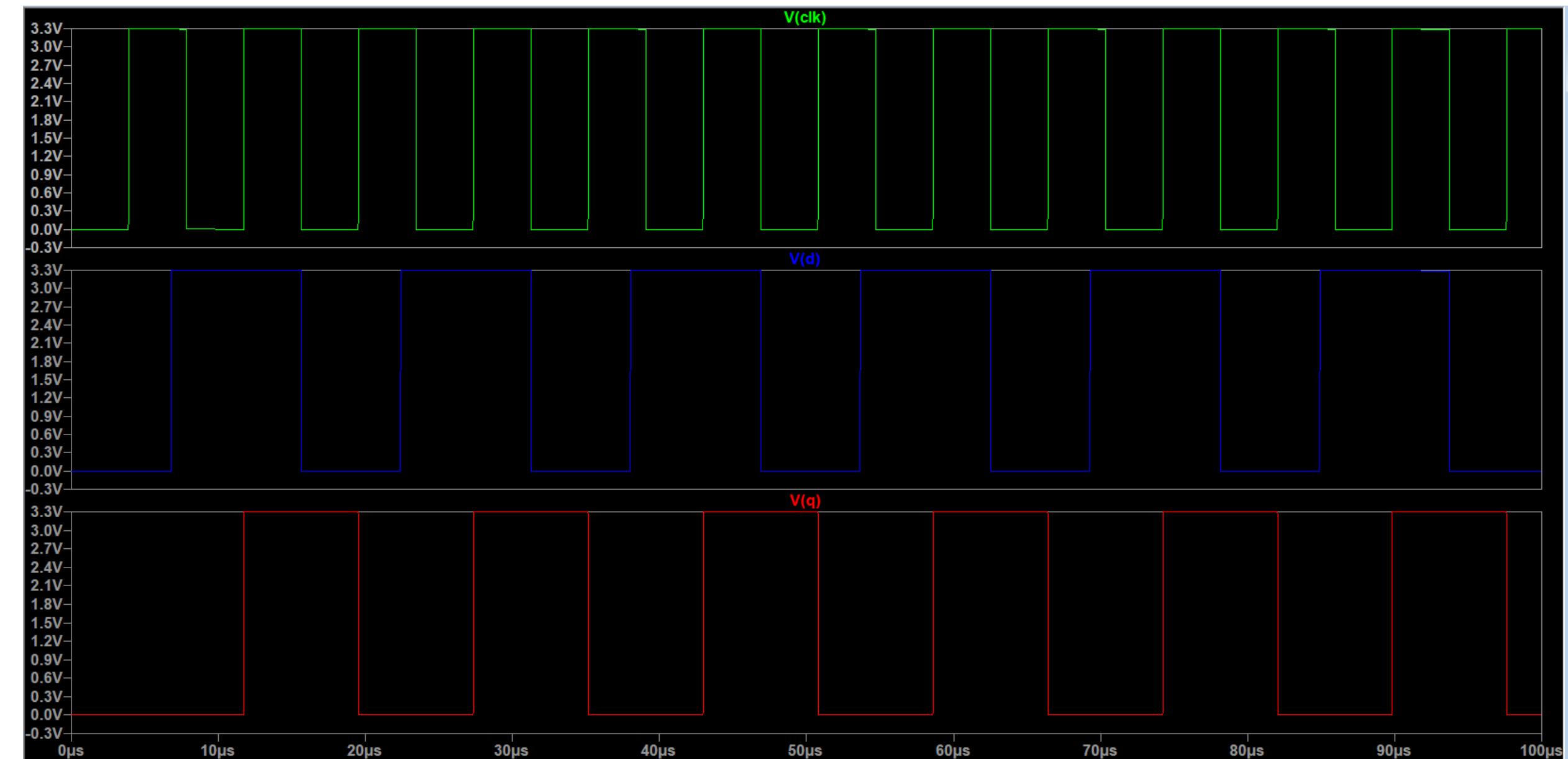


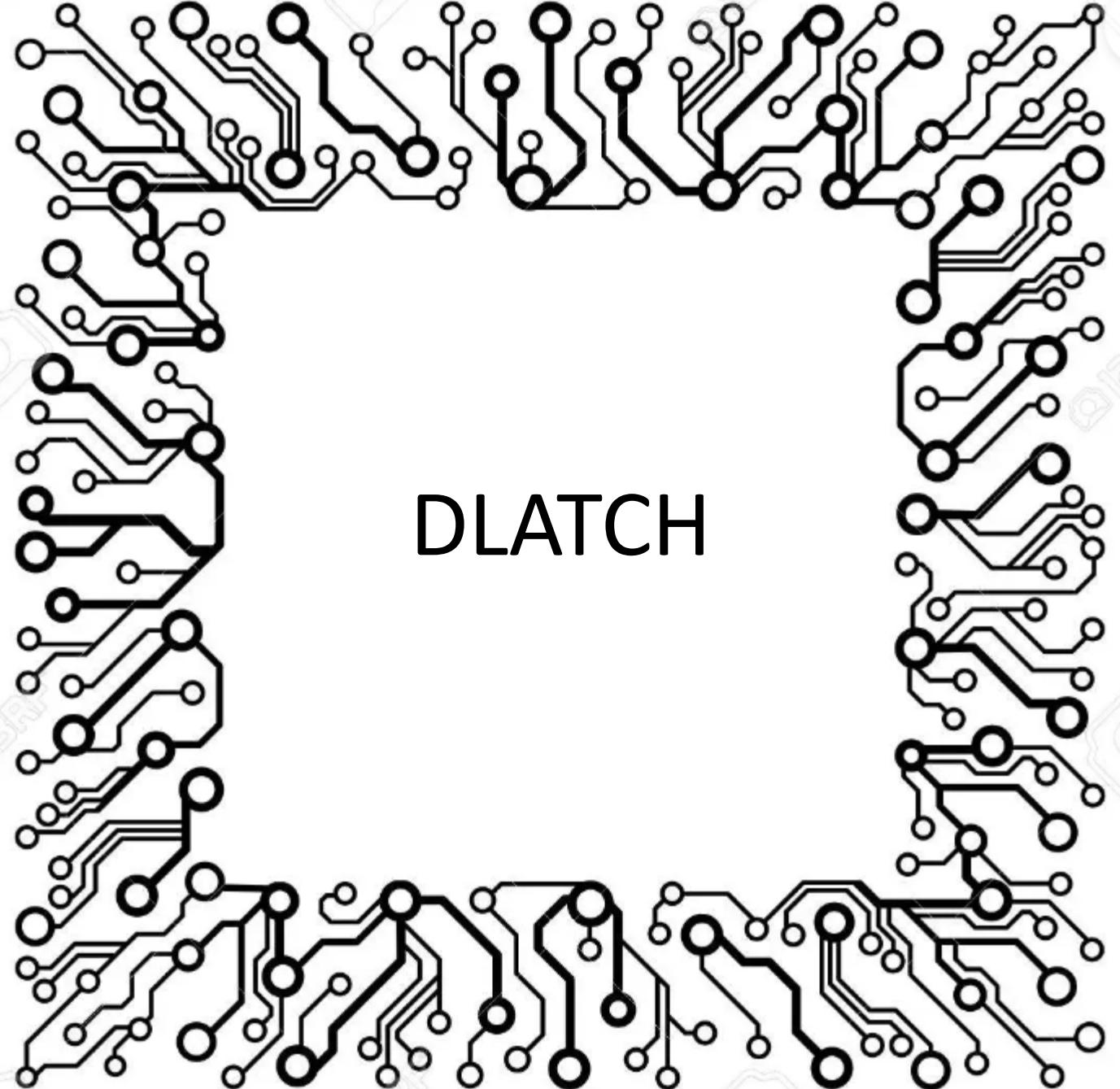




DFF

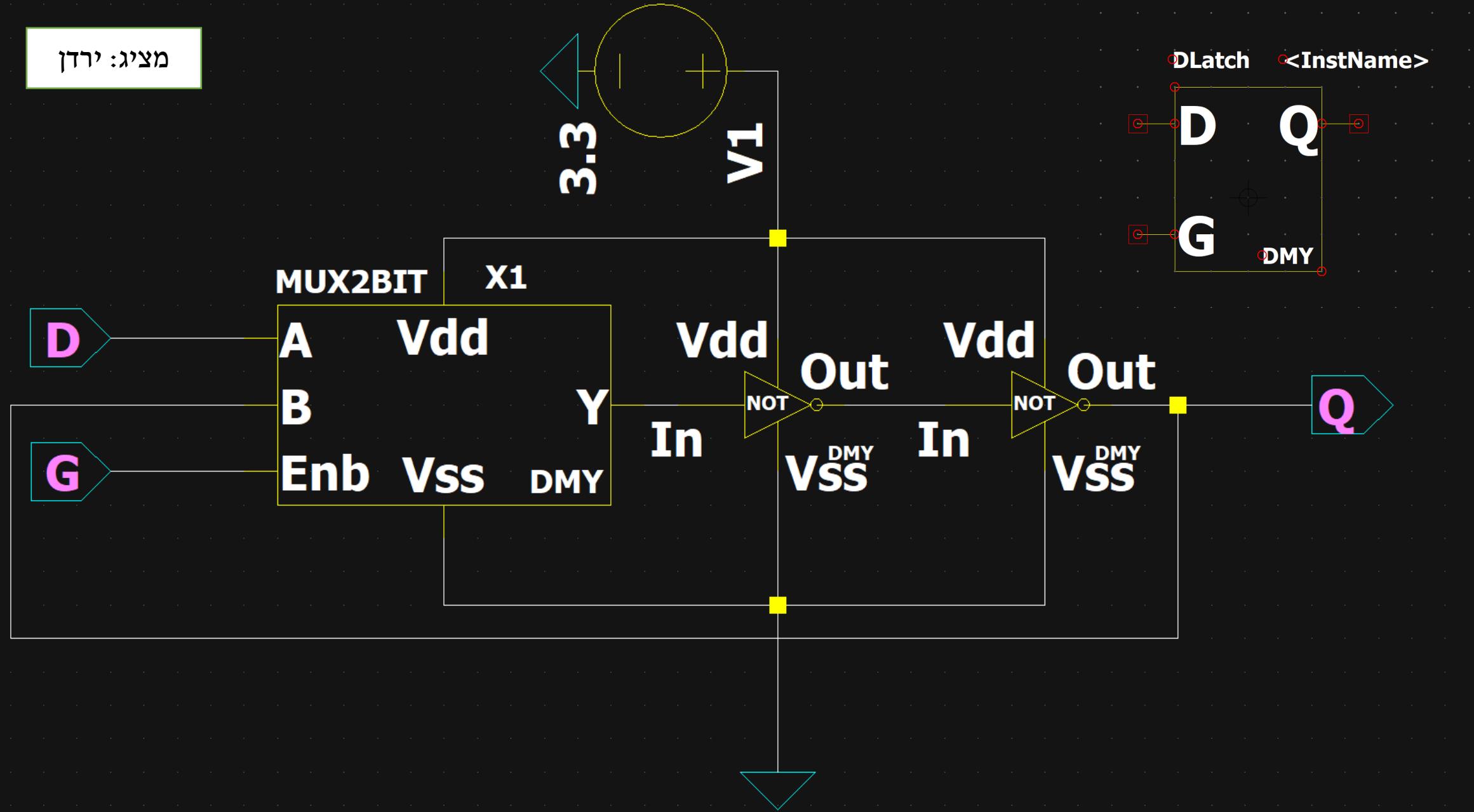


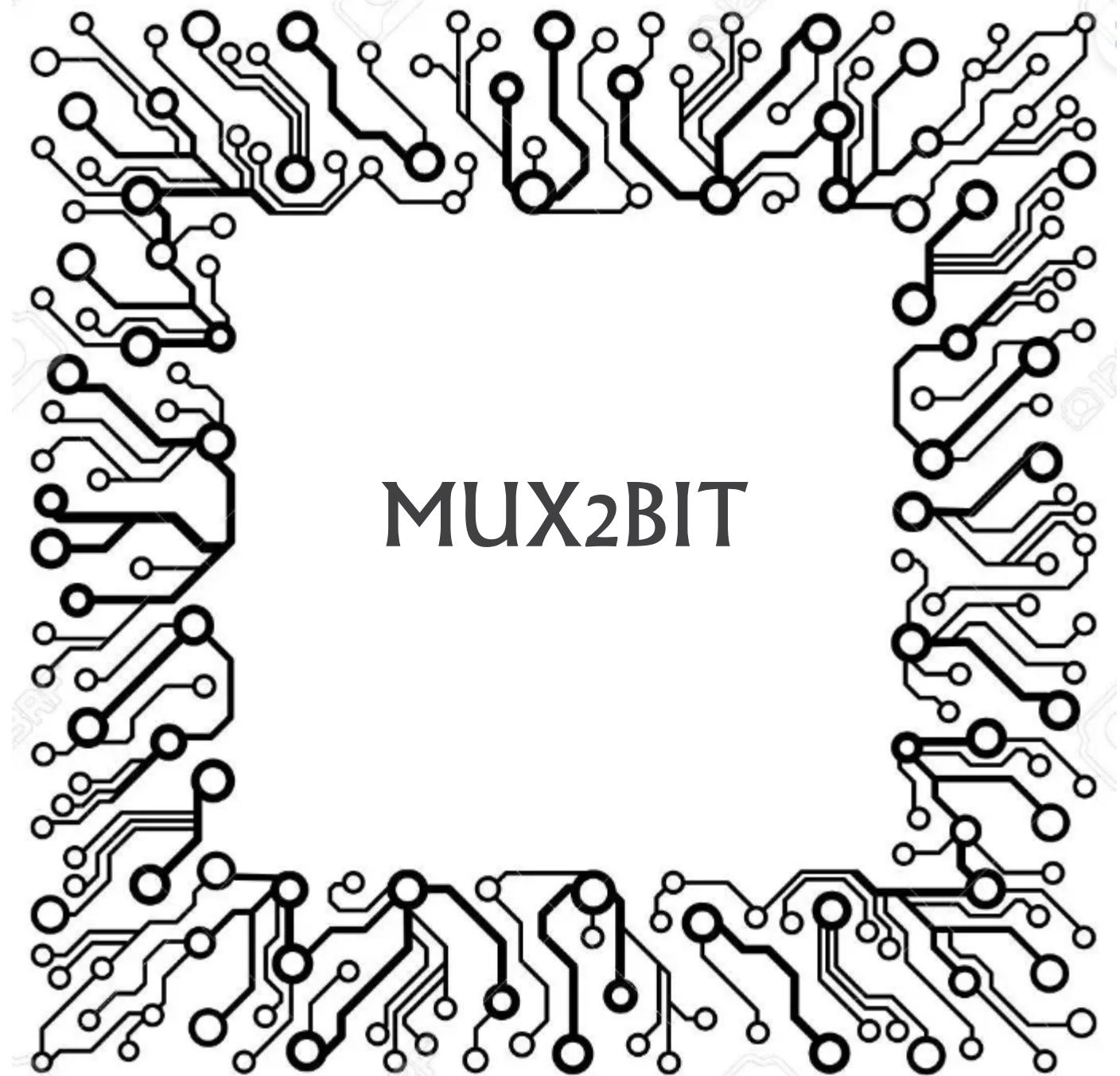




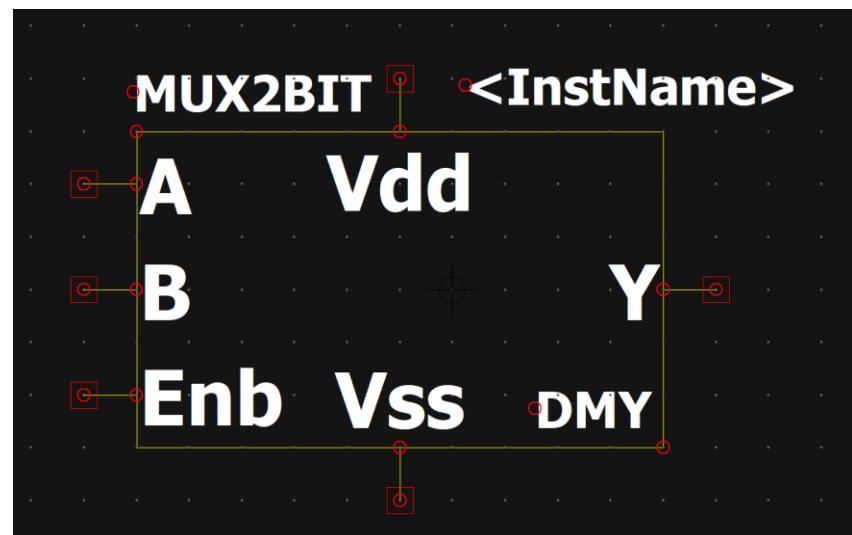
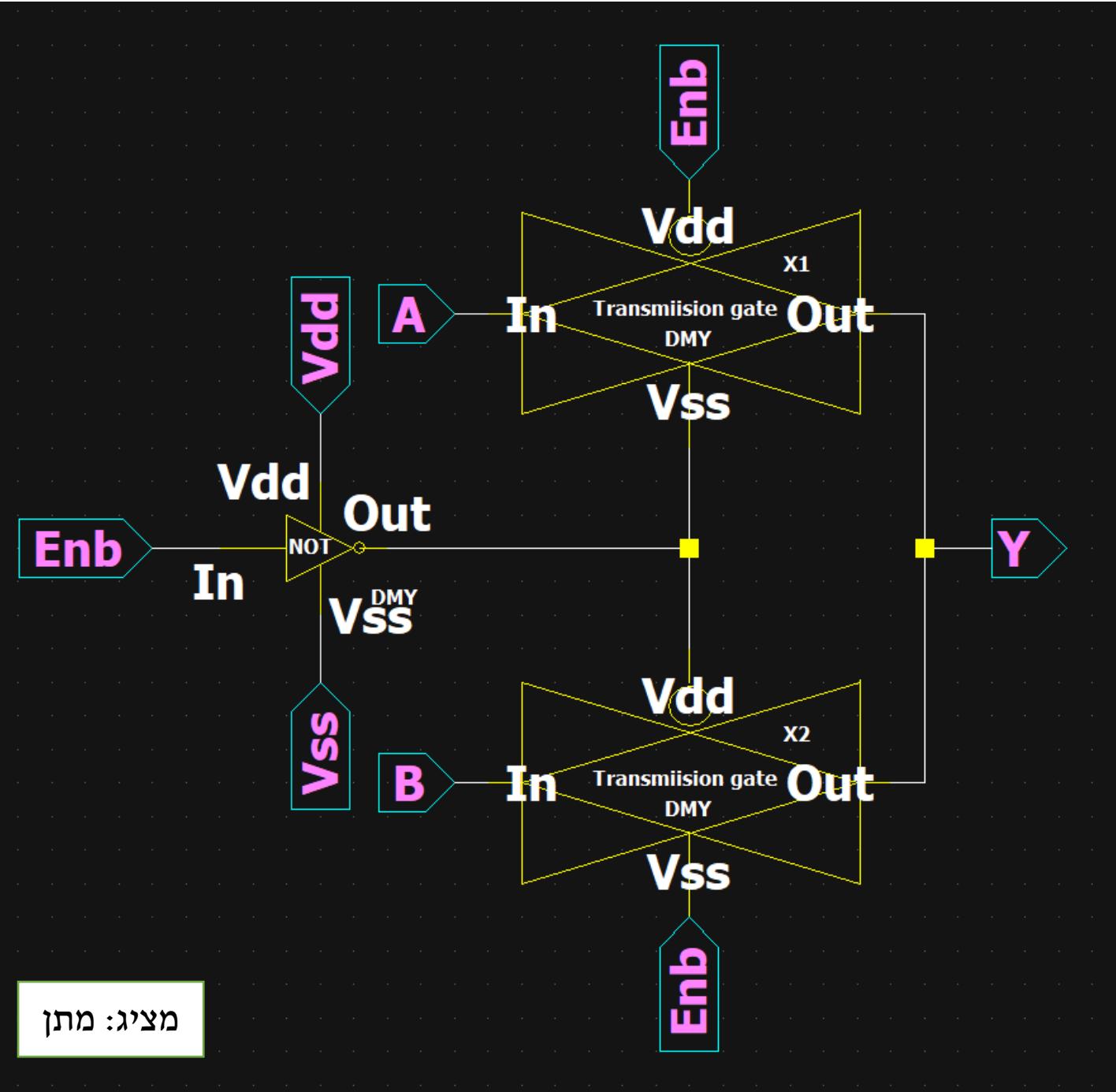
DLATCH

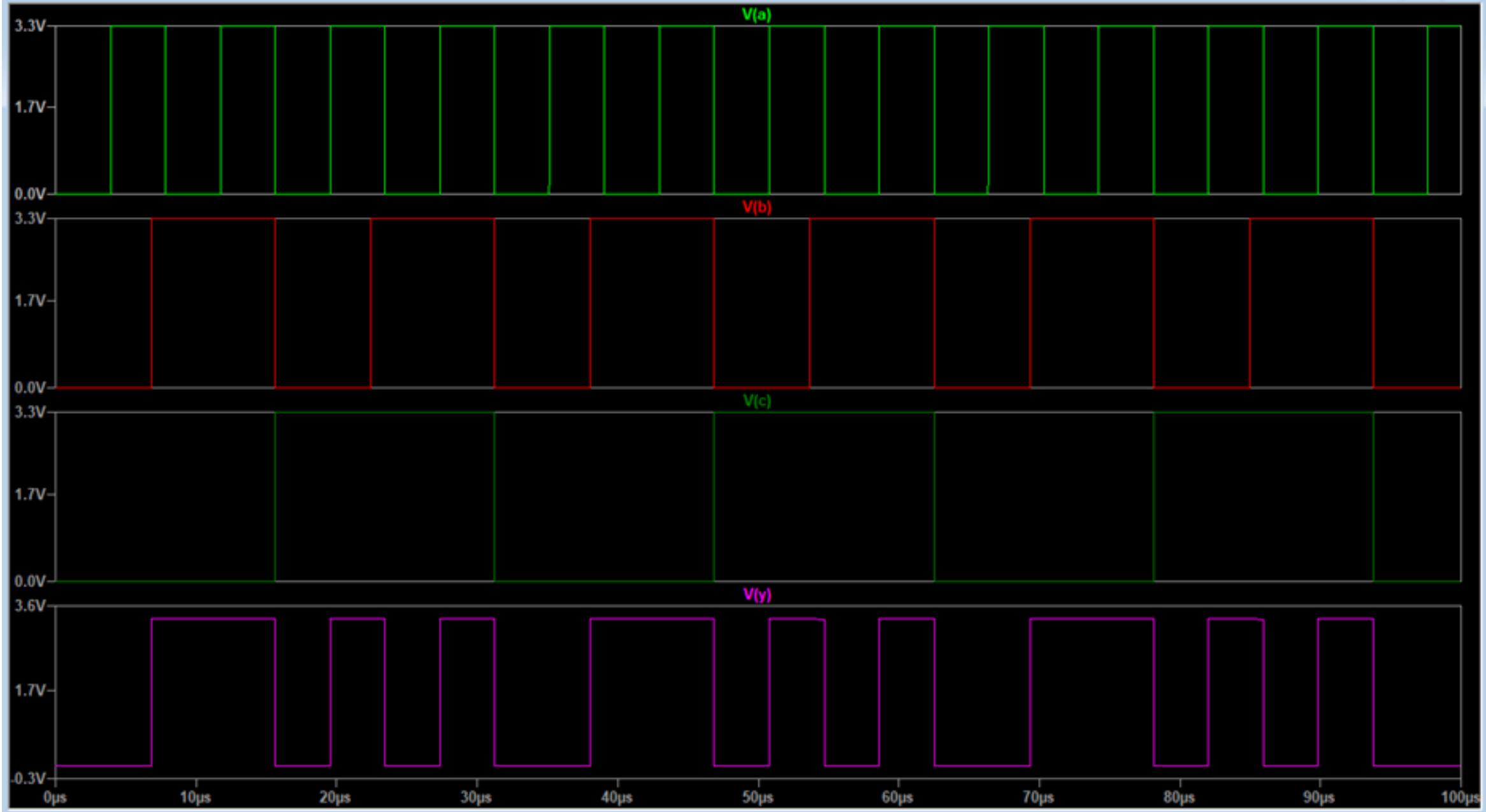
מציג: ירדן

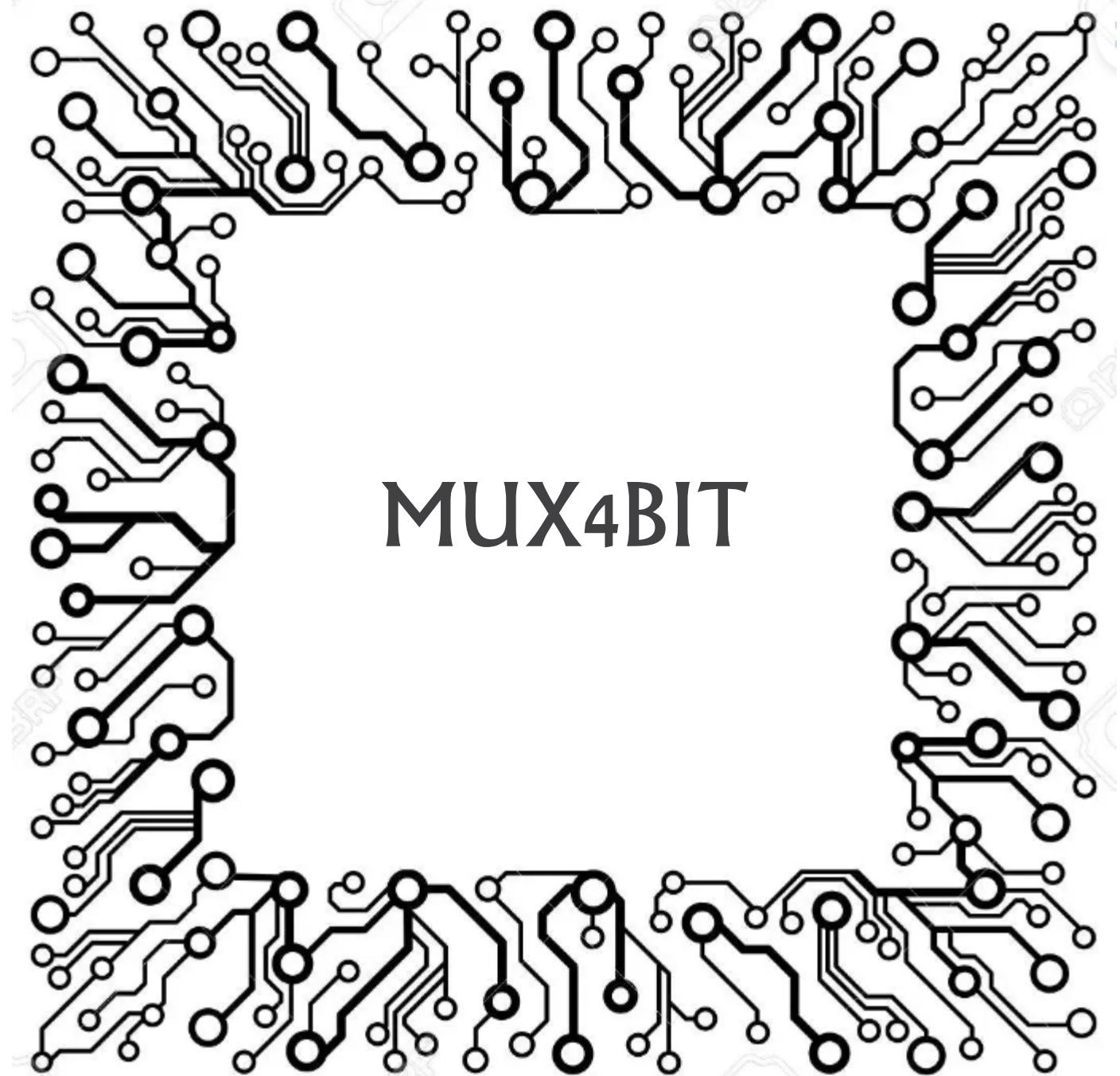




MUX₂BIT

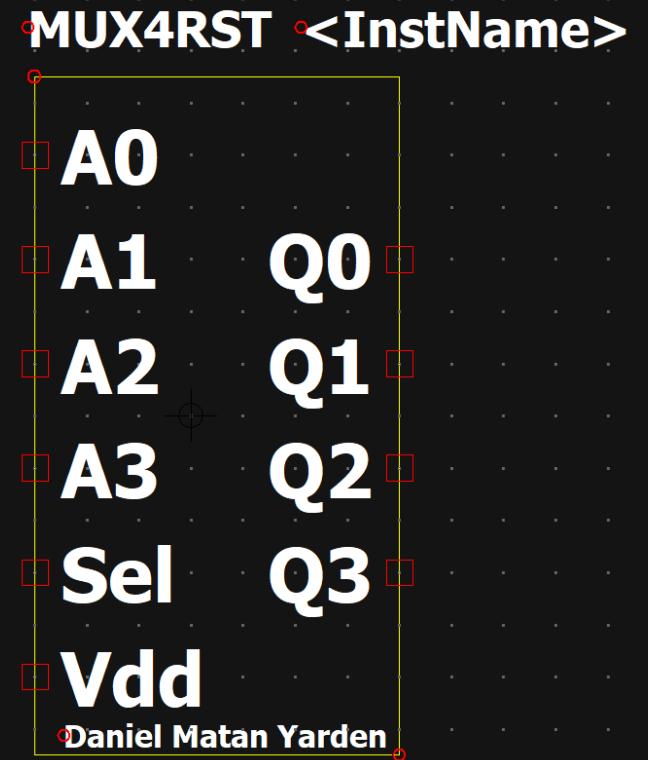
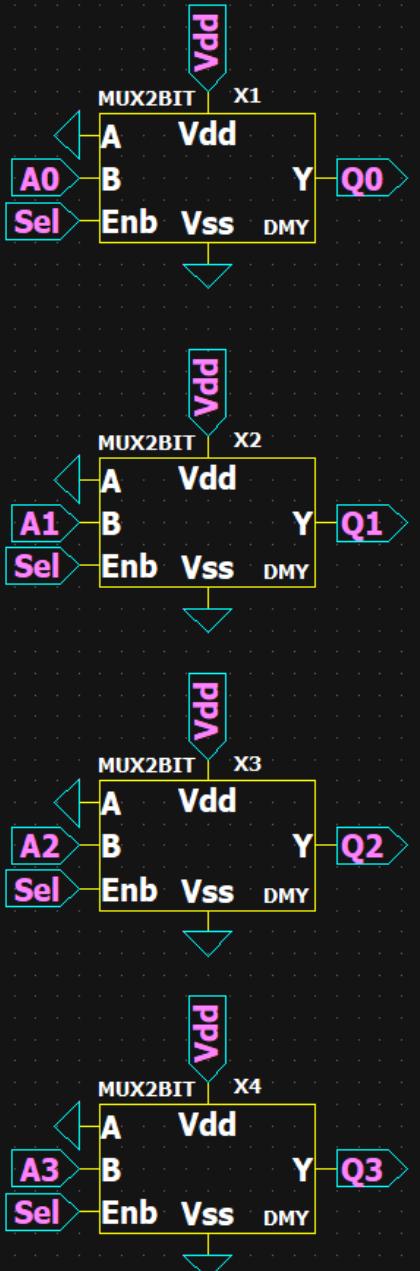


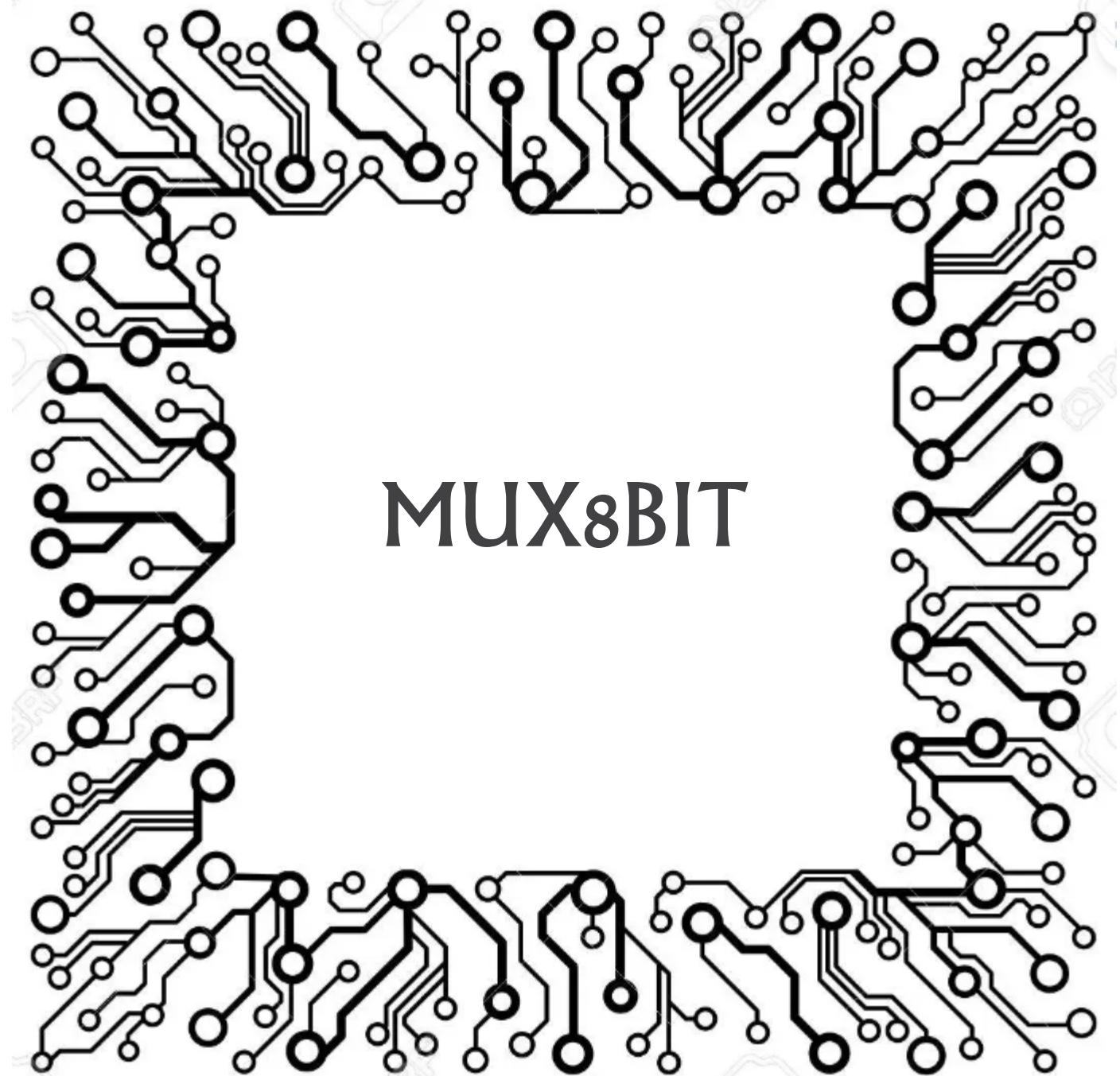




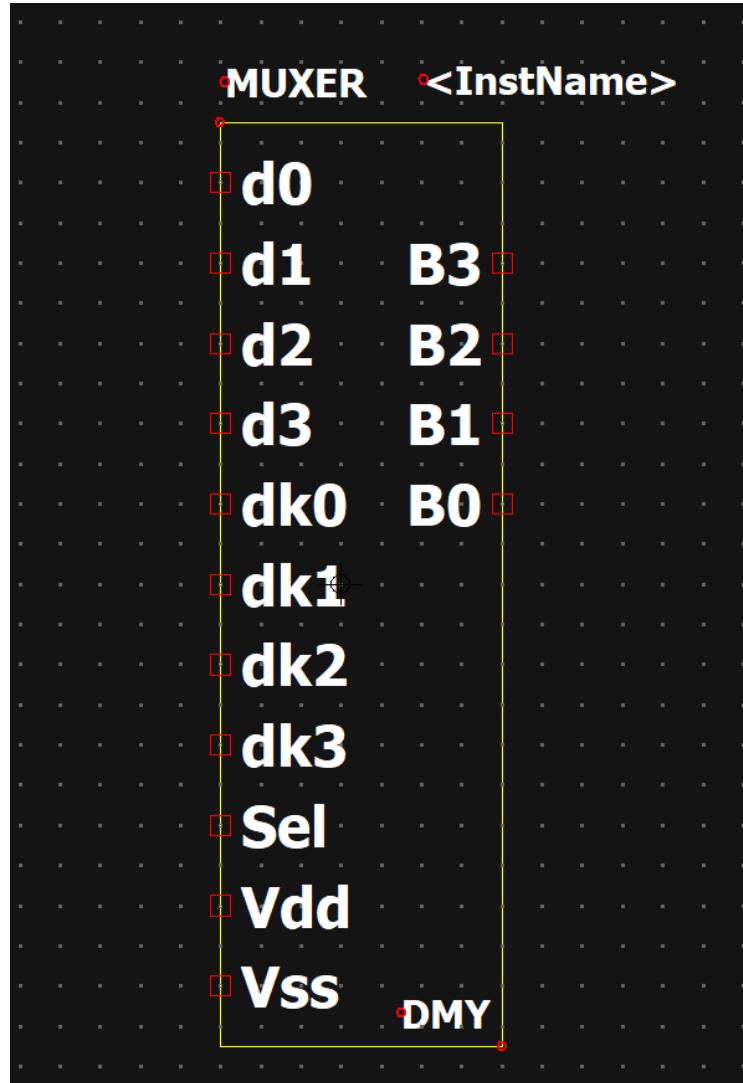
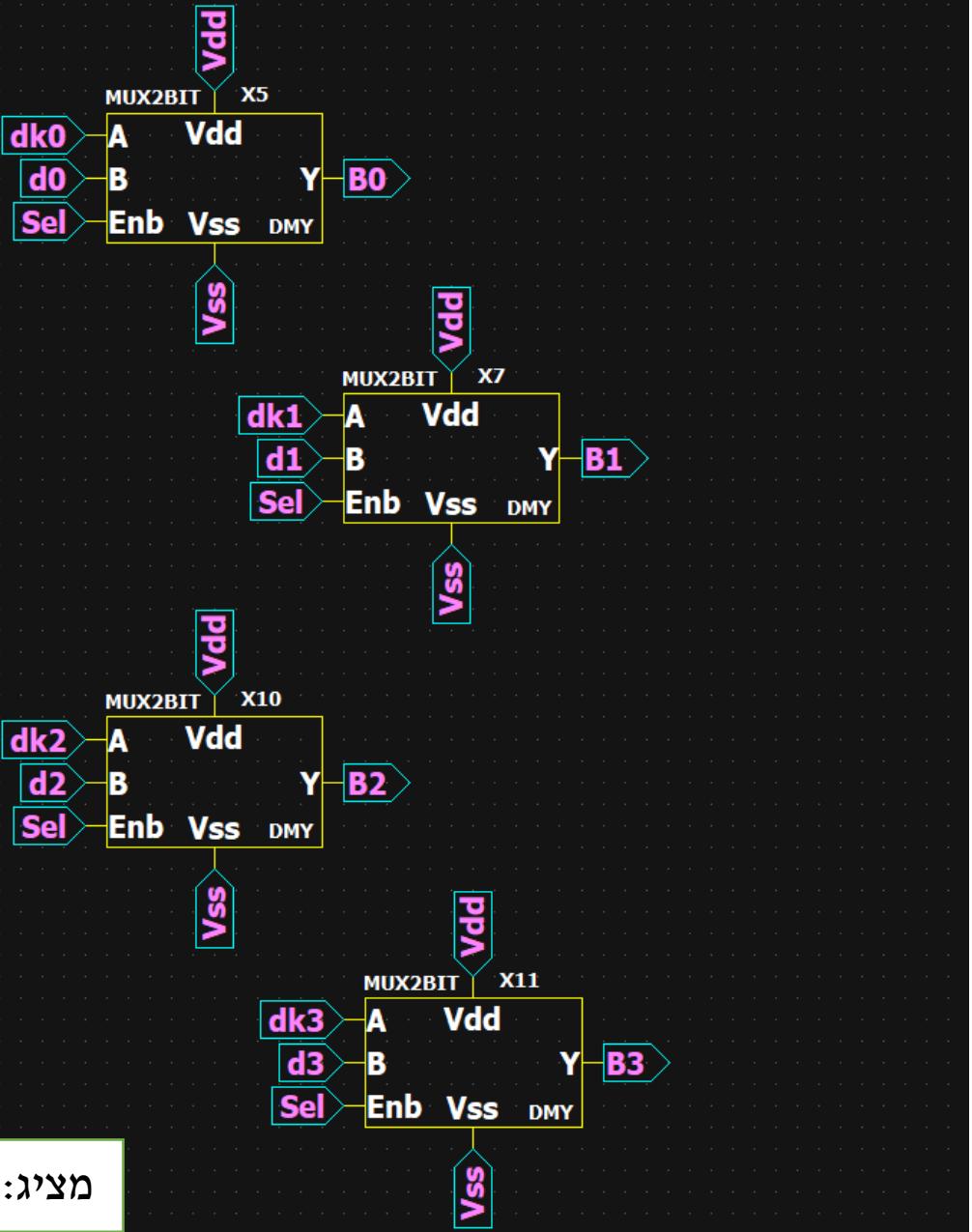
MUX4BIT

מציג: מתן





MUX8BIT



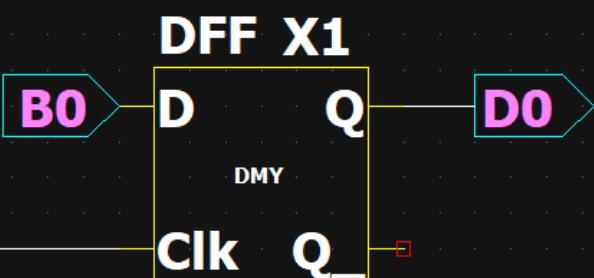
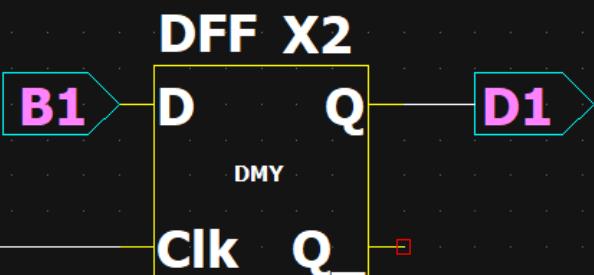
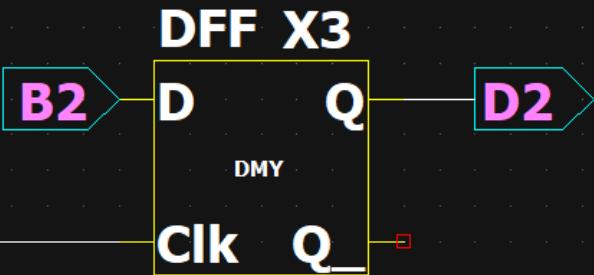
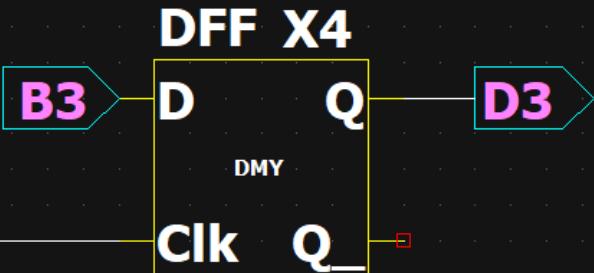
מציג: מתן



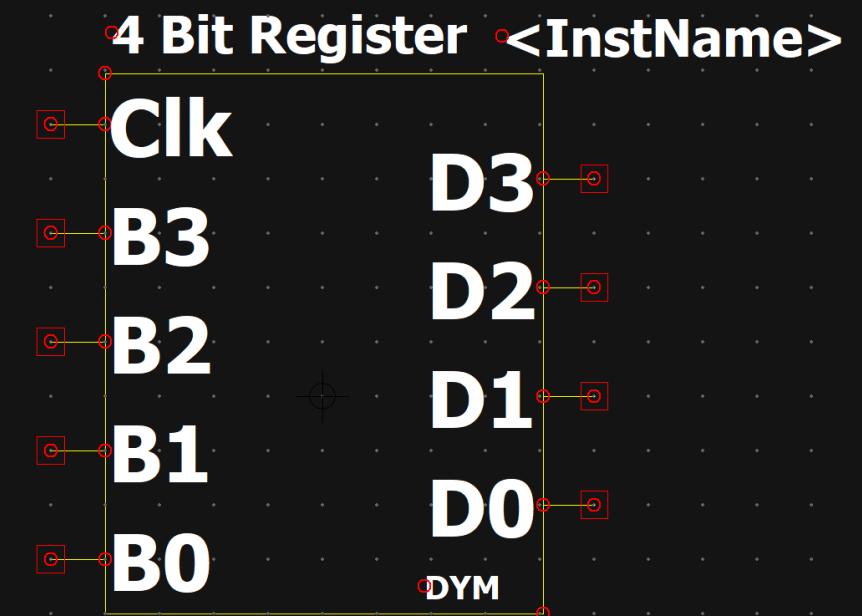
4 bit register
DFF

```
.ic V(B0) = 0  
.ic V(B1) = 0  
.ic V(B2) = 0  
.ic V(B3) = 0
```

Clk



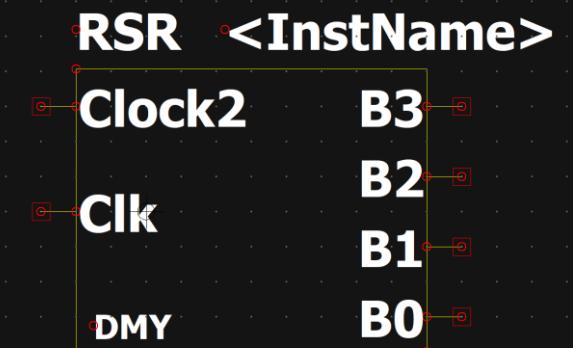
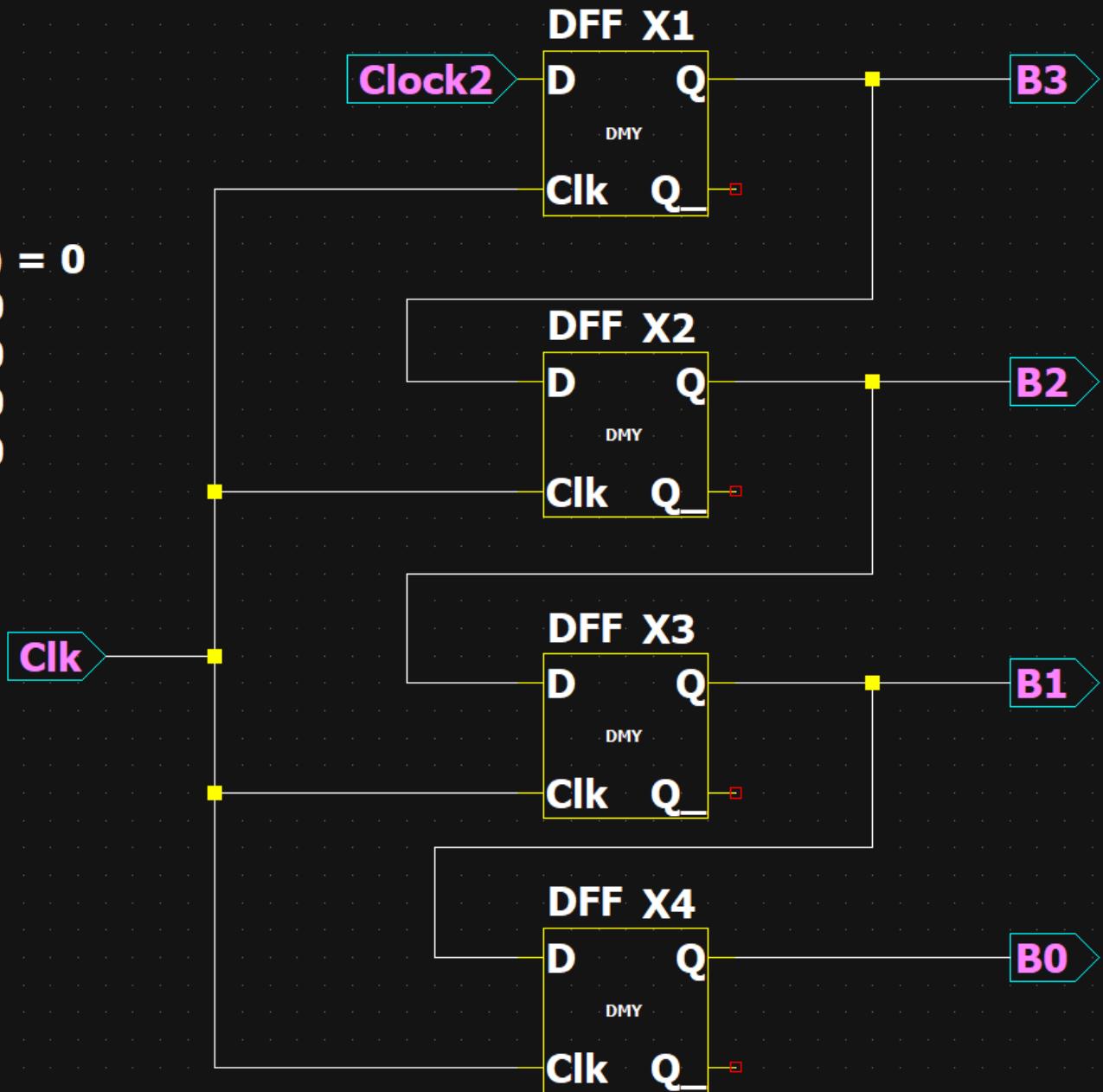
מציג: ירדן



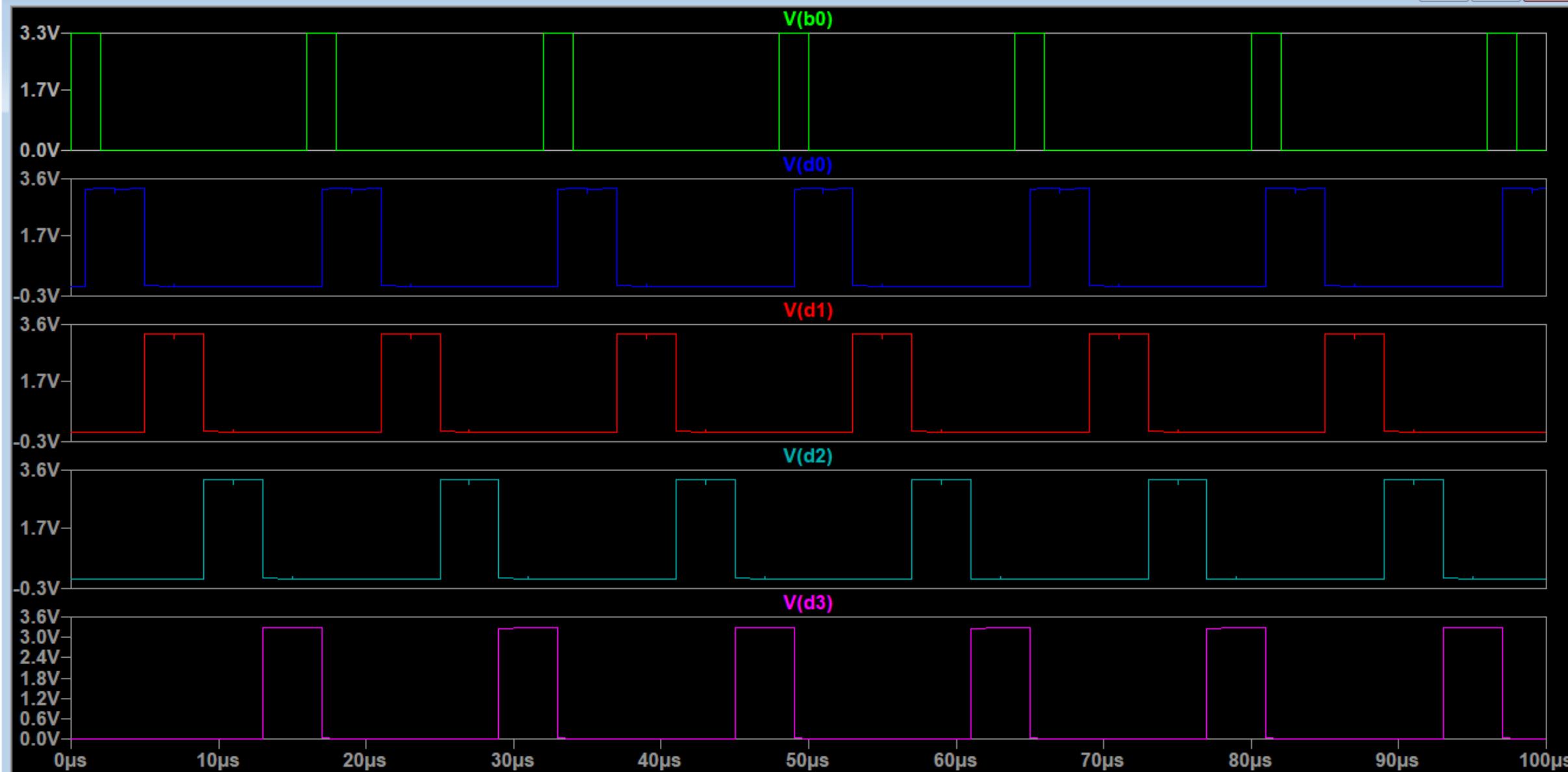


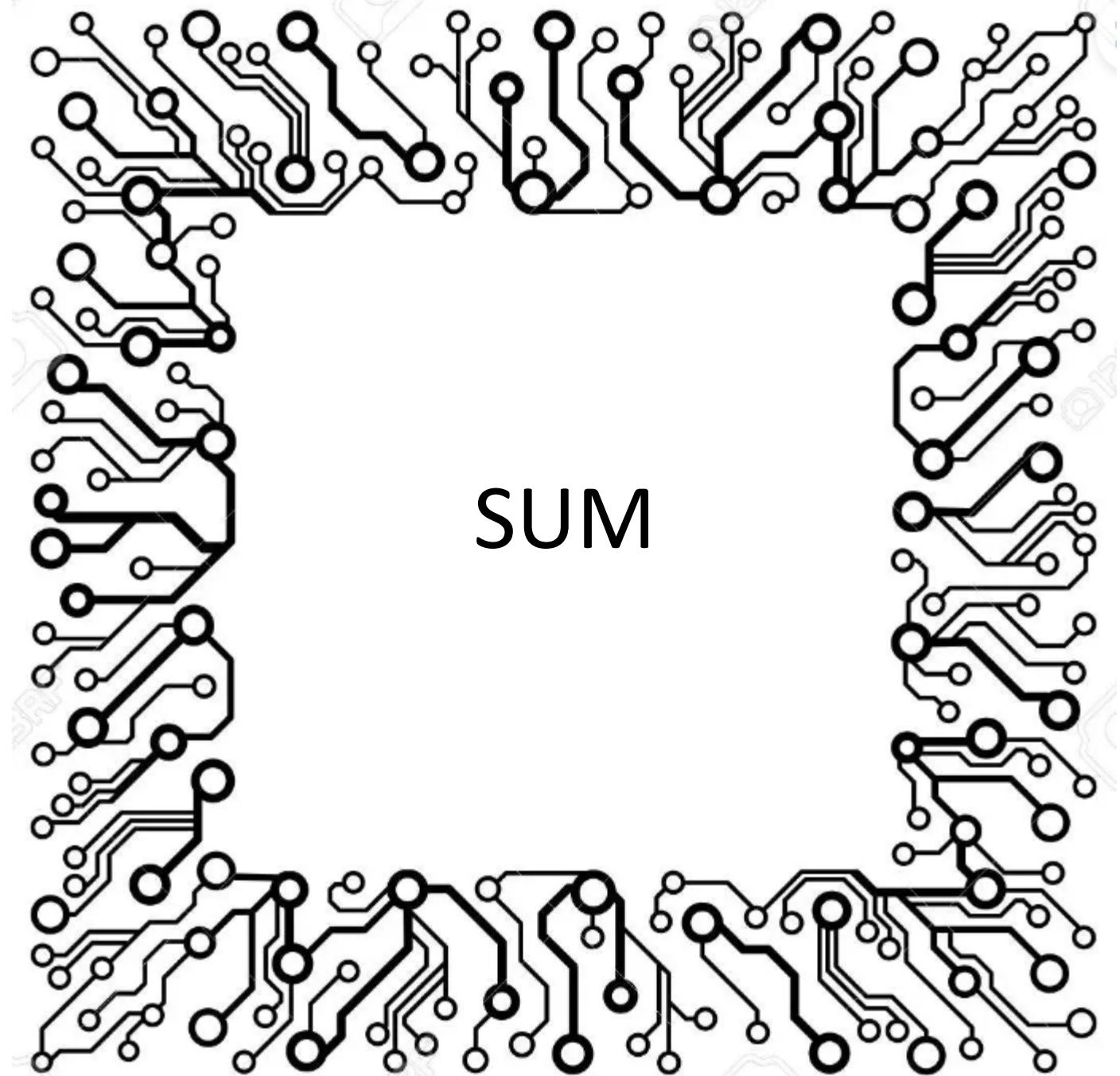
**RIGHT SHIFT
REGISTER**

```
.ic V(Clock2) = 0  
.ic V(B0) = 0  
.ic V(B1) = 0  
.ic V(B2) = 0  
.ic V(B3) = 0
```



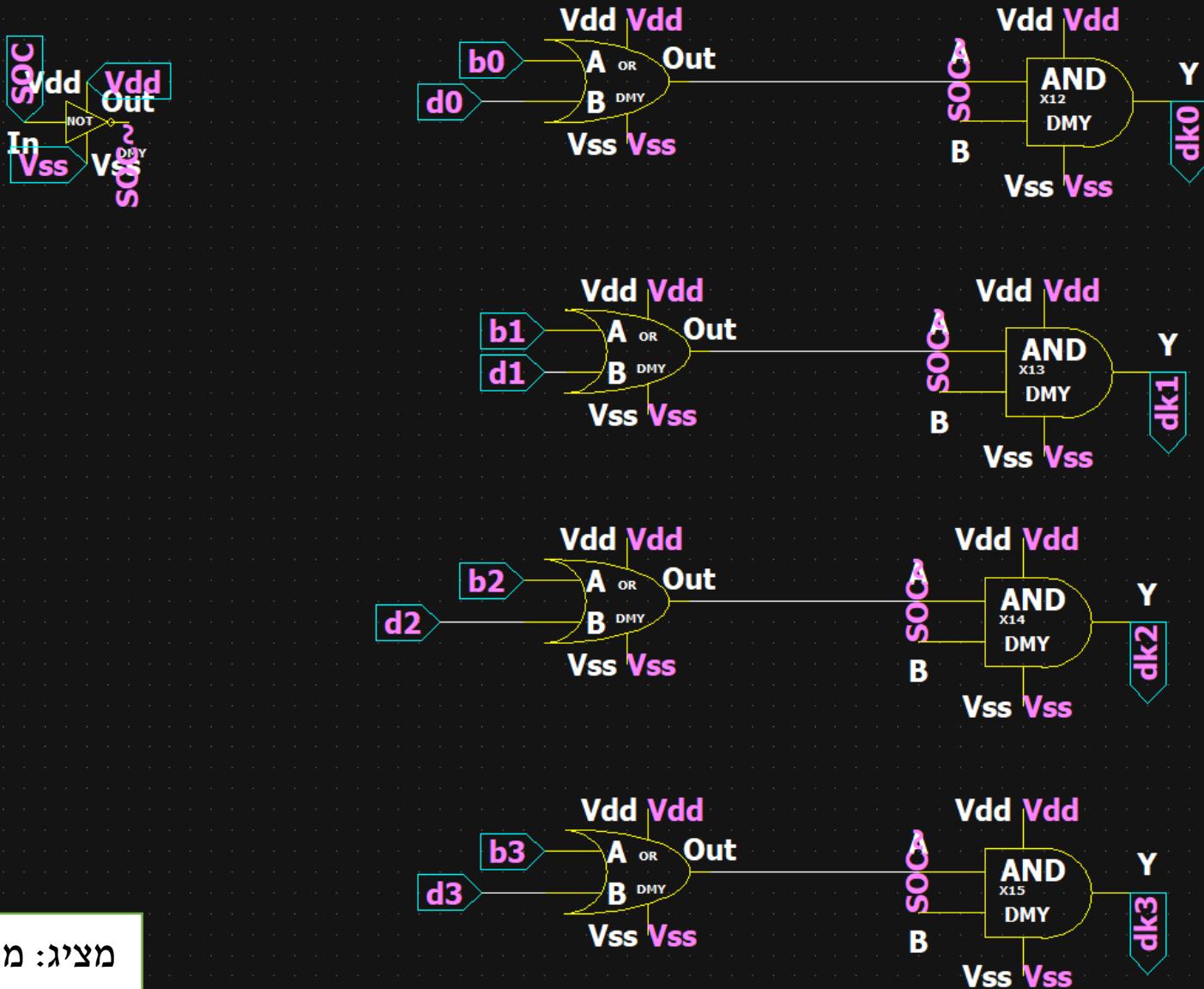
מציג: ירדן





SUM

SUM using OR



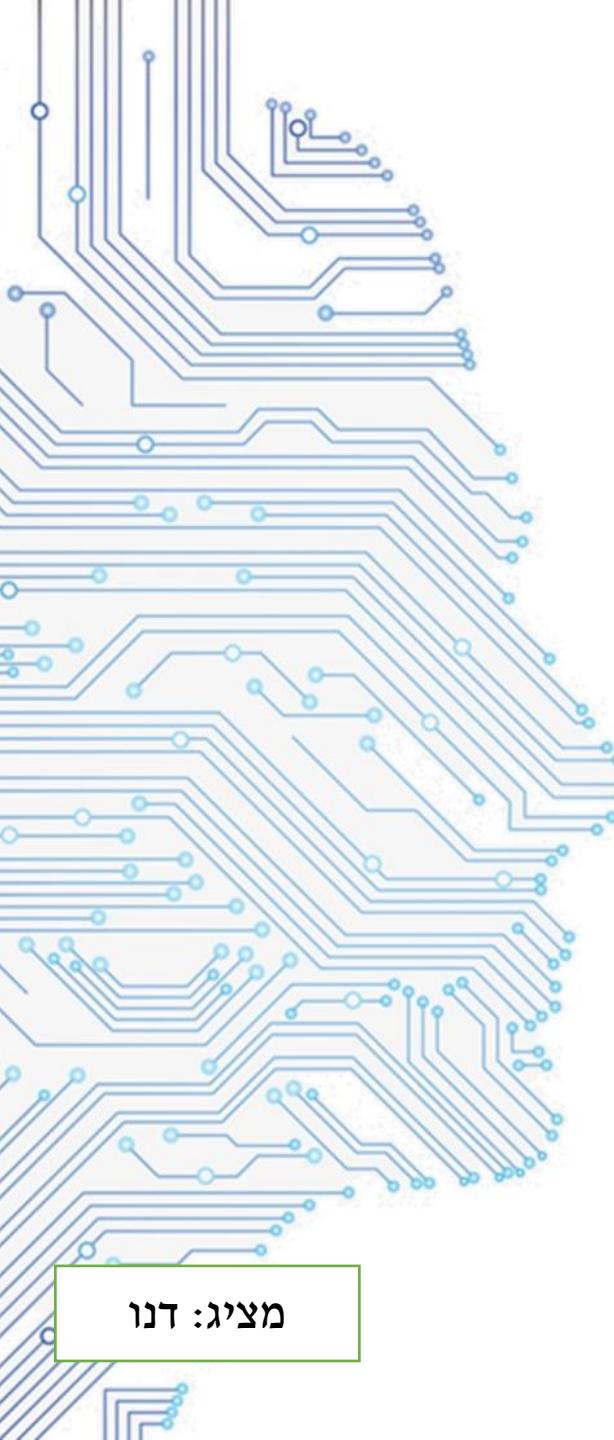
SUM <InstName>

b3
b2
b1
b0
dk3
dk2
dk1
dk0
SOC
Vdd
Vss

Daniel Matan Yarden

מציג: מתן

הבעיות שהווינו:

- 
1. מימוש אבני הבניין בספייס - הקושי נבע מהצורך להבין את החומר העיוני לעומק, ובחירה הערכית השונים.
 2. בחירת השעוניים – ידענו כי הזמן צריך להיות ביחס של 4:1 אך לא ידענו איך לבחור מה יהיה הDC ו גם לאיזה מהירות לשים אותם. מניסוי ותיהיה מצאנו את מה שעבד.
 3. סימולציה איטית מאד – אין דרך לעשות DEBUG כדי למצוא את התקלה, ובהתחלת הסימולציה הייתה מאד איטית עד שהבנו כי הרכיב SPDT גרם לתוכנה להתקע. והיינו צריכים להחליף עם רכיב אחר ולשנות את עיקנון פועלות המugal.
 4. תקלת בمعالג – היו מספר פעמים שרכיבים שעבדו בעבר פתאום הפסיקו לעבוד והיה צריך למחוק אותם ולהעתיק אותם מחדש בספייס.
 5. הסיבית האחרונה לא "עובדת" – עקב תיזמן לא מדויק לא קיבלנו ערך תקין ל(1111), בעזרה הרחבה של השעון עבר זמן ההמרה הכלול (הוספה של 4) נתן מספיק זמן להתייצבויות וטיפל בבעיה.
 6. ייצוב ריצודים – שמננו לב כי הביטים או ערcis בМОץ AXUW ונוסףים, בהם אות הריבועי אינו היה יציב והוא SPIKE קטנים שלא היו לנו ברורים מדוע הם קוראים ולכן לא מצאנו פיתרון אך למצלנו ראיינו כי התחומים הנל לא השפיעו על הביצועים, אך נראה הם מرمזים על אי ייציבות או אי חסינות לרעש.
 7. השוואת לאידיאלי – אין בספייס את כל הרכיבים כדי לעשות מעגל 100% אידיאלי, ולכן ניסינו להשתמש ברכיב INST TEXAS מעשי "אידיאלי" אך לא הצליחנו לגרום לו לעבוד, בגלל שלא הצליחנו להבין איך להשתמש בחלק מהכニיסות/יציאות שלו, והDATASHEET לא היה ברור

מציג: דנו

תודה על הקשבה!

