

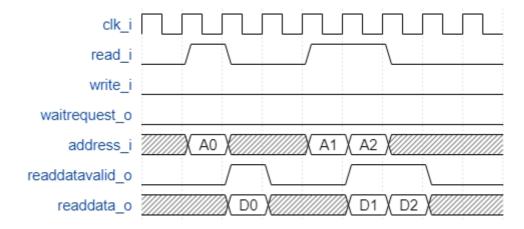
# Architecture des systèmes embarqués (ARE)

Professeur: Etienne Messerli Assistant: Anthony Convers

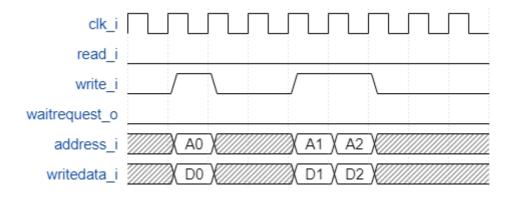
# **Description Bus Avalon**

v1.1

#### 1) Chronogramme pour des lectures sur le bus Avalon



### 2) Chronogramme pour des écritures sur le bus Avalon



### 3) Description des signaux du bus Avalon

Nom signal	Description
"clk_i"	Clock utilisée par le bus
"address_i"	Adresse utilisée pour une transaction (écriture ou lecture)
"read_i"	Effectue une lecture lorsque le signal est actif ('1')
"readdatavalid_o"	Indique que la donnée de lecture est valide
"readdata_o"	Donnée lue pendant une transaction de lecture
"write_i"	Effectue une écriture lorsque le signal est actif ('1')
"writedata_i"	Donnée écrite pendant une transaction d'écriture
"byteenable_i"	Le signal n'est pas utilisé. On ignorera sa valeur
"waitrequest_o"	Le signal n'est pas utilisé. On forcera sa valeur à '0'

HEIG-VD - 1 - 2022