

SP706P/R/S/T, SP708R/R/S/T

+3.0V/+3.3V 低功耗微处理器外围监控器件

- 高精度低电压监控器
 - 2.63V 下的 SP706P/R 及 SP708R
 - 2.93V 下的 SP706S 及 SP708S
 - 3.08V 下的 SP706T 及 SP708T
- 复位脉冲宽度~200ms
- 独立的看门狗定时器-溢出周期 1.6s (SP706P/S/R/T)
- 最大电源电流 40uA
- 支持开关式 TTL/CMOS 手动复位输入
- V_{CC} 下降至 1V 时, 产生RESET信号
- RESET 输出:
 - SP706P 高电平有效
 - SP706R/S/T 低电平有效
 - SP708R/S/T 支持高/低电平两种方式
- WDI 可以保持为浮空, 以禁止看门狗功能
- 内嵌 V_{CC} 干扰抑止电路
- 提供 8 引脚 PDIP, NSOIC 及 uSOIC 封装
- 内嵌电压监测器, 可检测供电失败或电池不足警告
- 706P/R/S/T 及 708R/S/T 引脚兼容性增强以符合工业标准



描述

SP706P/S/R/T, SP708R/S/T 系列属于微处理器 (uP) 监控器件。其集成有众多组件, 可监测 uP 及数字系统中的供电及电池的工作情况。由于以上众多组件的使用, SP706P/S/R/T, SP708R/S/T 系列可有效地增强系统的可靠性及工作效率。SP706P/S/R/T, SP708R/S/T 系列包含一个看门狗定时器, 一个 uP 复位模块, 一个供电失败比较器, 及一个手动复位输入模块。SP706P/S/R/T, SP708R/S/T 系列适用于+3.0V 或+3.3V 环境, 如计算机, 汽车系统, 控制器, 及其他一些智能仪器。对于对电源供电要求严格的 uP 系统/数字处理系统, SP706P/R/S/T, SP708R/S/T 系列是一款非常理想的选择。

型号	RESET 有效态	RESET 阈值	手动复位	PFI 准确率	看门狗输入
SP706P	高	2.63V	YES	4%	YES
SP706R	低	2.63V	YES	4%	YES
SP706S	低	2.93V	YES	4%	YES
SP706T	低	3.08V	YES	4%	YES
SP708R	低/高	2.63V	YES	4%	NO
SP708S	低/高	2.93V	YES	4%	NO
SP708T	低/高	3.08V	YES	4%	NO

极限参数

终端电压（以 GND 为基准）:

V_{CC} -0.3V 到 +6.0V
 所有其他输入（注解 1） -0.3V 到 (V_{CC}+3.0V)

输入电流:

V_{CC} 20mA
 GND 20mA
 输出电流（所有输出） 20mA
 ESD 额定值 2kV

电源持续功耗:

Plastic DIP (70℃ 以上时, 9.09mW/℃ 递减) 727mW
 S0 (70℃ 以上时, 5.88mW/℃ 递减) 471mW
 Mini S0 (70℃ 以上时, 4.10mW/℃ 递减) 330mW
 正常工作温度范围 -65℃ 到 160℃
 焊接温度（焊接 10 秒） +300℃

这里仅对部分参数进行描述, 器件在以上状态的工作性能, 及下面规范中的相关操作, 没有在这里说明。长期处于极限工作状态将影响器件的稳定性。

规范

SP70_P/R 的 V_{CC} 范围为 2.7V 到 5.5V, SP70_S 的 V_{CC} 范围为 3.0 到 5.5V, SP70_T 的 V_{CC} 范围为 3.15V 到 5.5V, T_A=T_{MIN} 到 T_{MAX} 到 T_{MAX}, 除非有特别说明, 一般以上数据皆以 25℃ 时为准。

参数	最小值	典型值	最大值	单位	条件
操作电压范围, V _{CC}	1.0		5.5	V	
电源电流, I _{SUPPLY}		25	40	UA	MR=V _{CC} 或浮空, WDI 浮空
复位阈值	2.55 2.85 3.00	2.63 2.93 3.08	2.70 3.00 3.15	V	SP70_P/R SP70_S SP70_T
滞后复位阈值		20		mV	注解 2
复位脉冲宽度, t _{RS}	140	200	280	ms	注解 2
RESET 输出电压 V _{OH} V _{OL} V _{OH} V _{OL}	0.8xV _{CC} V _{CC} -1.5		0.3 0.4	V	V _{RST(MAX)} <V _{CC} <3.6V, I _{SOURCE} =500uA V _{RST(MAX)} <V _{CC} <3.6V, I _{SINK} =1.2mA 4.5V<V _{CC} <5.5V, I _{SOURCE} =800uA 4.5V<V _{CC} <5.5V, I _{SINK} =3.2mA

RESET 输出电压 V_{OH} V_{OL} V_{OH} V_{OL}	VCC-0.6 VCC-1.5		0.3 0.4	V	$V_{RST(MAX)} < V_{CC} < 3.6V$, $I_{SOURCE}=215\mu A$ $V_{RST(MAX)} < V_{CC} < 3.6V$, $I_{SOURCE}=1.2mA$ $4.5V < V_{CC} < 5.5V$, $I_{SOURCE}=800\mu A$ $4.5V < V_{CC} < 5.5V$, $I_{SOURCE}=3.2mA$
看门狗溢出周期, t_{WD}	1.00	1.60	2.25	s	$V_{CC} < 3.6V$
WDI 脉冲宽度, t_{WP}	50			ns	$V_{IL}=0.4V$, $V_{IH}=0.8 \times V_{CC}$
WDI 输入阈值 V_{IL} V_{IH} V_{IL} V_{IH}	 $0.7 \times V_{CC}$ 3.5		0.6 0.6	V	$V_{RST(MAX)} < V_{CC} < 3.6V$ $V_{RST(MAX)} < V_{CC} < 3.6V$ $V_{CC}=5.0V$ $V_{CC}=5.0V$
WDI 输入电流	-1	0.02	1	μA	WDI=0 或 V_{CC}
WDO 输出电压 V_{OH} V_{OL} V_{OH} V_{OL}	$0.8 \times V_{CC}$ $V_{CC}-1.5$		0.3 0.4	V	$V_{RST(MAX)} < V_{CC} < 3.6V$, $I_{SOURCE}=500\mu A$ $V_{RST(MAX)} < V_{CC} < 3.6V$, $I_{SINK}=1.2mA$ $4.5V < V_{CC} < 5.5V$, $I_{SOURCE}=800\mu A$ $4.5V < V_{CC} < 5.5V$, $I_{SINK}=3.2mA$
MR 上拉电流	25 100	70 250	250 600	μA	MR=0V, $V_{RST(MAX)} < V_{CC} < 3.6V$ MR=0V, $4.5V < V_{CC} < 5.5V$
MR 脉冲宽度, t_{MR}	500 150			ns	$V_{RST(MAX)} < V_{CC} < 3.6V$, 注解 2 $4.5V < V_{CC} < 5.5V$, 注解 2
MR 脉冲宽度, t_{WR}	500 150			ns	$V_{RST(MAX)} < V_{CC} < 3.6V$ $4.5V < V_{CC} < 5.5V$
MR 输入阈值 V_{IL} V_{IH} V_{IL} V_{IH}	 $0.7 \times V_{CC}$ 2.0		0.6 0.8	V	$V_{RST(MAX)} < V_{CC} < 3.6V$ $V_{RST(MAX)} < V_{CC} < 3.6V$ $4.5V < V_{CC} < 5.5V$ $4.5V < V_{CC} < 5.5V$
MR 到复位时的延迟, t_{WD}			750 250	ns	$V_{RST(MAX)} < V_{CC} < 3.6V$, 注解 2 $4.5V < V_{CC} < 5.5V$, 注解 2
PFI 输入阈值	1.20	1.25	1.30	V	SP70_P/R: $V_{CC}=3.0V$ SP70_S/T: $V_{CC}=3.3V$ PFI 失败
PFI 输入电流	-25.00	0.01	25.00	nA	
PFO 输出电压 V_{OH} V_{OL} V_{OH} V_{OL}	$0.8 \times V_{CC}$ $V_{CC}-1.5$		0.3 0.4	V	$V_{RST(MAX)} < V_{CC} < 3.6V$, $I_{SOURCE}=500\mu A$ $V_{RST(MAX)} < V_{CC} < 3.6V$, $I_{SINK}=1.2mA$ $4.5V < V_{CC} < 5.5V$, $I_{SOURCE}=800\mu A$ $4.5V < V_{CC} < 5.5V$, $I_{SINK}=3.2mA$

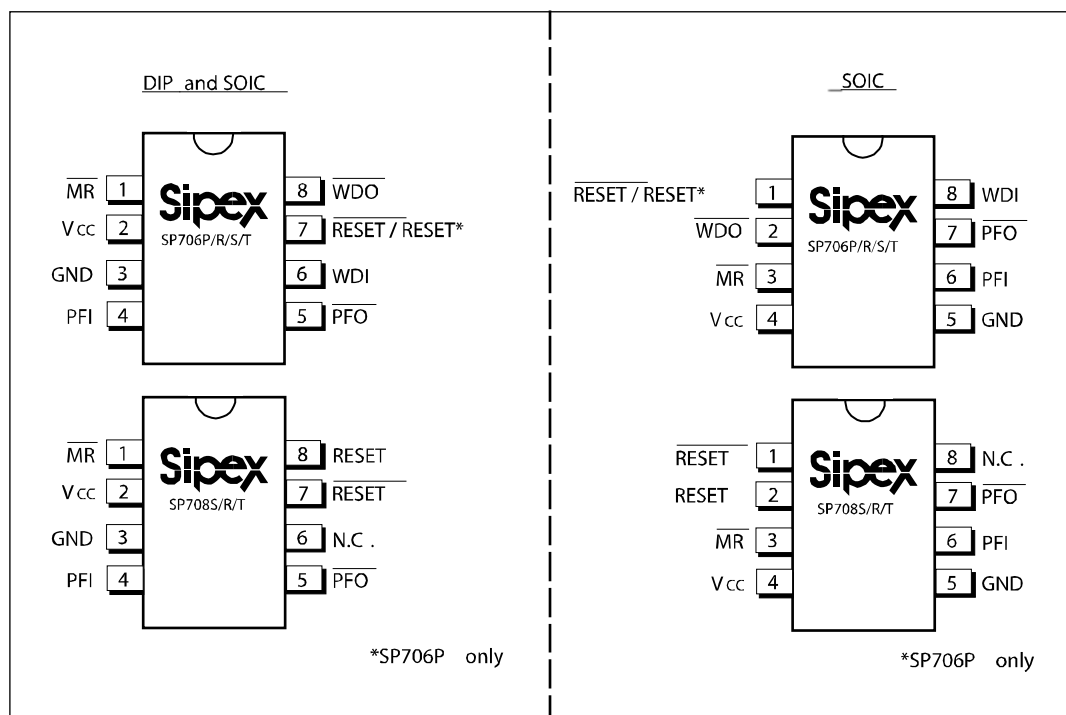


图 1 引脚分布图

名称	功能	引脚描述					
		SP706P		SP70R/S/T		SP708R/S/T	
		DIP/ SOIC	uSOIC	DIP/ SOIC	uSOIC	DIP/ SOIC	uSOIC
MR	手动复位—当被拉低于 0.8V 以下时，输入触发一个复位信号。其输入为低电平有效，内部有 70uA 上拉电流。其可被 TTL/CMOS 逻辑线驱动，或通过开关短接至地。	1	3	1	31	1	3
Vcc	电压输入	2	4	2	4	2	4
GND	所有信号的地参考端	3	5	3	5	3	5
PFI	供电失败信号输入—当电压监控器输入低于 1.25V 时，PFO 为 LOW。如果没有使用该引脚，可将 PFI 连接至地或 VCC。	4	6	4	6	4	6
PFO	供电失败信号输出—输出为高直到 PFI 低于 1.25V。	5	7	5	7	5	7
WDI	看门狗输入—如果输入保持 HIGH 或者 LOW 长达 1.6s，内部看门狗定时器超时，WDO 将为 LOW。将 WDI 浮空或者将 WDI 与高阻抗触发缓冲连接，以禁止看门狗功能。一旦设定 RESET，且 WDI 为触发态，或 WDI 遇到一个上升沿/下降沿，内部看门狗定时器都将清 0。	6	8	6	8		
NC	无连接					6	8
RESET	低电平有效 RESET 信号输出—当 Vcc 低于复位阈值后，将输出 200ms 的 LOW 脉冲。其保持 200ms 的低电平，在 Vcc 上升超过复位阈值，或 MR 从 LOW 上升到 HIGH 的过程中。一个看门狗溢出将不会触发 RESET，除非 WDO 与 MR 连接。			7	1	7	1

WDO	看门狗输出—当内部看门狗定时器完成 1.6s 的计时，其将被拉低；其不会升高，直到看门狗被清为 0。WDO在低电平状态下将为 LOW。当 Vcc 低于复位阈值，WDO将为低。然而，与RESET不同，WDO没有最小的脉冲宽度限制。一旦 Vcc 超过复位阈值，WDO 将立即持续为 HIGH，之间没有任何延迟。	8	2	8	2		
RESET	高电平有效 RESET 输出— 输出为 RESET 的补充。一旦 RESET 为高，RESET为低，反之亦然。SP708R/S/T 仅有一个复位输出。	7	1	—	—	8	2

表 1 器件引脚描述

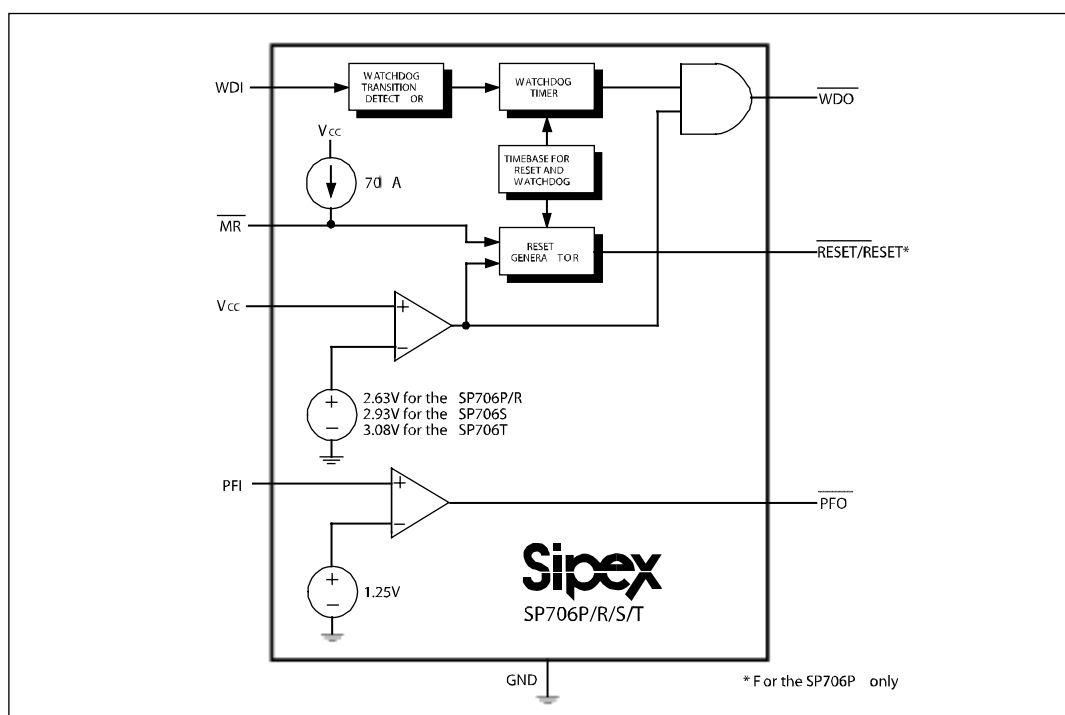


图 2 SP706P/R/S/T 内部模块图

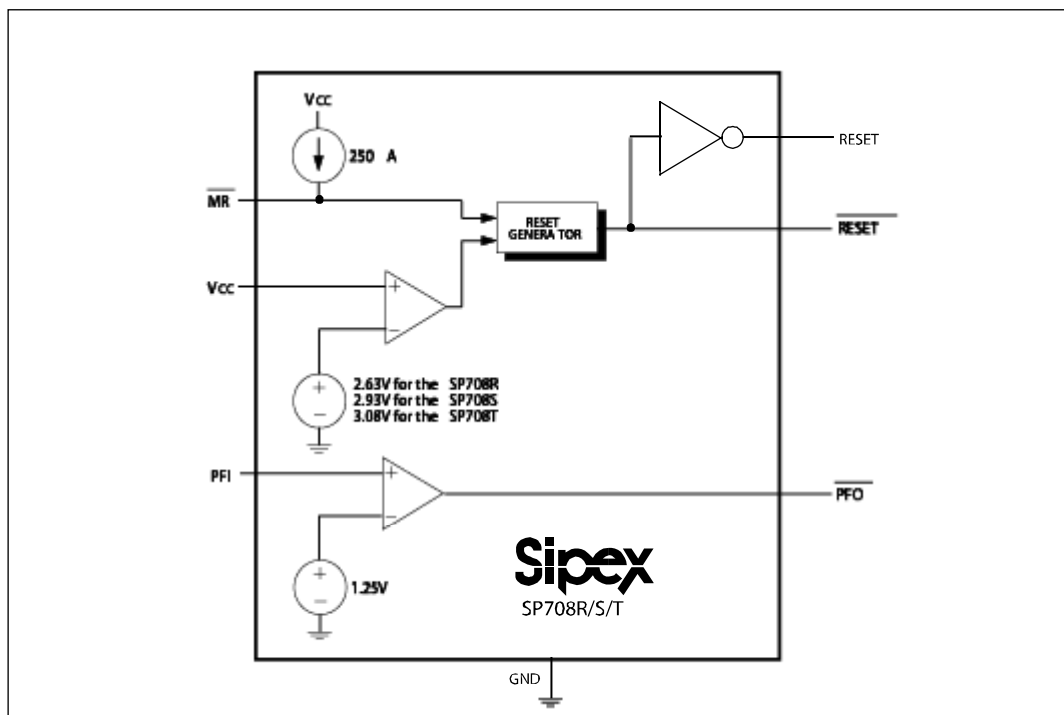


图 3 SP708R/S/T 内部模块图

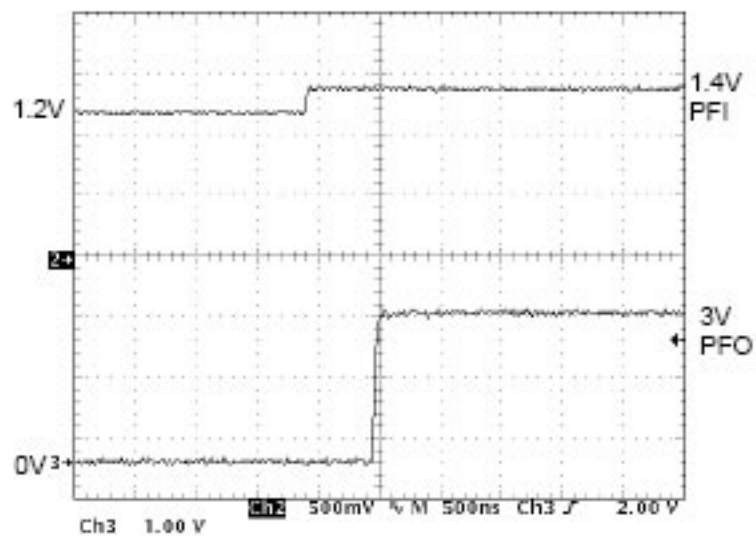


图 4A 供电失败比较器反向设定响应时间

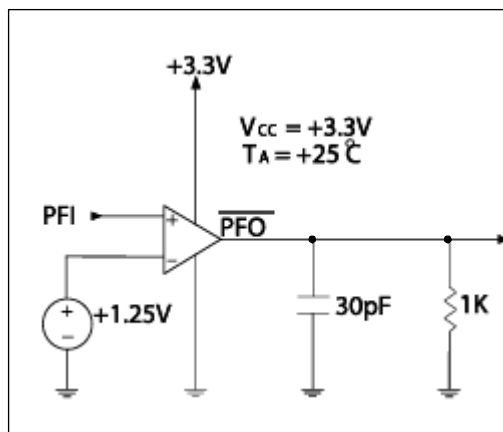


图 4B 供电失败比较器反向设定响应时间电路图

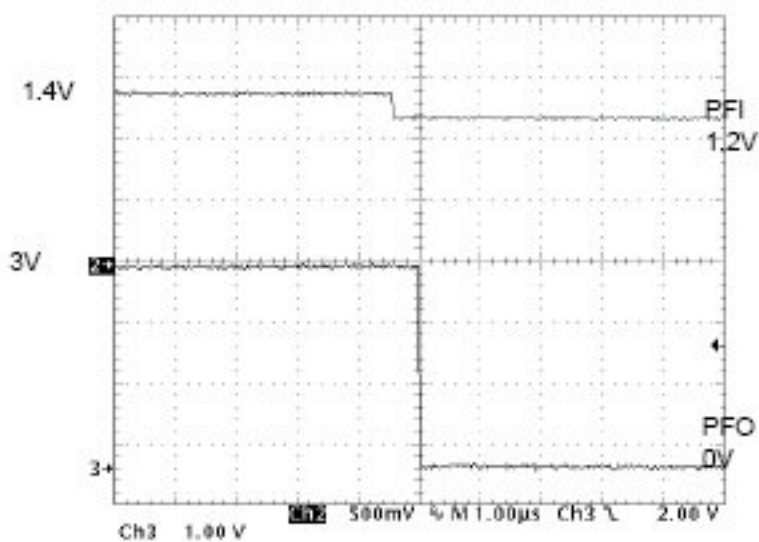


图 5A 供电失败比较器设定响应时间

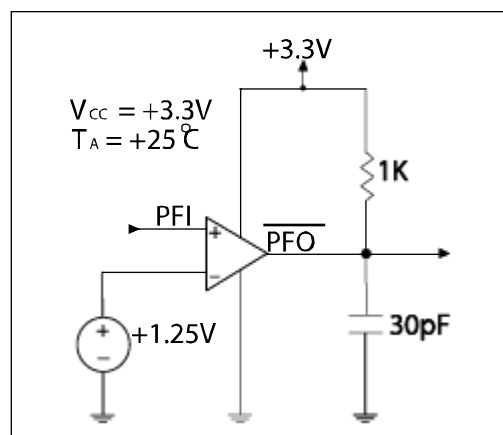


图 5B 供电失败比较器设定响应时间电路图

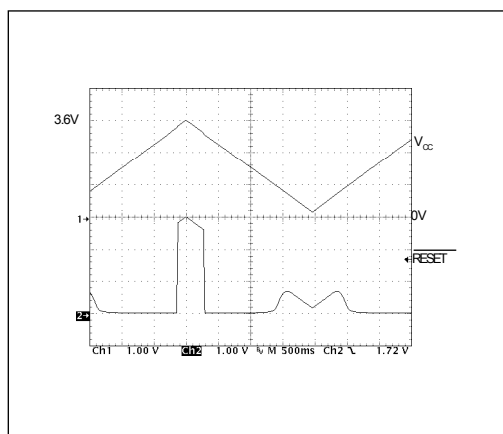


图 6A SP706 RESET输出电压 vs 电源电压

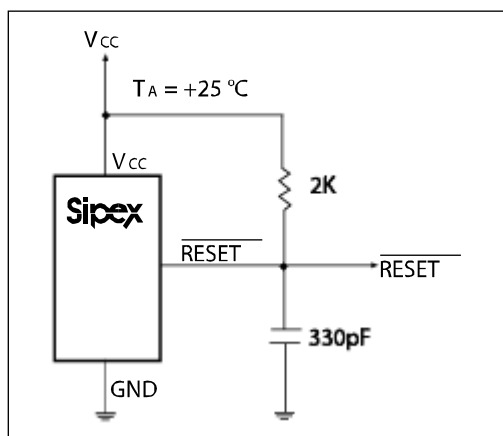


图 6B SP706 RESET输出电压 vs 电源电压电路图

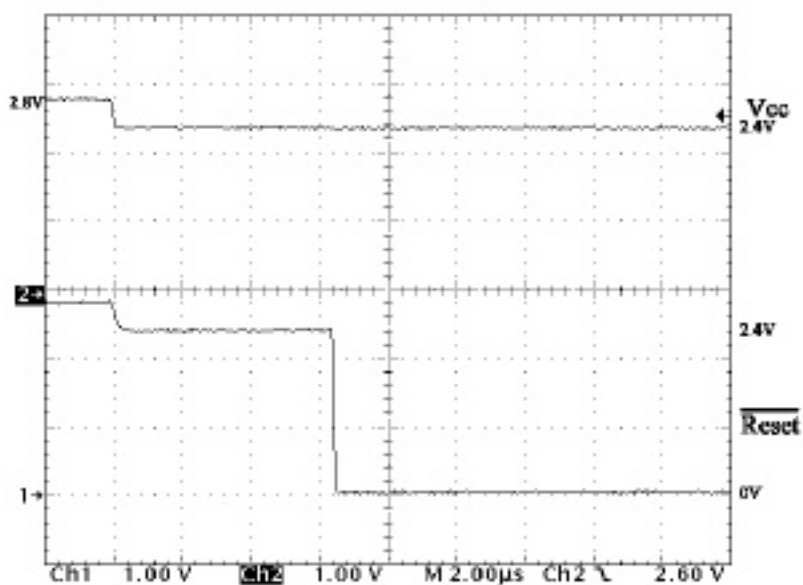


图 7A SP706 RESET输出

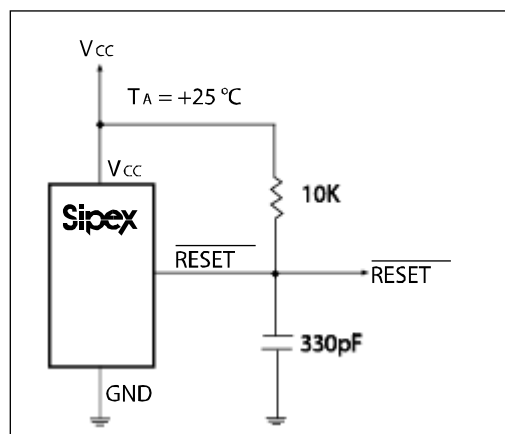


图 7B SP706 RESET响应时间电路图

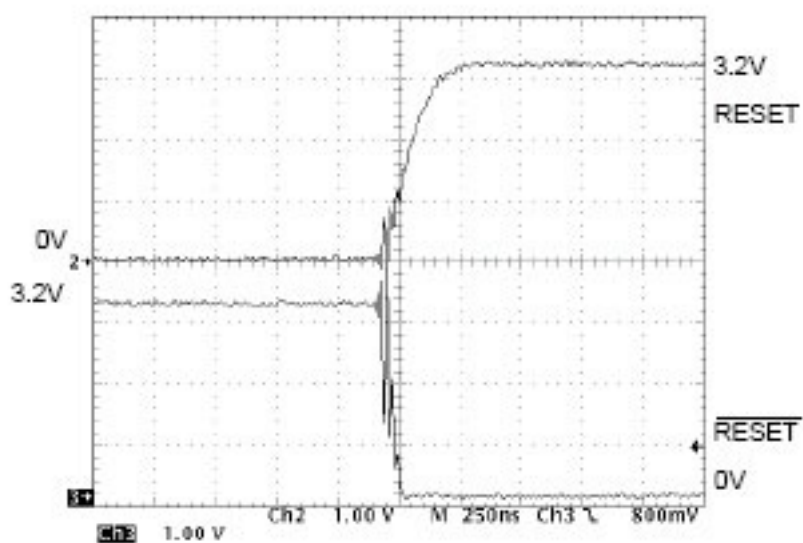


图 8 SP708 RESET 及RESET的断定

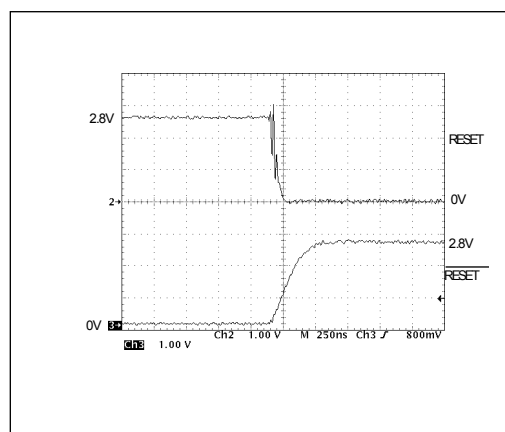


图 9 SP708 RESET 及RESET反向断定图

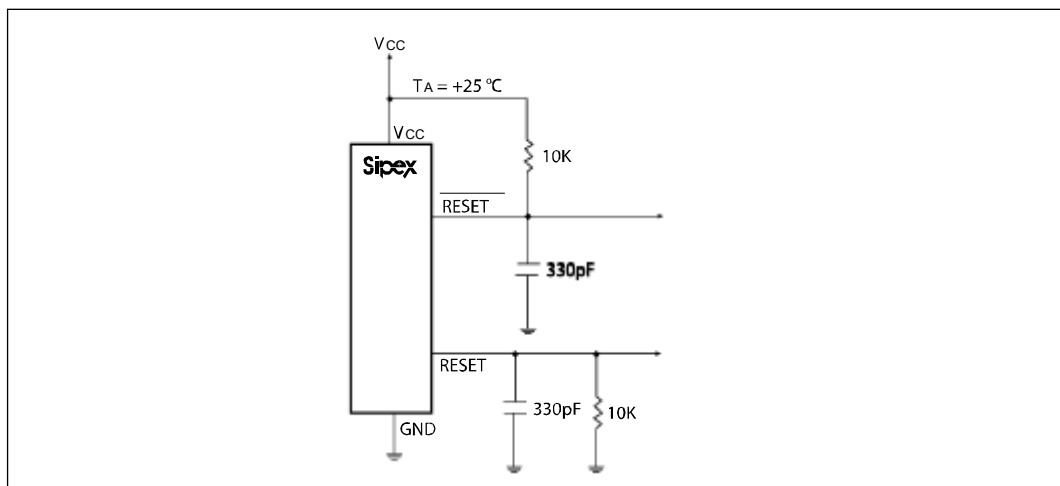


图 10 SP708 RESET 与REVERSE 断定与反向断定电路图

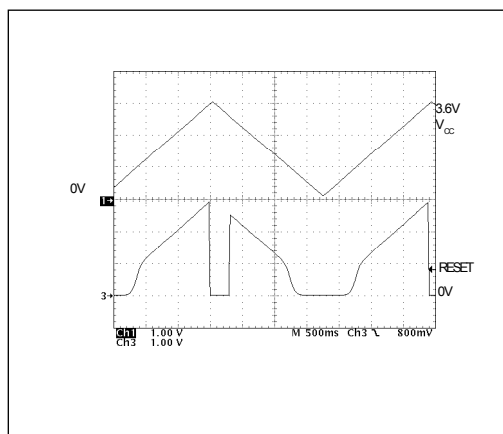


图 11 SP708 RESET 输出电压 vs 电源电压

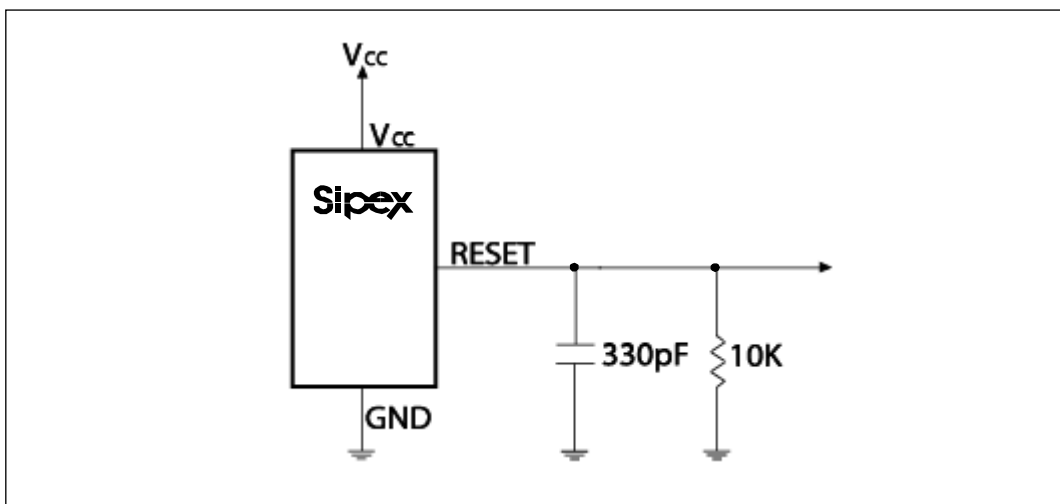


图 13 SP708 输出电压 vs 电源电压 与 RESET 响应时间电路图

特性

SP706P/R/S/T-SP708R/S/T 系列提供 4 个关键功能:

- 1 在上电, 下电及掉电情况下复位输出。
- 2 如果看门狗输入引脚在 1.6S 内没有接收到一个信号, 一个独立的看门输出将为低。
- 3 一个 1.25V 的阈值检测器供电失败警告, 低电池检测。或监控一个非+3.3V/+3.0V 的电源。
- 4 一个低电平手动复位允许外部按键开关产生 RESET 信号。

SP706R/S/T 与 SP708R/S/T 比较, 其多了一个高电平复位, 且不帶看门狗, 其他均相同 (可参见第一页中的列表)。SP706P 与 SP706R 比较, 其不仅支持高电平复位还支持低电平复位。

操作原理

SP706P/R/S/T-SP708R/S/T 属于微处理器监控电路, 可监控某些数字电路的供电, 如微处理器, 微控制器, 或存储体。这一系列适用于一些要求对电源进行监控的便携式, 电池供电设备。使用该系列芯片可有效降低系统的复杂性。该系列的看门狗功能可持续对系统的工作状态进行监控。下文将对 SP706P/R/S/T-SP708R/S/T 的更多工作特性及优点进行描述。

复位输出

一个微处理器复位输入可启动 uP (以一种已知的状态)。SP706P/R/S/T-SP708R/S/T 系列将在上电的过程产生复位, 在下电或掉电过程中阻止代码运行错误。

在上电的过程中, 一旦 V_{cc} 达到 1V, \overline{RESET} 将为一个稳定的逻辑低电平, 一般为 0.4V 或者更低。当 V_{cc} 升高后, \overline{RESET} 将保持 LOW。当 V_{cc} 超过复位阈值时, 一个内部定时器将产生 200ms 的 \overline{RESET} 信号, 一旦 V_{cc} 跌至复位阈值以下时 (如系统掉电), \overline{RESET} 保持低电平。如果在初始化复位的过程中产生掉电, 复位脉冲将至少持续 140ms。在下电的过程中, 一旦 V_{cc} 跌至复位阈值以下, \overline{RESET} 将保持为 LOW, 并稳定在 0.4V 或更低, 直到 V_{cc} 低于 1V。

高电平 RESET 输出是 \overline{RESET} 输出的一种简单补充, 当 V_{cc} 低于 1.1V 时保持有效。一些 uP, 如 Intel 的 80C51, 需要高电平复位脉冲。

看门狗定时器

SP706P/R/S/T-SP708R/S/T 系列看门狗电路可监控 uP 的工作状态。如果 uP 在 1.6s 内没有发出 WDI (WatchDog Input: 看门狗输入) 信号, 或 WDI 没有进入触发态, \overline{WDO} 将为 LOW。当 \overline{RESET} 信号发出以后, WDI 为触发态, 看门狗定时器将被清 0, 并停止计数。当 \overline{RESET} 被释放, WDI 被拉为 HIGH 或 LOW, 定时器将开始计数。此时可以检测到脉宽至少为 50ns。

一般情况下, \overline{WDO} 可与 uP 的 NMI (Non-Maskable Interrupt: 不可屏蔽中断) 输入引脚连接。当 V_{cc} 跌至复位阈值以下时, \overline{WDO} 将持续为 LOW, 且不受看门狗定时器的约束。一般, 其将产生一个 NMI 信号, 但是 \overline{RESET} 同时将为低, NMI 信号将被系统忽略。

如果 WDI 保持为无连接状态, \overline{WDO} 可以作为低线输出。因为浮空状态的 WDI 禁止内部定时器, 仅当 V_{cc} 低至复位阈值以下时, \overline{WDO} 为 LOW, 其可作为低线输出。

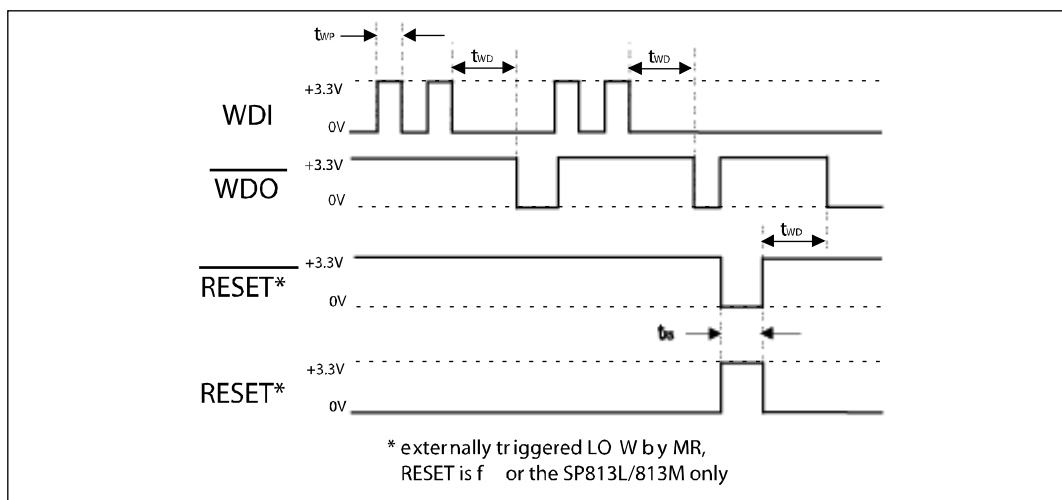


图 14 看门狗时序图

供电失败比较器

供电失败比较器有多种用途，因为其输出端及非反向输入端没有内部连接。其反向输入内部连接有 1.25V 的参考源。

为了构建一个供电失败的预警电路，可将 PFI 引脚与分压器相连，如图 16。在 +5V 稳压器产生压差之前，选择分压比使 PFI 上的电压降至 1.25V 以下。使用 PF0 以中断 μP ，这样可以为掉电做准备。

手动复位

手动复位 (MR) 输入允许 RESET 可被外部按键触发。开关可产生一个最低 140ms 的 RESET 脉冲。MR 与 TTL/CMOS 逻辑兼容，所以其可以驱动外部逻辑线路。SP706P/R/S/T-SP708R/S/T 的 MR 能够被用来强制一个看门狗溢出以产生一个 RESET 脉冲，需将 WDO 连接至 MR 即可。

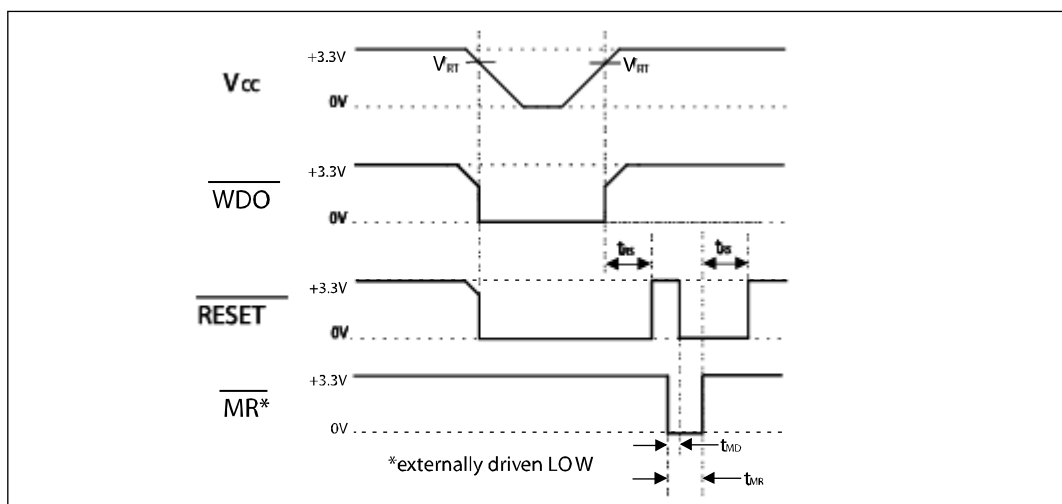


图 15 WDI 触发态时序。RESET 输出与图中 RESET 波形相反

V_{cc} 下降到 0V，可确保得到一个有效的 RESET 输出

当V_{cc}降低到1V，RESET输出不再下降，其为开路。如果高阻抗CMOS逻辑输入端没有被驱动，其有可能发生漂移，得到一个不确定的电压值。如果一个下拉电阻被增加到RESET引脚上，任何干扰电荷或漏级电流将被导向地端，并保持RESET为低。电阻值在这里并不重要。100K Ω 左右即可，足够大不能通过RESET信号，足够小不能将RESET拉至地。

监控电压与未调节DC输入端不同点

监控电压与未调节DC不同之处在于连接了一个分压器至RFI，并可专用于分压比调节。如果需要，可通过在PFI和PF0之间连接一个电阻（其值10倍于潜在分频网络上的两个电阻之和）增加一定的滞后。PFI与GND之间的电容，将减少供电失败电路检测线上高频噪声的敏感度。RESET能够被用来监测电压（除了+3.3V/+3.0V的V_{cc}线）。当PFI低至1.25V以下时，连接PF0至MR以初始化一个复位信号。图17所示为，当+3.3V/+3.0V的电源降至RESET阈值以下时，或当+12V电源下降11V左右时，SP706R/S/T-SP708R/S/T系列如何配置以设定RESET。

监控负电压源

供电失败比较器可以对负电源，如图18所示。当负轨性能良好（负电压数值较大），PF0为LOW。通过增加一个电阻和晶体管（如下图所示），一个HIGH PF0信号将触发RESET信号。当PF0保持为HIGH足够的时间后，SP706P/R/S/T-SP708R/S/T系列将持续产生RESET（RESET=LOW，RESET=HIGH）。电路的准确率依赖于PFI阈值容限，V_{cc}线路及相关电阻。

与uP（带准双向RESET引脚）的接口

带准双向RESET引脚的uP，如Motorola 68HC11系列，支持RESET输出功能。如，RESET输出被驱动为HIGH，而uP准备将其拉低时，将会得到一个不确定的逻辑电平。为了防止这种现象的出现，可在RESET输出与uP复位I/O之间连接一个4.7K Ω 电阻，如图19。并缓冲RESET输出，以供其他系统组件使用。

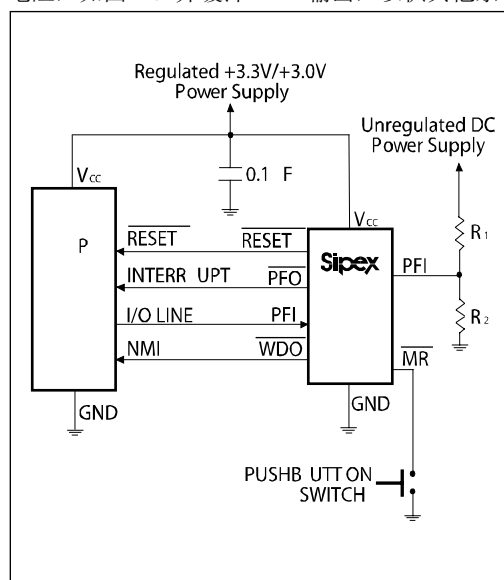


图16 典型操作电路

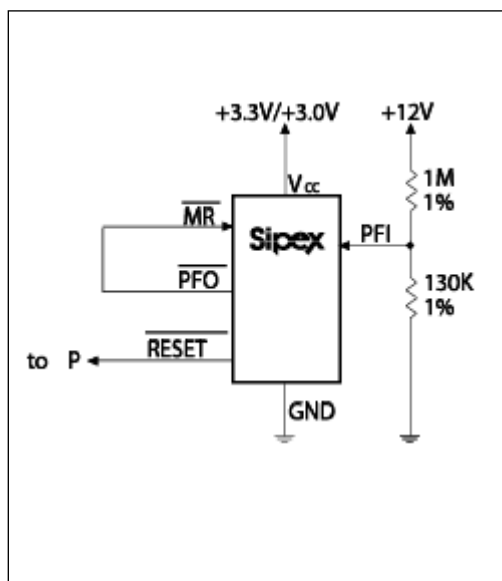


图17 同时监控+3.3V/+3.0V及+12V的电源

负向瞬态Vcc

当uP在供电、下电及掉电的过程中产生复位，这些监控在短时间内不受负向Vcc的干扰。有时Vcc仅仅掺杂了一些小脉冲，其也会复位uP。

图20所示为最大瞬态持续时间 vs 复位比较器过载，此时不产生复位脉冲。可使用负向Vcc脉冲产生数据，根据数量（复位比较器）在3.3V时启动，在低于复位阈值时终止。图中所示为最大脉冲宽度，一个负向Vcc干扰可能在没有产生复位脉冲的情况下存在。当瞬态响应的振幅增长（如，远低于复位阈值），最大允许脉冲宽度减少。一般情况下，Vcc瞬态振幅为100mV，或在复位阈值以下持续40us或更短时间，将不会产生复位脉冲。需要靠近Vcc引脚接一个100nF旁路电容以抵抗瞬态效应。

应用设计

对于现在的工业器件，SP706P/R/S/T-SP708R/S/T系列提供优良功能及更低功耗。参见图21及22中的，电源电流性能特性与温度及电源电压关系图。

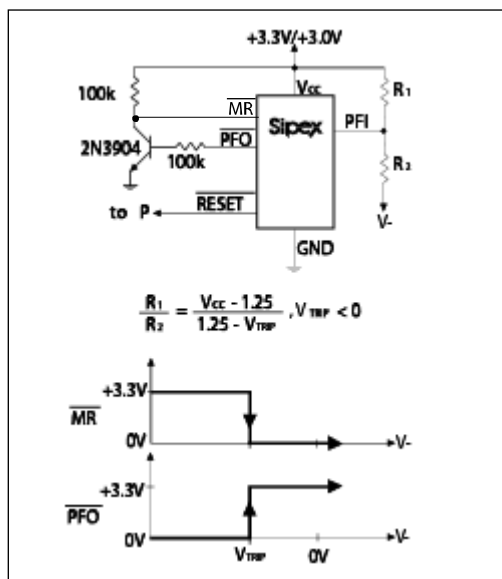


图18 监控反向电压源

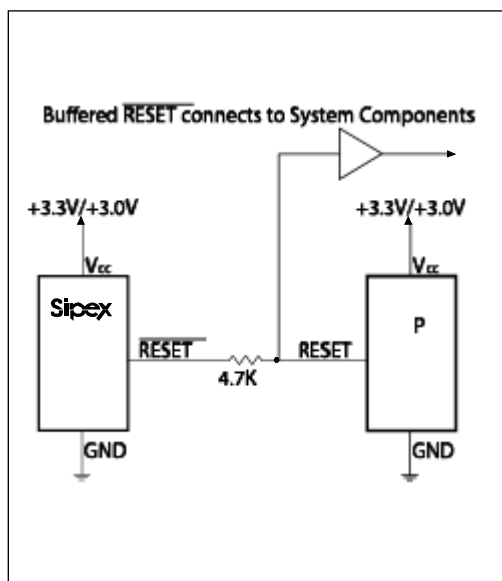


图19 SP706与uP间（带准双向复位I/O）的接口

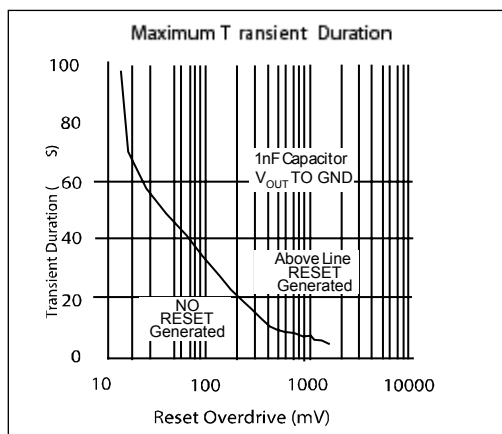


图20 最大瞬态持续时间（无复位脉冲）vs 复位比较器过载

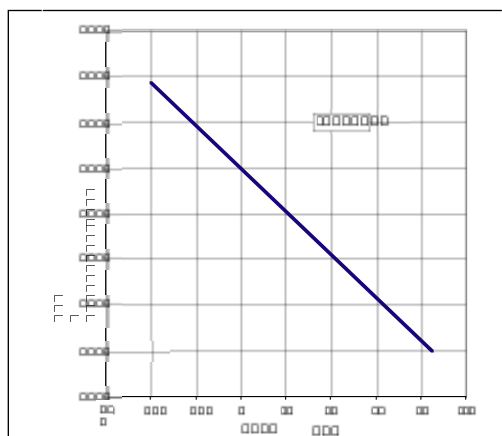


图21 电源电流 vs 温度

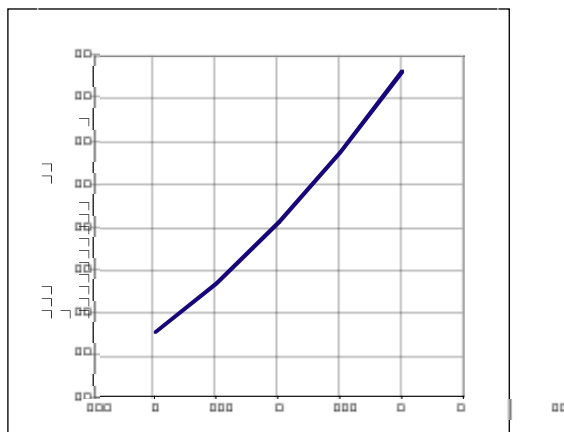
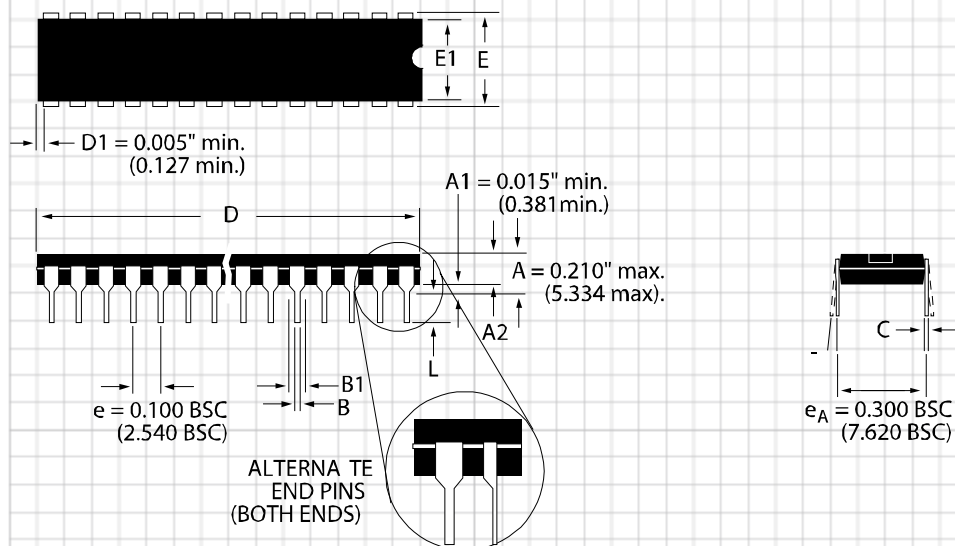


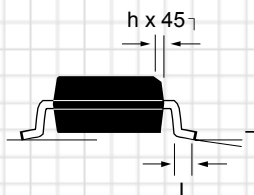
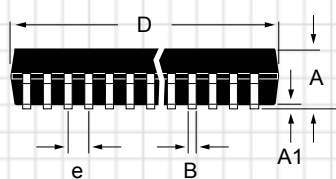
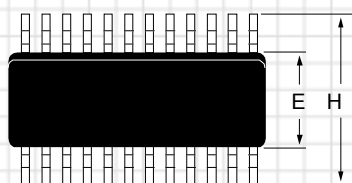
图22 电源电流 vs 电源电压

PACKAGE: PLASTIC
DUAL IN LINE
(NARROW)



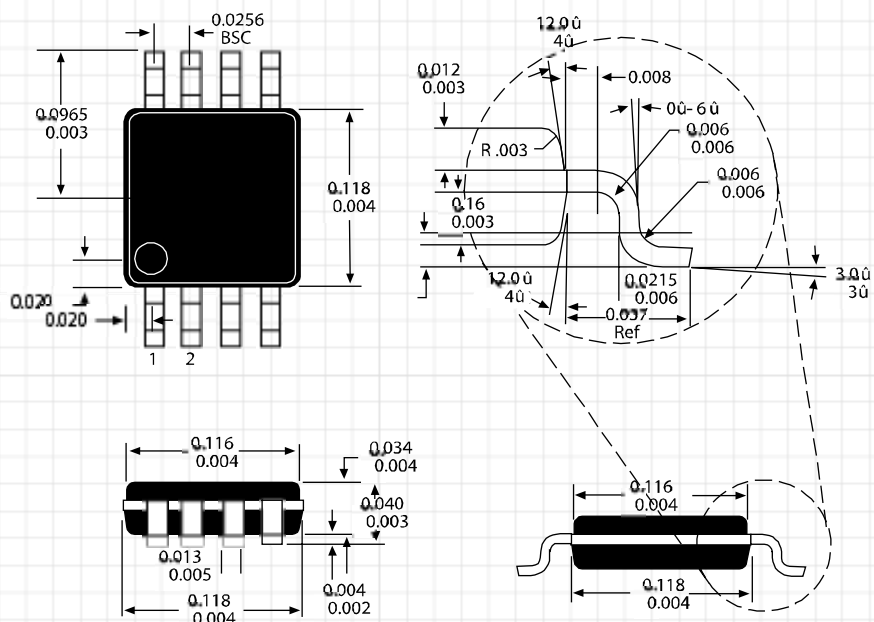
DIMENSIONS (Inches) Minimum/Maximum (mm)	8DPIN
A2	0.115/0.195 (2.921/4.953)
B	0.014/0.022 (0.356/0.559)
B1	0.045/0.070 (1.143/1.778)
C	0.008/0.014 (0.203/0.356)
D	0.355/0.400 (9.017/10.160)
E	0.300/0.325 (7.620/8.255)
E1	0.240/0.280 (6.096/7.112)
L	0.115/0.150 (2.921/3.810)
-	0.115 (2.921)

PACKAGE: PLASTIC
SMALL OUTLINE (SOIC)
(NARROW)

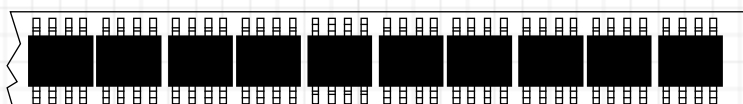


DIMENSIONS (Inches) Minimum/Maximum (mm)	8PIN
A	0.053/0.069 (1.346/1.748)
A1	0.004/0.010 (0.102/0.249)
B	0.014/0.019 (0.35/0.49)
D	0.189/0.197 (4.80/5.00)
E	0.150/0.157 (3.802/3.988)
e	0.050 BSC (1.270 BSC)
H	0.228/0.244 (5.801/6.198)
h	0.010/0.020 (0.254/0.498)
L	0.016/0.050 (0.406/1.270)
—	0 ₁ /8 ₁ (0 ₁ /8 ₁)

PACKAGE: PLASTIC
MICRO SMALL
OUTLINE (SOIC)



All package dimensions are in inches



50 USOIC devices per tube

订购信息

型号	温度范围	封装
SP706PCP	0℃到+70℃	8引脚PDIP
SP706PCN	0℃到+70℃	8引脚NSOIC
SP706PCU	0℃到+70℃	8引脚uSOIC
SP706RCP	0℃到+70℃	8引脚PDIP
SP706RCN	0℃到+70℃	8引脚NSOIC
SP706RCU	0℃到+70℃	8引脚uSOIC

SP706SCP	0℃到+70℃	8引脚PDIP
SP706SCN	0℃到+70℃	8引脚NSOIC
SP706SCU	0℃到+70℃	8引脚uSOIC
SP706TCP	0℃到+70℃	8引脚PDIP
SP706TCN	0℃到+70℃	8引脚NSOIC
SP706TCU	0℃到+70℃	8引脚uSOIC
SP706PEP	-40℃到+85℃	8引脚PDIP
SP706PEN	-40℃到+85℃	8引脚NSOIC
SP706PEU	-40℃到+85℃	8引脚uSOIC
SP706REP	-40℃到+85℃	8引脚NSOIC
SP706REN	-40℃到+85℃	8引脚NSOIC
SP706REU	-40℃到+85℃	8引脚uSOIC
SP706SEP	-40℃到+85℃	8引脚PDIP
SP706SEN	-40℃到+85℃	8引脚NSOIC
SP706SEU	-40℃到+85℃	8引脚uSOIC
SP706TEP	-40℃到+85℃	8引脚PDIP
SP706TEN	-40℃到+85℃	8引脚NSOIC
SP706TEU	-40℃到+85℃	8引脚uSOIC
SP708RCP	0℃到+70℃	8引脚PDIP
SP708RCN	0℃到+70℃	8引脚NSOIC
SP708RCU	0℃到+70℃	8引脚uSOIC
SP708SCP	0℃到+70℃	8引脚PDIP
SP708SCN	0℃到+70℃	8引脚NSOIC
SP708SCU	0℃到+70℃	8引脚uSOIC
SP708TCP	0℃到+70℃	8引脚PDIP
SP708TCN	0℃到+70℃	8引脚NSOIC
SP708TCU	0℃到+70℃	8引脚uSOIC
SP708REP	-40℃到+85℃	8引脚PDIP
SP708REN	-40℃到+85℃	8引脚NSOIC
SP708REU	-40℃到+85℃	8引脚uSOIC
SP708SEP	-40℃到+85℃	8引脚PDIP
SP708SEN	-40℃到+85℃	8引脚NSOIC
SP708SEU	-40℃到+85℃	8引脚uSOIC
SP708TEP	-40℃到+85℃	8引脚PDIP
SP708TEN	-40℃到+85℃	8引脚NSOIC
SP708TEU	-40℃到+85℃	8引脚uSOIC