

數位系統設計作業-1



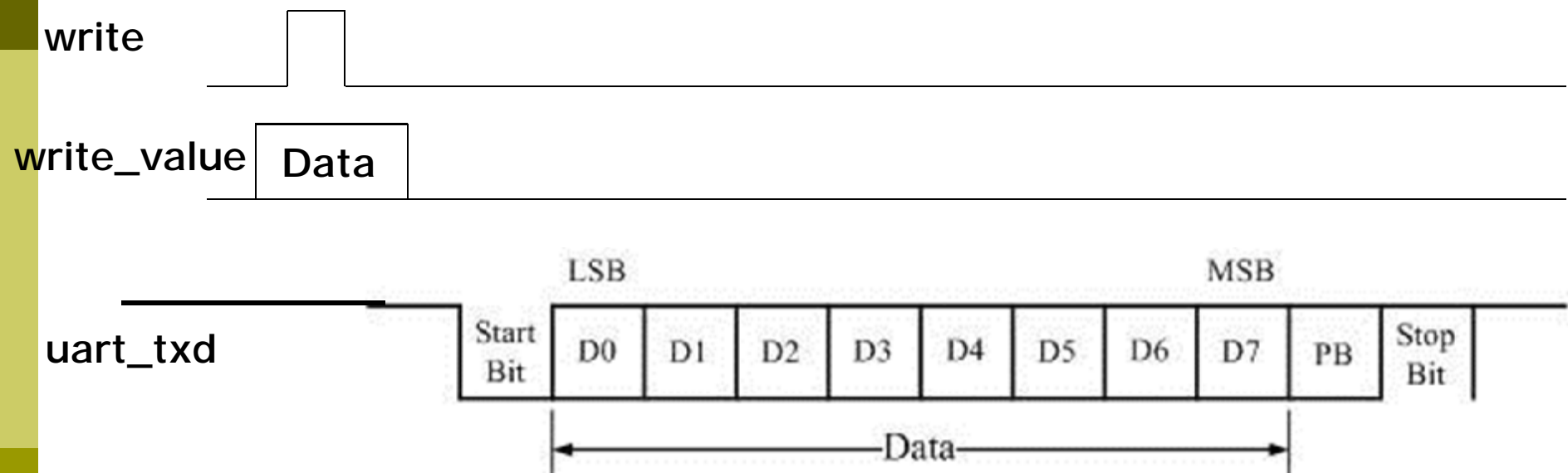
溫進坤

james_wen@hotmail.com

作業題目

1. 設計一個UART TX，BaudRate：9600，Data：8 Bit，None Parity，1 Stop Bit。
2. 每次（write）輸入信號負緣後，讀取（write_value）當作TX Data，並開始傳送UART TXD。
3. 使用hw1_tb.v當Top level Testbench。
4. 使用同步式設計，只能使用clk_50M或reset當clock，不能使用其他輸入信號當clock使用。

控制及輸出波形

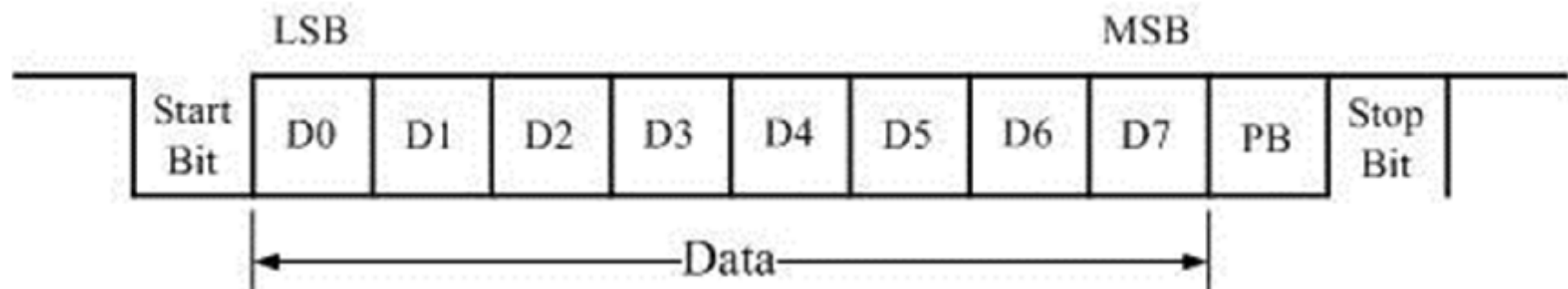


UART Protocol

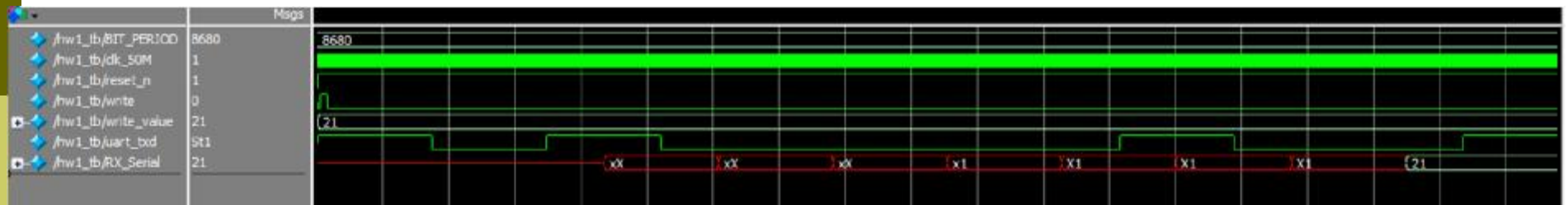
在串列傳輸通訊協定的格式內容裡，每個符號由四種資料共11個位元所組成，共分為：

1. 起始位元(Start Bit)
2. 資料內容(Data)
3. 奇偶同位元檢查碼(Priority Bit)
4. 停止位元(Stop Bit)

由最低有效位元LSB(Least Significant Bit)開始傳輸直至最高有效位元MSB(Most Significant Bit)，如下圖所示。(補充:奇偶同位元(PB)可以選擇忽略不使用)



輸出波形



文字輸出結果

```
VSIM 12> run -all
# time= 0 reset_n=0 write=0 write_value= 33 uart_txd=x
# time= 11 reset_n=0 write=0 write_value= 33 uart_txd=1
# time= 30 reset_n=1 write=0 write_value= 33 uart_txd=1
# time=235 reset_n=1 write=1 write_value= 33 uart_txd=1
# time=747 reset_n=1 write=0 write_value= 33 uart_txd=1
# time=104191 reset_n=1 write=0 write_value= 33 uart_txd=0
# time=208371 reset_n=1 write=0 write_value= 33 uart_txd=1
# time=312551 reset_n=1 write=0 write_value= 33 uart_txd=0
# time=729271 reset_n=1 write=0 write_value= 33 uart_txd=1
# time=833451 reset_n=1 write=0 write_value= 33 uart_txd=0
# time=1041811 reset_n=1 write=0 write_value= 33 uart_txd=1
# uart rx data = 21
# time=1300747 reset_n=1 write=0 write_value= 67 uart_txd=1
# time=1501092 reset_n=1 write=1 write_value= 67 uart_txd=1
# time=1501365 reset_n=1 write=0 write_value= 67 uart_txd=1
# time=1562711 reset_n=1 write=0 write_value= 67 uart_txd=0
# time=1666891 reset_n=1 write=0 write_value= 67 uart_txd=1
# time=1875251 reset_n=1 write=0 write_value= 67 uart_txd=0
# time=2291971 reset_n=1 write=0 write_value= 67 uart_txd=1
# time=2396151 reset_n=1 write=0 write_value= 67 uart_txd=0
# time=2500331 reset_n=1 write=0 write_value= 67 uart_txd=1
# uart rx data = 43
# time=3001365 reset_n=1 write=0 write_value=101 uart_txd=1
# time=3001810 reset_n=1 write=1 write_value=101 uart_txd=1
# time=3001983 reset_n=1 write=0 write_value=101 uart_txd=1
# time=3021231 reset_n=1 write=0 write_value=101 uart_txd=0
# time=3125411 reset_n=1 write=0 write_value=101 uart_txd=1
# time=3229591 reset_n=1 write=0 write_value=101 uart_txd=0
# time=3333771 reset_n=1 write=0 write_value=101 uart_txd=1
# time=3437951 reset_n=1 write=0 write_value=101 uart_txd=0
# time=3646311 reset_n=1 write=0 write_value=101 uart_txd=1
# time=3854671 reset_n=1 write=0 write_value=101 uart_txd=0
# time=3958851 reset_n=1 write=0 write_value=101 uart_txd=1
# uart rx data = 65
# ** Note: $finish : D:/work/NTUST/verilog/108/HW1/hw1_tb.v(50)
# Time: 4501983 ns Iteration: 0 Instance: /hw1_tb
```

計分方式

1. 作業完成後，將verilog程式、輸出波形圖截圖以及文字結果畫面截圖壓縮成ZIP檔案後上傳至Moodle[繳交作業]。
2. 上傳檔案名稱：學號_HW1.ZIP
3. 計分標準依完成順序及程式內容給分，若發現程式或輸出畫面結果有複製狀況，該員此次作業分數為0分。