

6.1 分析图 6.36 所示脉冲异步时序逻辑电路。

- (1) 画次态真值表。
- (2) 作出状态表和状态图；
- (3) 说明电路逻辑功能。

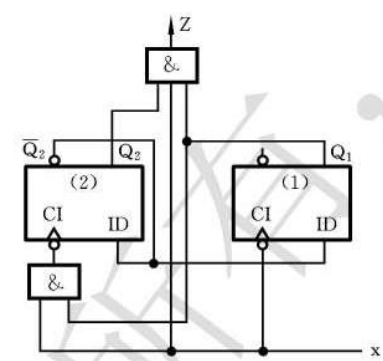


图 6.36 逻辑电路

答案：(1) 根据电路得到激励函数和输出函数表达式：

$Z = xQ_2Q_1$

$D_2 = D_1 = \overline{Q_2} \quad C_2 = xQ_1 \quad C_1 = x$

表 6.1 次态真值表

x	Q ₂	Q ₁	C ₂	D ₂	C ₁	D ₁	Q ₂ ⁿ⁺¹	Q ₁ ⁿ⁺¹	Z
1	0	0		1	↓	1	0	1	0
1	0	1	↓	1	↓	1	1	1	0
1	1	0		0	↓	0	1	0	0
1	1	1	↓	0	↓	0	0	0	1

(2) 根据次态真值表得到状态图和状态表。

表 6.2 状态表

现态 Q ₂ Q ₁	次态 Q ₂ ⁿ⁺¹ Q ₁ ⁿ⁺¹ /输出 Z	
	X=1	
0 0	0	1/0
0 1	1	1/0
1 0	1	0/0
1 1	0	0/1

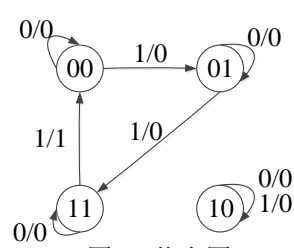


图6.1 状态图

(3) 电路逻辑功能：不具备自启动功能的模 3 计数器，进位时输出 1。

解析：（1）异步时序逻辑电路分析时需要注意触发器是上升沿触发还是下降沿触发，这个对电路功能是有影响的。

（2）各个触发器时钟端是否出现上升或者下降沿需要根据表达式具体判断。本例中 $C2 = xQ1$ ，由于 x 是输入的脉冲信号，这样当 $Q1$ 的现态为 1 的时候， $C2$ 一定会有上升和下降沿，注意这时候不需要考虑 $Q1$ 的次态。

6.2 分析图 6.37 所示脉冲异步时序逻辑电路。

- （1）画次态真值表。
- （2）作出状态表和状态图；
- （3）说明电路逻辑功能。

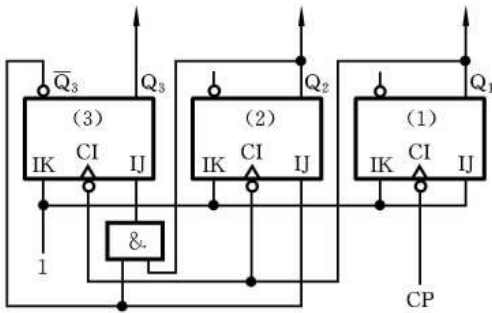


图 6.37 逻辑电路

答案：（1）根据电路得到激励函数和输出函数表达式：

$$\begin{aligned} J3 &= \overline{Q3} \cdot Q2 & K3 &= 1 & C3 &= Q1 \\ J2 &= \overline{Q3} & K2 &= 1 & C2 &= Q1 \\ J1 &= 1 & K1 &= 1 & C1 &= CP \end{aligned}$$

表 6.3 次态真值表

x	Q3	Q2	Q1	C3J3K3	C2J2K2	C1J1K1	Q3 ⁿ⁺¹	Q2 ⁿ⁺¹	Q1 ⁿ⁺¹
1	0	0	0	0 1	1 1	↓ 1 1	0	0	1
1	0	0	1	↓ 0 1	↓ 1 1	↓ 1 1	0	1	0
1	0	1	0	1 1	1 1	↓ 1 1	0	1	1
1	0	1	1	↓ 1 1	↓ 1 1	↓ 1 1	1	0	0

1	1	0	0	0 1	0 1	↓ 1 1	1	0	1
1	1	0	1	↓ 0 1	↓ 0 1	↓ 1 1	0	0	0
1	1	1	0	0 1	0 1	↓ 1 1	1	1	1
1	1	1	1	↓ 0 1	↓ 0 1	↓ 1 1	0	0	0

(2) 根据次态真值表得到状态图和状态表。

表 6.4 状态表

现态 Q ₃ Q ₂ Q ₁	次态 Q ₃ ⁿ⁺¹ Q ₂ ⁿ⁺¹ Q ₁ ⁿ⁺¹		
	X=1		
0 0 0	0	0	1
0 0 1	0	1	0
0 1 0	0	1	1
0 1 1	1	0	0
1 0 0	1	0	1
1 0 1	0	0	0
1 1 0	1	1	1
1 1 1	0	0	0

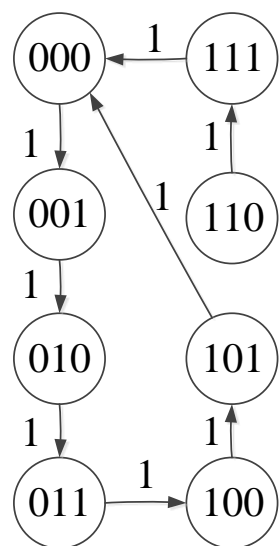


图6.2 状态图

(3) 电路逻辑功能：能自启的模 6 计数器，无进位输出。

解析：本例中 C_3 和 $C_2 = Q_1$ ，这是判断需要考虑 Q_1 的现态和次态，当 Q_1 的现态为 1，且次态为 0 的时候， C_2 和 C_3 才会有下降沿。

6.3 分析图 6.38 所示脉冲异步时序逻辑电路。

- (1) 画次态真值表。
- (2) 作出状态表和状态图；
- (3) 说明电路逻辑功能。

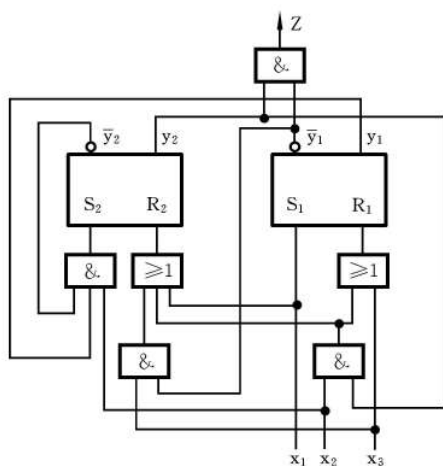


图 6.38 逻辑电路

答案：（1）根据电路得到激励函数和输出函数表达式：

$$Z = y_2 \cdot \overline{y_1}$$

$$R_2 = x_3 \cdot \overline{y_1} + x_2 y_2 + x_1 \quad S_2 = x_2 \cdot \overline{y_2} \cdot y_1$$

$$R_1 = x_2 y_2 + x_3 \quad S_1 = x_1$$

表 6.5 次态真值表

x3	x2	x1	y2	y1	R2	S2	R1	S1	y2 ⁿ⁺¹	y1 ⁿ⁺¹	Z
0	0	1	0	0	1	0	0	1	0	1	0
0	0	1	0	1	1	0	0	1	0	1	0
0	0	1	1	0	1	0	0	1	0	1	1
0	0	1	1	1	1	0	0	1	0	1	0
0	1	0	0	0	0	0	0	0	0	0	0
0	1	0	0	1	0	1	0	0	1	1	0
0	1	0	1	0	1	0	1	0	0	0	1
0	1	0	1	1	1	0	1	0	0	0	0
1	0	0	0	0	1	0	1	0	0	0	0
1	0	0	0	1	0	0	1	0	0	0	0

1	0	0	1	0	1	0	1	0	0	0	1
1	0	0	1	1	0	0	1	0	1	0	0

(2) 根据次态真值表得到状态图和状态表。

表 6.6 状态表

现态 $y_2 y_1$	次态 $Q_2^{n+1} Q_1^{n+1}$			输出 Z
	$X_1=1$	$X_2=1$	$X_3=1$	
0 0	0 1	0 0	0 0	0
0 1	0 1	1 1	0 0	0
1 0	0 1	0 0	0 0	1
1 1	0 1	0 0	1 0	0

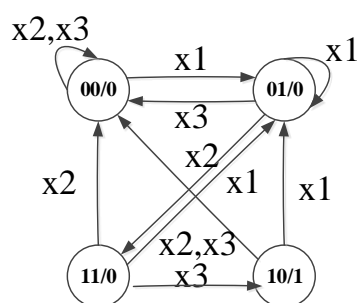


图6.3 状态图

(3) 电路逻辑功能： $x_1-x_2-x_3$ 的序列检测器。

解析：当异步时序逻辑电路中使用基本 RS 触发器时，需要通过逻辑符号确定使用的是与非门还是或非门构成的，与非门构成的基本 RS 触发器的逻辑符号 R 和 S 端均有空心圈，或非门构成的基本 RS 触发器的逻辑符号 R 和 S 端无空心圈，本题中使用的是或非门构成的基本 RS 触发器。

6.6 用 T 触发器作为存储元件，设计一个脉冲异步时序逻辑电路，该电路有两个输入 x_1 和 x_2 ，一个输出 Z，当输入序列为“ $x_1-x_1-x_2$ ”时，在输出端 Z 产生一个脉冲，平时 Z 输出为 0。

答案：(1) 按照题目的要求，输出 Z 是一个脉冲，因此设计 mealy 型电路，

原始状态图和状态表如图 6.4 和表 6.7 所示。

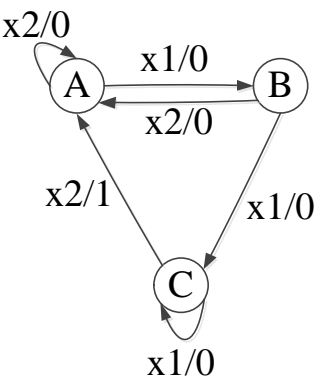


图 6.4 原始状态图

表 6.7 状态表

现态	次态 y_2^{n+1} y_1^{n+1} /输出 Z	
	X1	X2
A	B/0	A/0
B	C/0	A/0
C	C/0	A/1

(2) 状态图化简：根据观察法可以判断表 8.7 的状态表已经是最简状态表。

(3) 状态编码。根据相邻规则：B 与 C 相邻，A 与 B 相邻，A 与 C 相邻，所以设计 ABC 的编码分别为 A:00，B:01，C:11，得到二进制状态表如表 6.8 所示。

表 6.8 状态表

现态 y_2y_1	次态/输出 Z	
	X1	X2
0 0	0 1/0	0 0/0
0 1	1 1/0	0 0/0
1 1	1 1/0	0 0/1

(4) 确定激励函数和输出函数表达式，设定当状态不变的时候，T 触发器时钟端为 0，激励端为 d；

表 6.9 激励和输出真值表

x2	x1	y2	y1	y2 ⁿ⁺¹	y1 ⁿ⁺¹	C2	T2	C1	T1	Z
0	1	0	0	0	1	0	d	1	1	0
0	1	0	1	1	1	1	1	0	d	0
0	1	1	0	d	d	d	d	d	d	d
0	1	1	1	1	1	0	d	0	d	0
1	0	0	0	0	0	0	d	0	d	0
1	0	0	1	0	0	0	d	1	1	0
1	0	1	0	d	d	d	d	d	d	d
1	0	1	1	0	0	1	1	1	1	1

得到卡诺图如图 8.5 所示，注意为了避免错误输出，输出处的卡诺圈只圈了 $x_2x_1=11$ 这个无效输入时的 d。

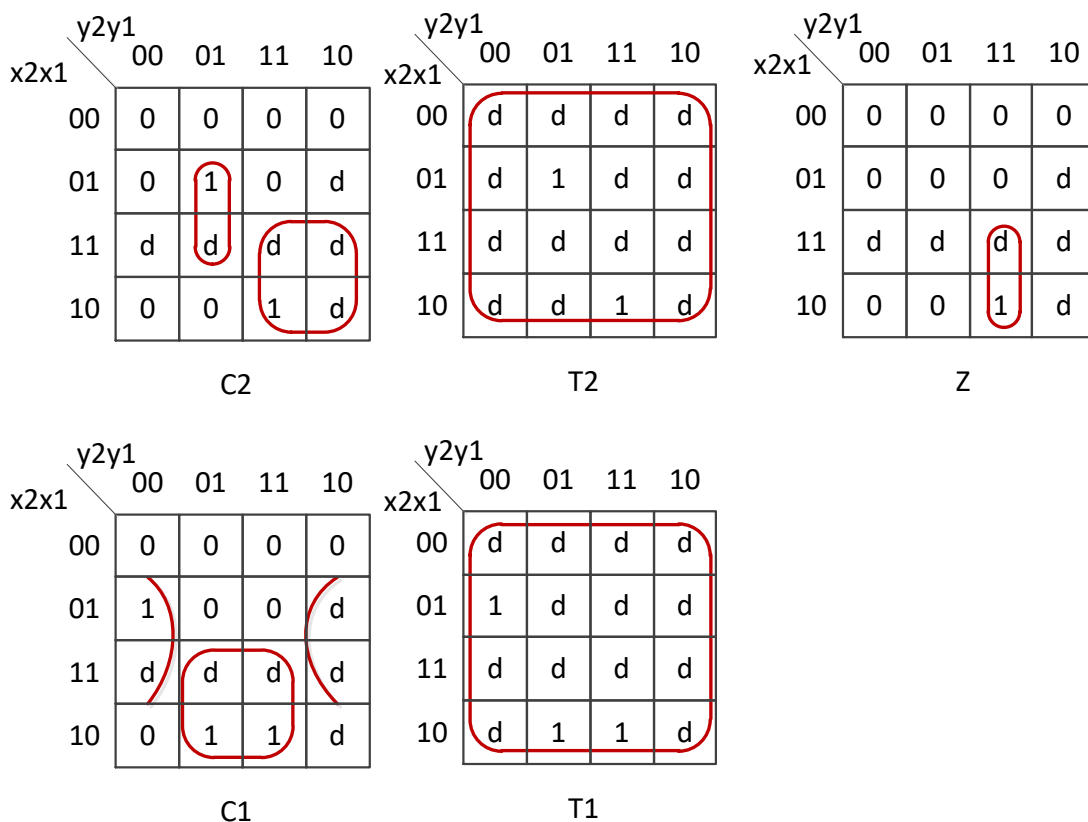


图 6.5 卡诺图

根据卡诺图得到激励函数和输出函数表达式：

$$Z = x_2 y_2 y_1$$

$$C_2 = x_1 \cdot \overline{y_2} \cdot y_1 + x_2 y_2$$

$$T_2 = 1$$

$$C_1 = x_1 \cdot \overline{y_1} + x_2 y_1$$

$$T_1 = 1$$

无效状态检查表如表 6.10 所示。

表 6.10 无效状态检查表

x_2	x_1	y_2	y_1	C_2	T_2	C_1	T_1	y_2^{n+1}	y_1^{n+1}	Z
0	1	1	0	0	1	1	1	1	1	0
1	0	1	0	1	1	0	1	0	0	0

从无效状态检查表可以看出，设计的电路能够自启，且无错误输出。

(5) 得到电路图如图 6.6 所示。

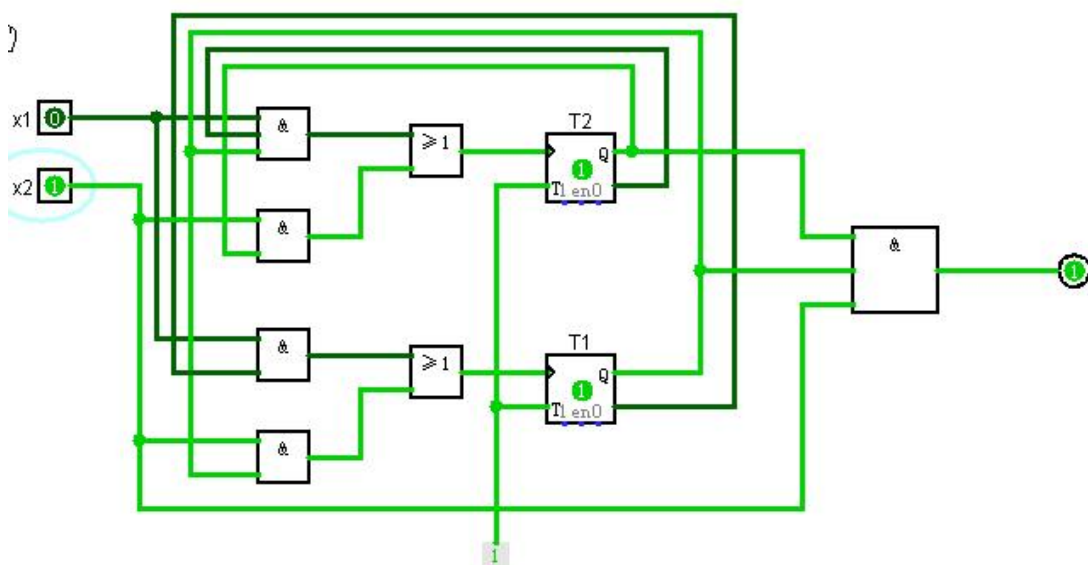


图 6.6 电路图

解析：(1) 如果输出是脉冲设计 mealy 型电路，如果输出是电平设计 moore 型电路。

(2) 原始状态图不要求最简，可以根据要求设计。

(3) 较为简单状态表化简可以利用观察法进行。

(4) 确定激励函数和输出函数表达式时，注意对于不允许的输入 $x_2 x_1 = 11$ ，以及没有使用的对于状态 $y_2 y_1 = 10$ ，可以当做无关项处理。没有有效脉冲输入，

即 $x_2x_1=00$ 时，触发器的状态保持不变，输出为 0。

(5) 为了避免错误输出，输出的卡诺圈不能直接按照最大规则将 d 视为 1，而是无效输入的 d 可以是 1，而没有使用状态处的输出不能为 1。

(6) 由于在异步时序逻辑电路中触发器是上升沿触发还是下降沿触发对电路功能可能有影响的，因此建议使用下降沿的触发器。在设计过程中，激励函数表达式不能表达上升或是下降沿，因此使用上升沿的触发器，电路状态发生变化后，由于输入仍然是 1，可能会因为激励函数使部分不应该触发的触发器发生翻转，而在下降沿触发，触发后输入脉冲恢复为 0，就不会出现这样的问题。这主要是由于激励函数的表达出现的问题。例如，本例中如果使用上升沿的 T 触发器，则电路功能就发生变化。

(7) 设计的时序电路有多余状态时，需要通过无效状态检查表确定电路能否自启以及是否会出现错误输出。

6.9 分析图 6.41 所示电平异步时序逻辑电路，作出流程表，总态图，说明该电路的逻辑功能。

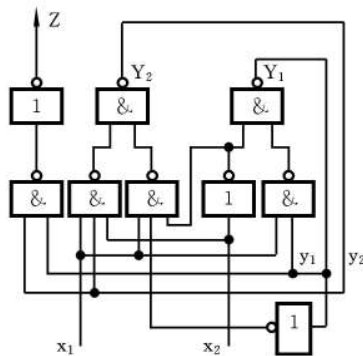


图 6.41 逻辑电路

答案：(1) 根据电路得到表达式：

$$\begin{aligned}
 Y_2 &= \overline{x_2x_1y_2} \cdot \overline{x_2 \cdot x_1 \cdot y_1} \\
 &= x_2x_1y_2 + \overline{x_2} \cdot x_1 \cdot \overline{y_1} \\
 Y_1 &= \overline{x_2} \cdot \overline{x_1y_1} = x_2 + x_1y_1 \\
 Z &= \overline{y_2y_1} = y_2y_1
 \end{aligned}$$

(2) 画出流程表

表 6.11 流程表

二次状态 y2y1	激励状态 Y2Y1				输出 Z
	x2x1=00	x2x1=01	x2x1=11	x2x1=10	
00	00	10	01	01	0
01	00	01	01	01	0
11	00	01	11	01	1
10	00	10	11	01	0

(3) 根据流程表画出总态图

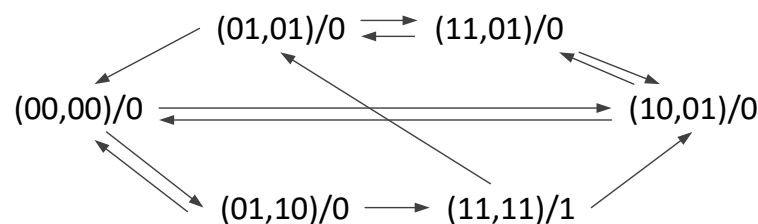


图 6.7 总态图

(4) 从 (11, 11) /1 逆推可以得到电路的逻辑功能，00-01-11 序列检测器。

解析：(1) 判断电路类型的方法：如果电路中出现触发器，首先看触发器的类型，如果是非钟控触发器，属于电平异步时序逻辑电路；如果是钟控触发器，则看触发器的时钟端是否连接在一起，连在一起同步时序逻辑电路，没有连在一起是异步时序逻辑电路。如果电路中没有触发器，则要看是否存在反馈，就是输出的表达式中出现输出，就是电平异步时序逻辑电路；否则就是组合逻辑电路。

(2) 反馈可以根据表达式确认，左右两边会出现同样的变量，大写和小写对应激励状态和二次状态。

(3) 与状态图不同，流程表数据的排列必须满足相邻性；总态图上的稳定状态必须加上圈。

(4) 注意总态图的画法，推断功能的方法与前面状态图类似。

6.10 某电平异步时序逻辑电路的流程表如图 6.34 所示。作出输入 x2x1 变化序列为 00→01→11→10→11→01→00 时的总态(x2x1,y2y1)响应序列。

表 6.34 流程表

二次状态		激励状态 $Y_2 Y_1$ / 输出 Z			
		$x_2 x_1 = 00$	$x_2 x_1 = 01$	$x_2 x_1 = 11$	$x_2 x_1 = 10$
0	0	00/0	01/0	01/0	10/0
0	1	00/0	01/0	01/0	11/0
1	1	00/0	01/0	10/0	11/0
1	0	00/d	00/1	10/1	10/1

答案:

表 6.12

$x_2 x_1$	00	01	11	10	11	01	00
总态	(00, 00)	(01, 00)* (01, 01)	(11, 01)	(10, 01)* (10, 11)	(11, 11) * (11, 10)	(01, 10)* (01, 00)* (01, 01)	(00, 01)* (00, 00)
输出	0	0	0	0	1	0	0

解析: (1) 由于 $x_2 x_1$ 的第一个输入是 00, 而从流程表看只有一个稳定状态 (00,00), 无论电路的初试状态是什么, 输入 00 后的状态一定是 (00,00) 这个稳态。

(2) 在流程表上确定输入变化时的状态转移方式。

6.13 图 6.43 为某电平异步时序逻辑电路的结构框图。图中,

$$Y_2 = x_2 y_2 + \bar{x}_1 \cdot y_2 + x_2 \cdot \bar{x}_1 \cdot y_1$$

$$Y_1 = x_2 x_1 + \bar{x}_2 \cdot \bar{x}_1 \cdot y_2 + x_1 y_2 \cdot \bar{y}_1$$

$$Z = y_2 y_1$$

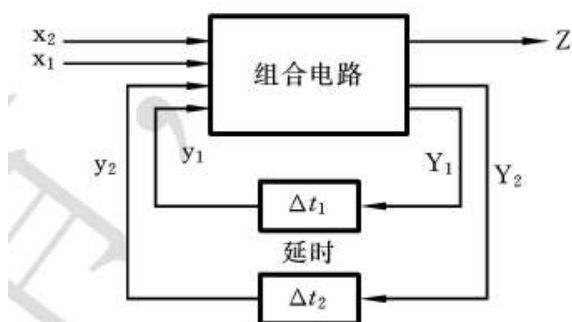


图 6.43 结构框图

试问该电路中是否存在竞争？若存在，请说明竞争类型。

答案：（1）根据表达式得到流程表

表 6.13 流程表

二次状态 y ₂ y ₁	激励状态 Y ₂ Y ₁ /Z				输出 Z
	x ₂ x ₁ =00	x ₂ x ₁ =01	x ₂ x ₁ =11	x ₂ x ₁ =10	
00	00	00	01	00	0
01	00	00	01	10	0
11	11	00	11	10	1
10	11	01	11	10	0

（2）观察稳定状态的左右相邻格，确定是否有竞争

- a. 状态（00, 11）输入由 00 变为 01，非临界竞争；
- b. 状态（11, 01）输入由 11 变为 10，临界竞争；
- c. 状态（11, 11）输入由 11 变为 01，非临界竞争；

解析：（1）确定是否存在竞争是看稳定状态，当输入改变时，稳定状态左右格（水平移动）是否与稳定状态出现两个以上的状态变化，有就是会有竞争。

（2）判断竞争类型可以简单从到达列的稳定状态数确定，只有 1 个稳定状态就是非临界竞争，否则是临界竞争。