

7.2 用两个 4 位二进制并行加法器实现 2 位十进制数 8421 码到二进制码的转换。

答案：假设 2 位十进制数 8421 码中十位数 BCD 码为 B3B2B1B0，个位数 BCD 码为 A3A2A1A0，最大的数是 99，转换成二进制数是 1100011，所以输出最大应该是 7 位二进制数，设为 S7S6S5S4S3S2S1S0。

显然个位数的 BCD 码和二进制数是对应的，而十位的 BCD 码转成二进制数需要做乘法，就是乘以 1010，然后把乘法的结果与个位数的 BCD 码相加，就可以得到结果。

					B3	B2	B1	B0	
×					1	0	1	0	
	0	0	B3	B2	B1	B0		0	
+	B3	B2	B1	B0	0	0		0	
+	0	0	0	A3	A2	A1		A0	
	S7	S6	S5	S4	S3	S2	S1	S0	

从上面的表达式我们很难直接用 2 个加法器实现，所以要考虑变换：

注意到 S0 是等于 A0 的，所以考虑 A0 直接输出，然后第一片加法器处理上述蓝色框的加法，第二片加法器处理绿色框的加法，注意由于 S3 对应了 3 个数的加法，所以这两个框必须有重叠，重叠部分可以任意分配到两个加法器上。这样，电路如图 7.1 所示。注意，第一片加法器的输出必须接入第二片加法器与 B2 相加得到 S5。

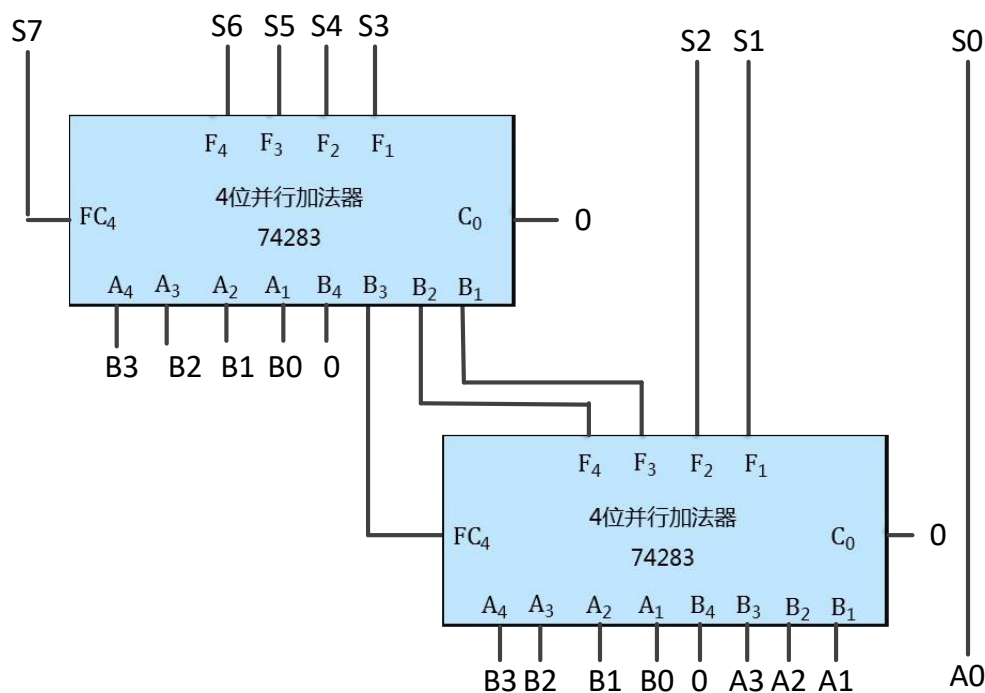


图 7.1 电路图

解析：（1）使用加法器要注意将逻辑功能转化成 $A_3A_2A_1A_0+B_3B_2B_1B_0+C$ 的结构，加法器可以用于加减乘法以及代码转换。

（2）加法器的 C_0 端必须接上，否则电路功能会出错。

7.3 用 4 位二进制并行加法器设计一个用 8421 码表示的 1 位十进制加法器。

答案：按照要求电路的输入应该是两个 8421 码， $A_4A_3A_2A_1$ 和 $B_4B_3B_2B_1$ ，由于 1 个 8421 码和二进制数的加法，可以利用一片加法器实现两个 8421 码（4 位二进制数）相加，结果 $FC_4F_3F_2F_1$ 是一个 5 位二进制数，需要再加上一片加法器实现 5 位二进制数转换成 2 个 8421 码的代码转换电路，注意此时的输出应该是 8 位，设为 $S_7S_6S_5S_4S_3S_2S_1S_0$ 。

注意 5 位二进制数要转换成 8421 码，最大输出是 19（10011, $9+9+1$ ），转换成的 8421 码，所以 $S_7S_6S_5$ 一定是 000。十位数上面的 8421 码就是 S_4 只可能为 0 或者 1，注意只有当 5 位二进制数的值大于等于 01010 的时候才能等于 1；而个位数上的 8421 码当 S_4 为 1 的时候应该是 5 位二进制数减去 1010（就是 10），相当于加上 1010 的补码 0110；当 S_4 为 0 时应该加上 0000，综合所得，应该是加上 0 S_4 S_4 0。

为了得到 S_4 ，可以构建真值表如表 7.1 所示。

表 7.1 真值表

输 入 FC4F4FF2F1	输出 S4	输 入 FC4F4FF2F1	输出 S4
0 0000	0	0 1010	1
0 0001	0	0 1011	1
0 0010	0	0 1100	1
0 0011	0	0 1101	1
0 0100	0	0 1110	1
0 0101	0	0 1111	1
0 0110	0	1 0000	1
0 0111	0	1 0001	1
0 1000	0	1 0010	1
0 1001	0	1 0011	1

通过观察可以知道 $FC_4=1$ 时, S_4 一定为 1; 剩下的表达式可以利用 $F_4F_2F_1$ 构成的卡诺图进行化简, 得到最后的表达式:

$$S4 = FC4 + F4F3 + F4F2$$

据此，画出电路图如图 7.2 所示。

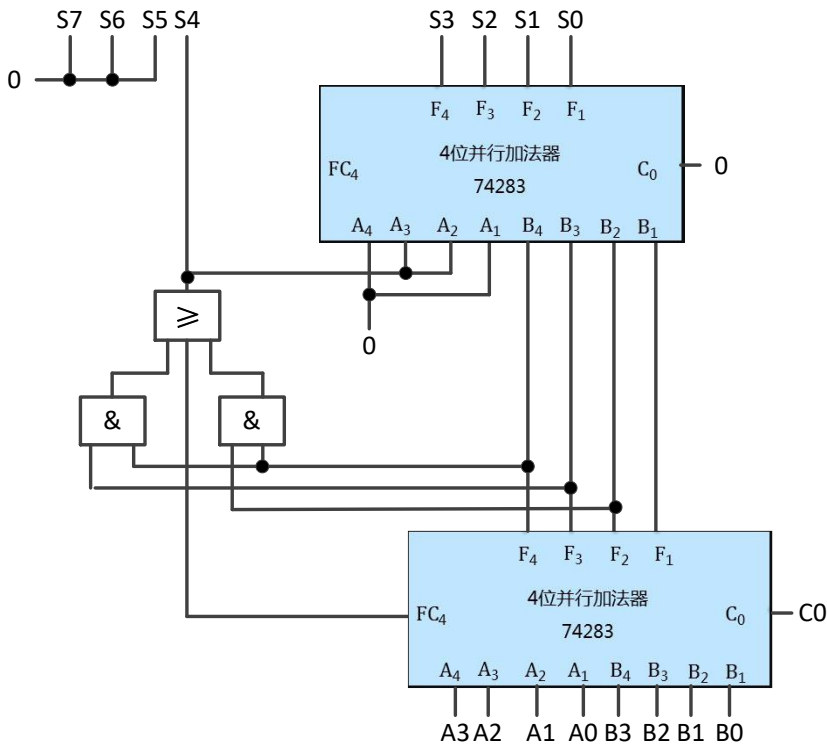


图 7.2 电路图

7.4 用一片 3-8 线译码器和必要的逻辑门实现下列逻辑函数表达式：

$$F1 = \bar{A} \cdot \bar{C} + AB \cdot \bar{C}$$

$$F2 = \bar{A} + B$$

$$F3 = AB + \bar{A} \cdot \bar{B}$$

答案：由于 3-8 线译码器的输出与最小项对应，所以要把逻辑表达式转换成最小项的形式，如果使用低电平译码的 74138，则把对应最小项接出，连接一个与非门，输出就对应了函数值。

$$F1 = \sum m(0, 2, 6) = \overline{m0} \cdot \overline{m2} \cdot \overline{m6}$$

$$F2 = \sum m(0, 1, 2, 3, 6, 7) = \overline{m0} \cdot \overline{m1} \cdot \overline{m2} \cdot \overline{m3} \cdot \overline{m6} \cdot \overline{m7}$$

$$F3 = \sum m(0, 1, 6, 7) = \overline{m0} \cdot \overline{m1} \cdot \overline{m6} \cdot \overline{m7}$$

得到电路如图 7.3 所示。

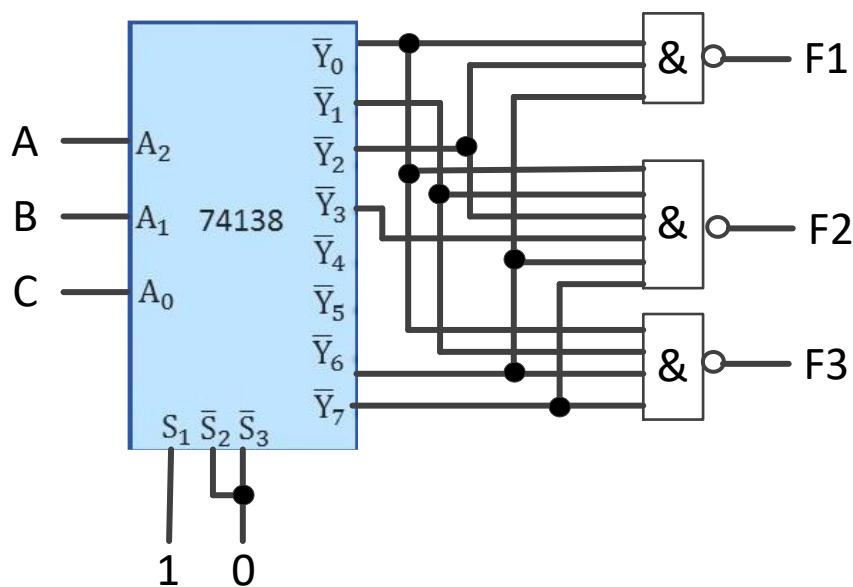


图 7.3 电路图

解析：3-8 线的译码器可以很方便实现逻辑函数功能。

7.8 当 4 路选择器的选择控制变量 A_1 、 A_0 接变量 A 、 B ，输入输入端 D_0 、 D_1 、 D_2 、 D_3 依次接 \bar{C} 、 0 、 0 、 C 时，电路实现何功能？

答案：4 路选择器 4 个输入，2 个控制端，一个输出端，输出端的逻辑函数表达式为：

$$F = \bar{C} \cdot \bar{A} \cdot \bar{B} + 0 \cdot \bar{A} \cdot B + 0 \cdot A \cdot \bar{B} + C \cdot AB = \bar{A} \cdot \bar{B} \cdot \bar{C} + ABC$$

由此可以判断电路的功能是一致性电路。

解析：选择器也可以用来实现各种逻辑函数的功能，选择其中的部分变量作为控制端，然后通过表达式的变化得到输入端的表达式。

7.9 用 4 位同步可逆计数器 74193 和必要的逻辑门实现模 12 加法计数器。

答案：计数器 74193 有置数和清零功能，都可以用来实现各种模的计算功能，这里可以用清零功能实现模 12 加法计数功能，脉冲输入从 CP_U 端输入，计数值从 Q_DQ_CQ_BQ_A 端输出，。电路图如图 97.4 所示。

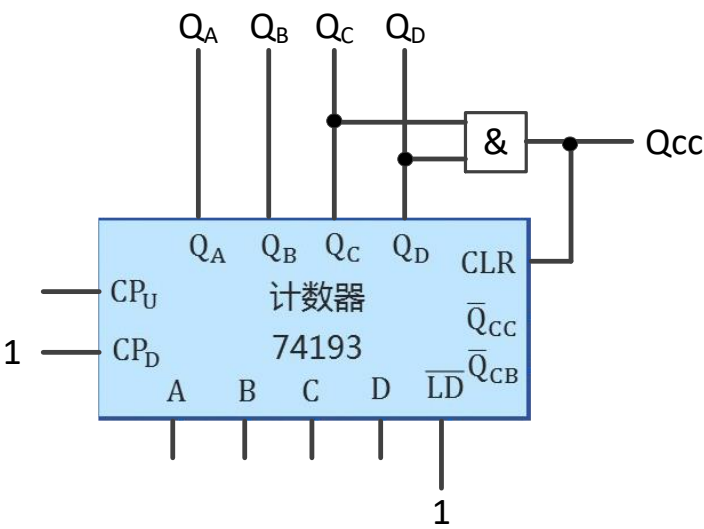


图 7.4 电路图

解析：实现模小于 16 的计数功能时，注意需要关闭减法计数以及置数功能。

7.10 用 74194 双向移位寄存器和必要的逻辑门设计一个 00011101 序列信号发生器？

答案：由于序列信号发生器恰好是 8 位，所以 74194 只需要使用 3 个状态输出，假设使用左移功能，输出从 Q_C 端引出，这样按照序列发生的顺序得到列表：其中，F（D_L）是左移后从 D_L 端补的位，Q_D 是左移移到高位的数，发生器从 Q_C 端输出。注意因为表格画的是从低位到高位，所以左移在表 9.5 中表现为向右移动。

表 9.5

CP	F	Q _A Q _B Q _C	Q _D
----	---	--	----------------

	(D _L)				
0	1	1	0	1	d
1	1	1	1	0	1
2	0	1	1	1	0
3	0	0	1	1	1
4	0	0	0	1	1
5	1	0	0	0	1
6	0	1	0	0	0
7	1	0	1	0	0

通过卡诺图可以得到 F (D_L) 的表达式：

$$\begin{aligned}
 F(DL) &= Q_a \cdot \overline{Q_b} \cdot Q_c + Q_a \cdot Q_b \cdot \overline{Q_c} + \overline{Q_a} \cdot \overline{Q_b} \cdot \overline{Q_c} + \overline{Q_a} \cdot Q_b \cdot \overline{Q_c} \\
 &= Q_a \cdot \overline{Q_b} \cdot Q_c + Q_b \cdot \overline{Q_c} + \overline{Q_a} \cdot \overline{Q_c} \\
 &= Q_a \cdot \overline{Q_b} \cdot Q_c + (Q_b + \overline{Q_a}) \cdot \overline{Q_c} \\
 &= Q_a \cdot \overline{Q_b} \oplus \overline{Q_c}
 \end{aligned}$$

由此得到电路图如图 9. 6 所示。

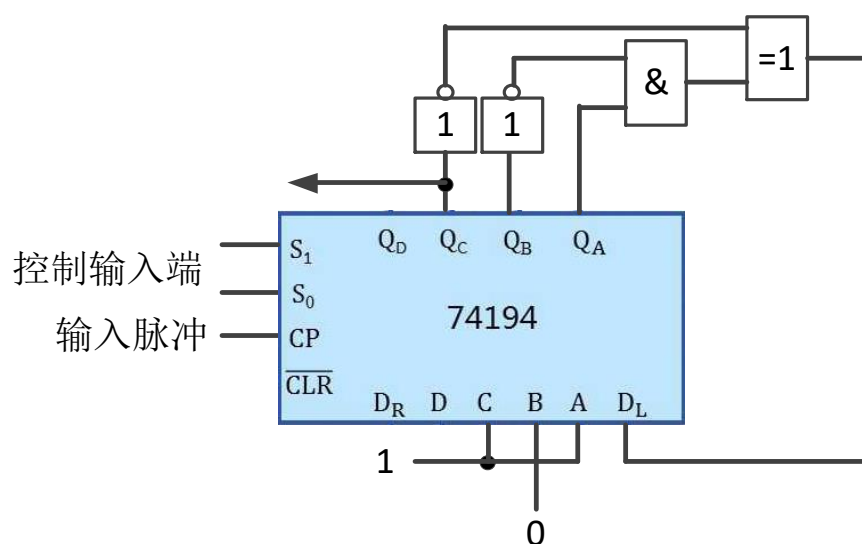


图 7.5 电路图

解析：序列信号发生器使用左移功能和右移功能的时候，电路结构基本相同，主要区别除了 D_L 和 D_R 端的输入外体现在输出端口。

7.12 分析图 7.53 所示由定时器 5G555 构成的多谐振荡器。

- (1) 计算其振荡周期；
- (2) 如果要产生占空比为 50% 的方波， R_1 和 R_2 的取值关系如何？

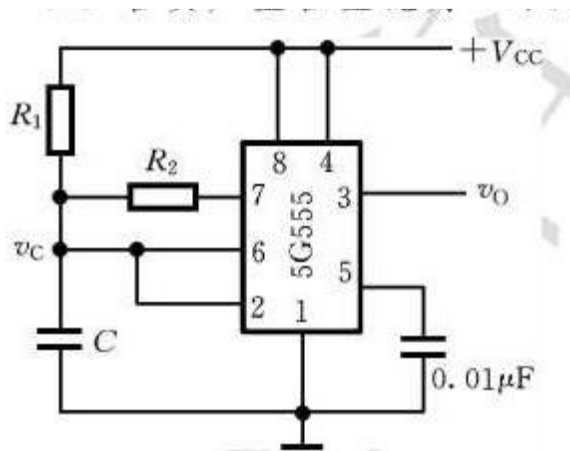


图 7.53 多谐振荡器

答案：(1) 振荡周期 $T_w = T_H + T_L = 0.7R_1C + 0.7R_2C = 0.7(R_1 + R_2)C$

(2) 占空比

$$Q = \frac{T_H}{T_w} = \frac{0.7R_1C}{0.7(R_1 + R_2)C} = \frac{R_1}{R_1 + R_2}$$

要使占空比为 50%，则 $Q = 1/2$ ，此时应该 $R_1 = R_2$ 。

解析：注意电路的结构，电容 C 通过 R_1 进行充电，通过 R_2 进行放电，与教材中的结构略有不同，注意电阻 R_2 所在的位置。

8.5 用 EPROM 设计一个 3 位二进制平方器，指出实现该平方器需要的 ROM 容量？

答案：本题只需要计算 PROM 的容量，这个容量由输入和输出的数目决定，一个 3 位二进制的平方器，输入为 3 位 ABC，表示 3 位二进制数。三位二进制数的平方最大为 $111 \times 111 = 110001$ 为一个 6 位二进制数，因此输出为 6，这样可以得到 PROM 的容量为 $2^3 \times 6$ 。

解析：PROM 的容量主要与输入输出的数目有关。

8.7 用可编程逻辑阵列 (PLA) 实现 4 位二进制码到 Gray 码的转换。

答案：PLA 结构实现逻辑函数，应该把逻辑函数变成最简与或表达式的结构。按照这个要求，4 位二进制码 ABCD 转 Gray 码 XYZW，根据转换规则可以求得表

达式：

$$X = A$$

$$Y = A \oplus B = A\overline{B} + \overline{A}B$$

$$Z = B \oplus C = B\overline{C} + \overline{B}C$$

$$W = C \oplus D = C\overline{D} + \overline{C}D$$

真值表如表 9.6 所示。

表 9.6 真值表

ABCD	XYZW	ABCD	XYZW	ABCD	XYZW	ABCD	XYZW
0000	0000	0100	0110	1000	1100	1100	1010
0001	0001	0101	0111	1001	1101	1101	1011
0010	0011	0110	0101	1010	1111	1110	1001
0011	0010	0111	0100	1011	1110	1111	1000

电路如图 9.7 所示。

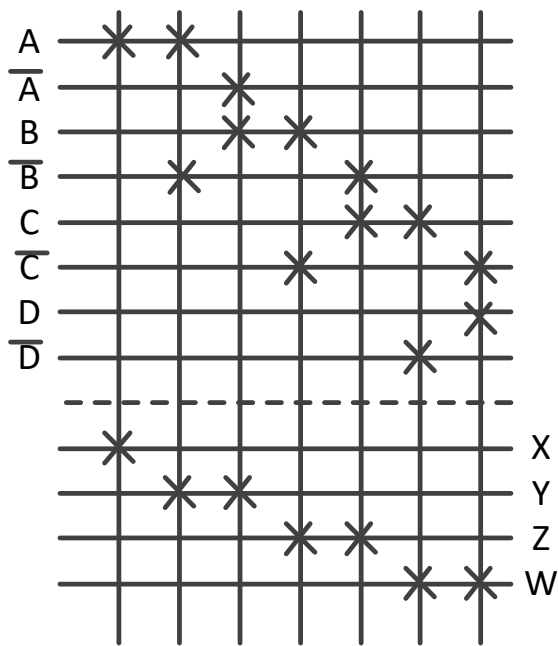


图 9.7 电路图

解析：注意阵列图的画法，注意连接处的固定连接和编程连接。阵列图只能实现组合逻辑部分，要实现时序电路，则需要加上相应的触发器。