

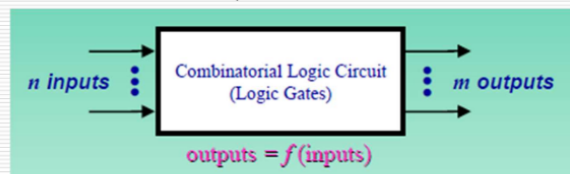
Circuite logice combinatoriale

Circuite de procesare
Circuite de conversie
Circuite de interconectare
Componente universale

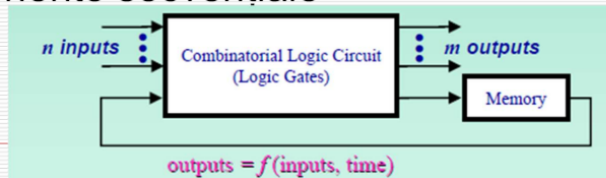
CLASIFICARE COMPONENTE DIGITALE

□ Componente combinatoriale

- Ușor de analizat, partiționat, verificat



□ Componente secvențiale



Clasificare circuite combinatoriale

□ Procesare

- Operații aritmetice (Adunare, Scădere, Înmulțire, Împărțire)
- Operații logice (ȘI, SAU-Exclusiv, Negare, etc.)
- Comparare
- Operații de manipulare la nivel de bit (shift-are, rotație, ...).

□ Conversie date

- Codificatoare
- Decodificatoare

□ Interconnect-uri

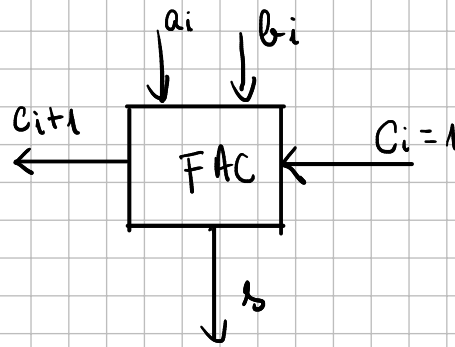
- Selecția sursei/destinației
- Magistrale și interfețe magistrală

□ Alte componente (blocuri din UC)

- ROM
- PLA

$$g_i = a_i \cdot b_i$$

$$p_i = a_i + b_i$$

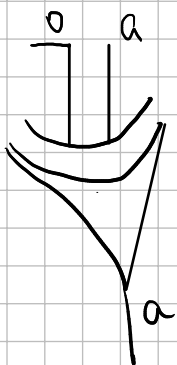


$$C_1 = a_0 b_0 + (a_0 + b_0) C_0 = g_0 + p_0 C_0$$

$$C_2 = a_1 b_1 + (a_1 + b_1) C_1 = g_1 + p_1 (g_0 + p_0 C_0) = g_1 + p_1 g_0 + p_1 p_0 C_0$$

$$\left. \begin{array}{l} g_i (2,4) \\ p_i (2,8) \end{array} \right\} \Rightarrow 2,4 + 2,8 + 2,8 \rightarrow C_i$$

se ia worst case $3,2 + 3,2 + 2,4 + 2,4$



x_i	y_i	c_i	c_{i+1}	s_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Map Representation

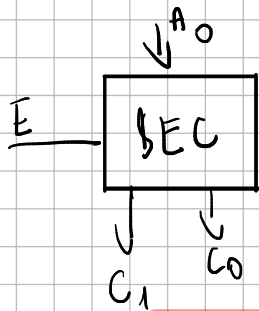
Graphic Symbol

Logic Schematic

8-bit Adder Unit Schematic

Decodificator

- circuite logice combinaționale ce prezintă un anumit n intrări și până la 2^n ieșiri, care activează **ieșirea (UNA SINGURĂ)** corespunzătoare valorii combinației vectorului de intrare
- Pot avea intrări de activare, astfel încât ieșirea selectată nu pot fi activată decât dacă intrările de activare sunt active.
- Pt. n intrări și cu m ieșiri \rightarrow decodificator n -la- m .
- Uzual sunt folosite pt. activarea (EN) componentelor



E
 $0 \ 0 \rightarrow 0X$
 $0 \ 1 \rightarrow 0X$

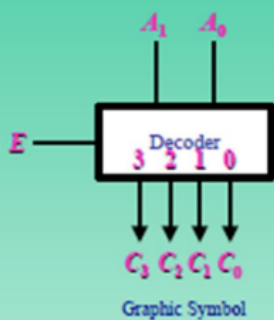
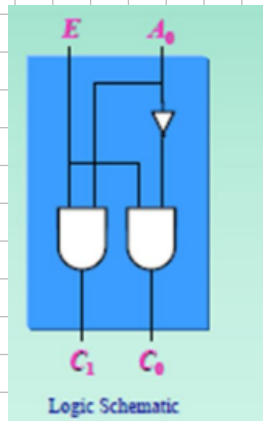
\bar{E}	A_0	C_1	C_0
0	X	0	0
1	0	0	1
1	1	1	0

$$C_0 = E \bar{A}_0$$

$$C_1 = E A_0$$

! Def. decodificator

\rightarrow minitelni
DEC 2-4



E	A_1	A_0	C_3	C_2	C_1	C_0
1	0	0	0	0	0	1
1	0	1	0	0	1	0
1	1	0	0	1	0	0
1	1	1	1	0	0	0
0	X	X	0	0	0	0

Truth Table

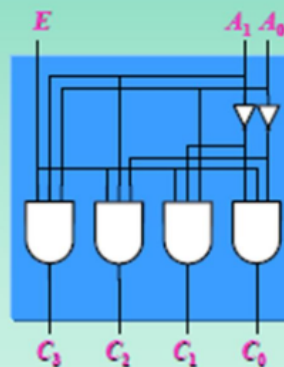
$$C_0 = E_0 A_1' A_0'$$

$$C_1 = E_0 A_1' A_0$$

$$C_2 = E_0 A_1 A_0'$$

$$C_3 = E_0 A_1 A_0$$

Boolean Expression



DEC 3-8

E	A ₂	A ₁	A ₀	C ₇	C ₆	C ₅	C ₄	C ₃	C ₂	C ₁	C ₀
1	0	0	0	0	0	0	0	0	0	0	1
1	0	0	1	0	0	0	0	0	0	1	0
1	0	1	0	0	0	0	0	0	1	0	0
1	0	1	1	0	0	0	0	1	0	0	0
1	1	0	0	0	0	0	1	0	0	0	0
1	1	0	1	0	0	1	0	0	0	0	0
1	1	1	0	0	0	1	0	0	0	0	0
1	1	1	1	0	0	1	0	0	0	0	0
1	1	1	1	1	1	0	0	0	0	0	0
0	X	X	X	0	0	0	0	0	0	0	0

Truth Table

Implementation with 1-to-2 Decoders

Implementation with 2-to-4 Decoders

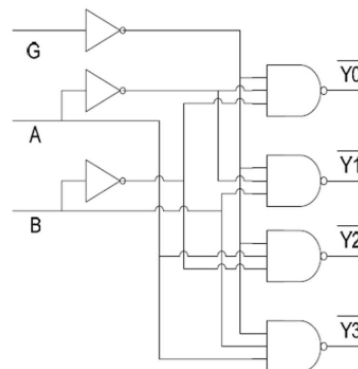
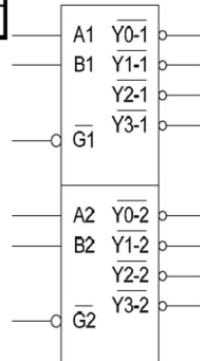
Graphic Symbol

74LS139

E

G	A	B	Y0	Y1	Y2	Y3
1	x	x	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

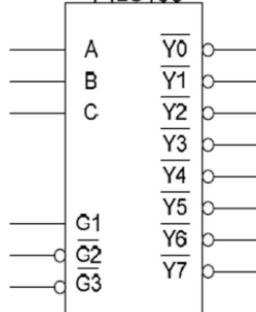
74LS139



2-4

(un fel de produs de Max
0 pe poz i, 1 in rest)

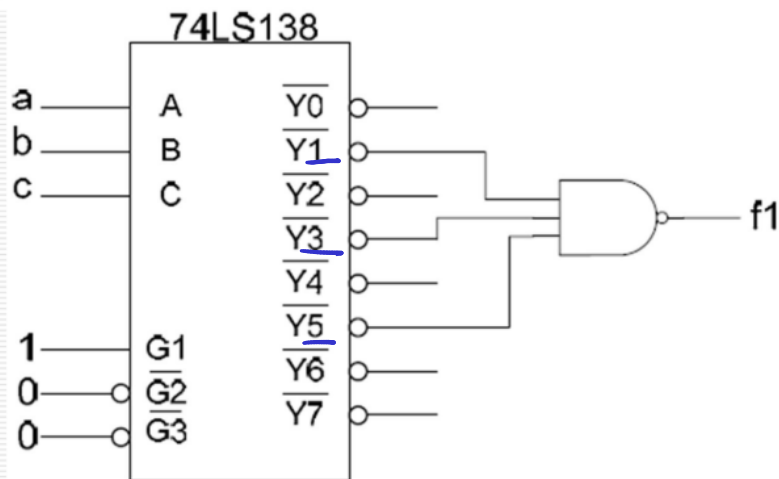
74LS138



G1	G2	G3	A	B	C	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
0	x	x	x	x	x	1	1	1	1	1	1	1	1
x	1	x	x	x	x	1	1	1	1	1	1	1	1
x	x	1	x	x	x	1	1	1	1	1	1	1	1
1	0	0	0	0	0	0	1	1	1	1	1	1	1
1	0	0	0	0	1	1	0	1	1	1	1	1	1
1	0	0	0	1	0	1	1	0	1	1	1	1	1
1	0	0	0	1	1	1	1	0	1	1	1	1	1
1	0	0	1	0	0	1	1	1	1	0	1	1	1
1	0	0	1	0	1	1	1	1	1	1	0	1	1
1	0	0	1	1	0	1	1	1	1	1	1	0	1
1	0	0	1	1	1	1	1	1	1	1	1	1	0

3-8

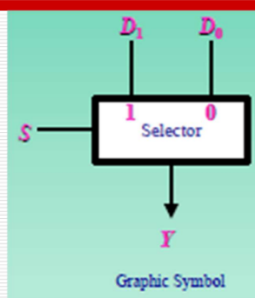
Să se implementeze cu ajutorul unui decodificator 74LS138 funcția logică
 $f1(a,b,c) = \sum(1,3,5)$



Multiplexor

- ❑ Multiplexorul este un circuit logic combinațional ce conectează ieșirea acestuia la una din cele n intrări.
- ❑ Selecția uneia din cele n intrări se face cu ajutorul a $\log_2 n$ intrări de selecție.
- ❑ Poate fi privit ca un comutator digital.
- ❑ Este folosit pt. selecția unei singure surse de date din mai multe.

MUX 2-la-1

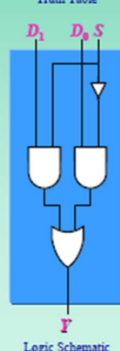


$$Y = S'D_0 + SD_1$$

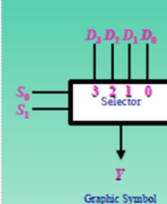
Boolean Expression

S	Y
0	D_0
1	D_1

Truth Table



MUX 4-la-1

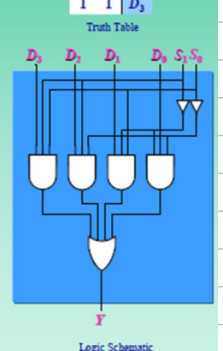


$$Y = S_1'S_0'D_0 + S_1'S_0D_1 + S_1S_0'D_2 + S_1S_0D_3$$

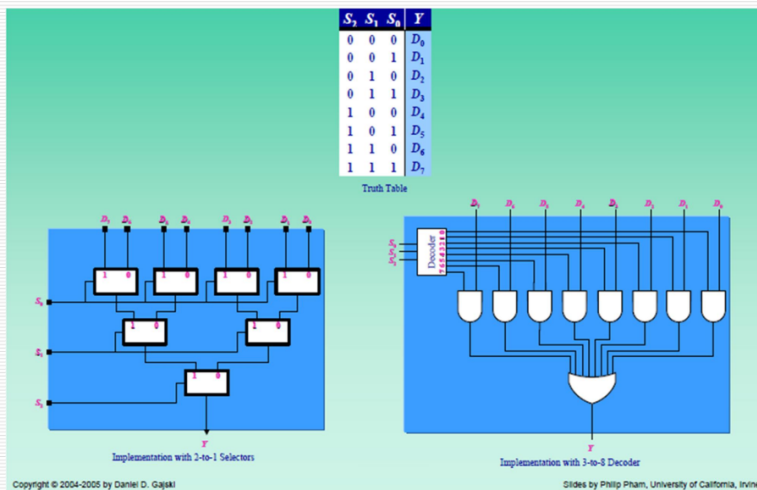
Boolean Expression

S_1	S_0	Y
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

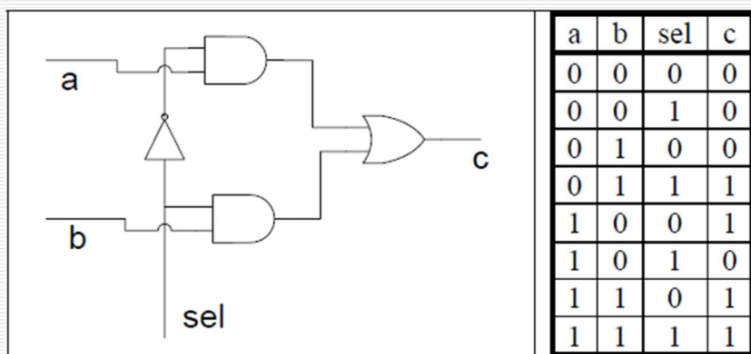
Truth Table



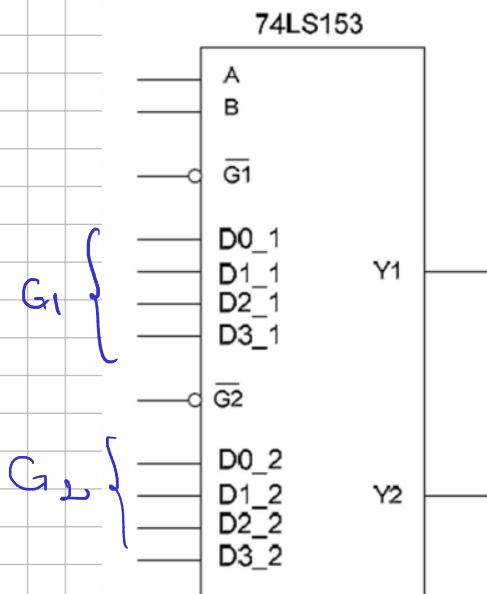
MUX 8-la-1



MUX 2-la-1



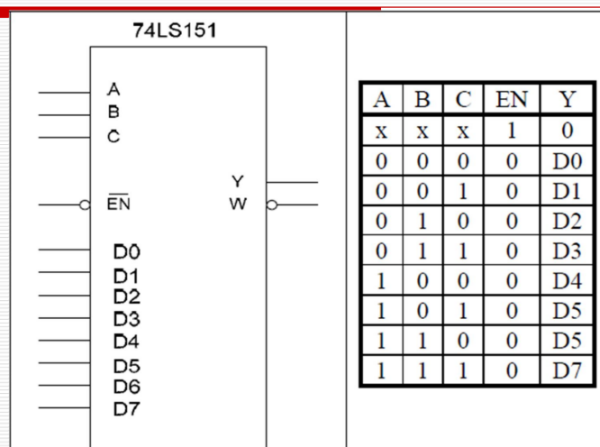
0 - prima intrare
1 - a doua intrare



A	B	G1	G2	Y1	Y2
x	x	1	1	0	0
0	0	0	0	D0_1	D0_2
0	0	1	0	0	D0_2
0	0	0	1	D0_1	0
0	1	0	0	D1_1	D1_2
0	1	0	1	0	D1_2
0	1	1	0	D1_1	0
1	0	0	0	D2_1	D2_2
1	0	0	1	0	D2_2
1	0	1	0	D2_1	0
1	1	0	0	D3_1	D3_2
1	1	0	1	0	D3_2
1	1	1	0	D3_1	0

MUX 4-2

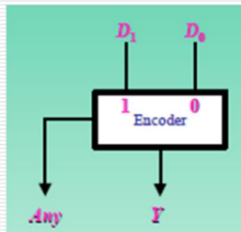
74LS151: MUX 8-la-1



Decodificare

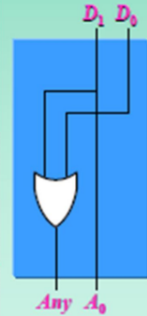
- Circuite combinaționale care realizează într-un sens funcția inversă decodificatoarelor
- Dacă conectăm un decodicator la ieșirea unui codificator nu obținem identitatea!
- Au până la 2^n intrări și un număr de n ieșiri
- În cele mai multe cazuri valoarea ieșirii unui codificator este dată de indexul celui mai semnificativ bit de intrare activ
- exemplu de aplicație: arbitrarea accesului la o resursă (ex. magistrală, controler întreruperi) → codificator de prioritate

Codificator 2-la-1

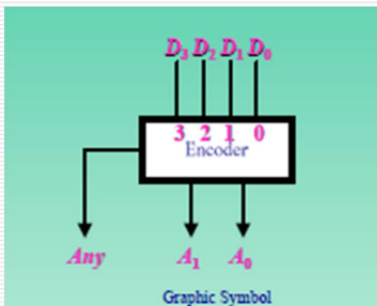


D_1	D_0	A_0	Any
0	0	0	0
0	1	0	1
1	X	1	1

MSB



Codificator 4-la-2

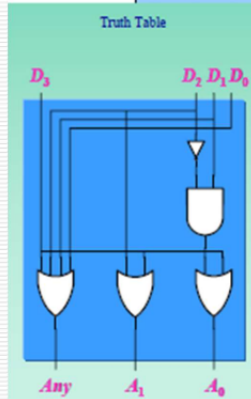


$$A_0 = D_2' D_1 + D_3$$

$$A_1 = D_2 + D_3$$

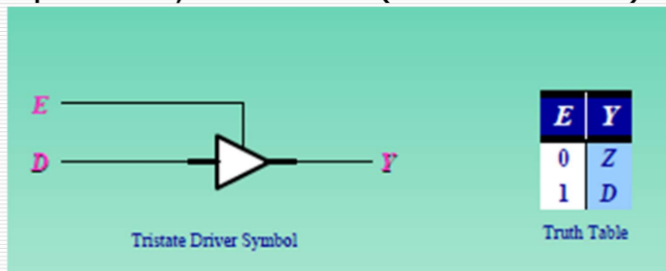
$$Any = D_0 + D_1 + D_2 + D_3$$

D_3	D_2	D_1	D_0	A_1	A_0	Any
0	0	0	0	0	0	0
0	0	0	1	0	0	1
0	0	1	X	0	1	1
0	1	X	X	1	0	1
1	X	X	X	1	1	1

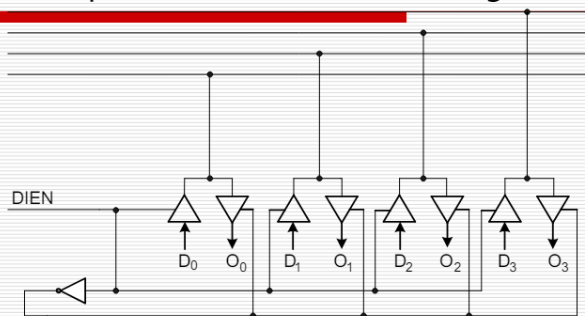


Magistrale (cel mai probabil nu intra la examen)

- Poartă cu trei stări (tristate driver) are trei valori de ieșire: 0, 1, Z - impedanță ridicată (\equiv disconnect)



Magistrale: Utilizarea circuitelor poartă cu trei stări pentru conectarea la magistrala date



D_i – date transmise pe magistrală
 O_i – date recepționate de pe magistrală
DIEN- comandă de transmisie/recepție date