

| | | | |
|---------------|--|----------|--|
| Nom : | | Prénom : | |
| N° Etudiant : | | | |

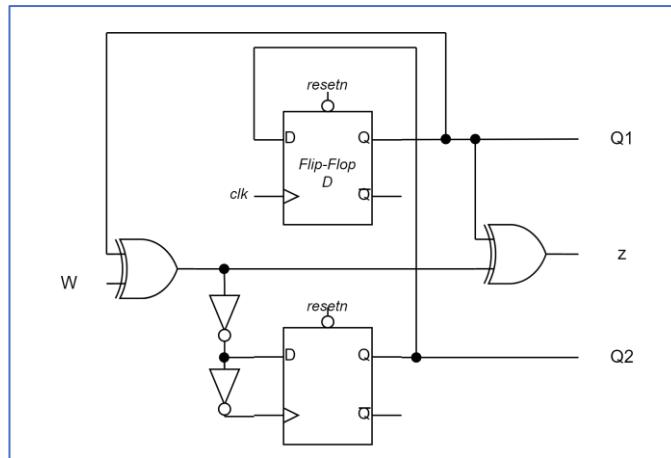
Examen Final Composant du processeur (mai 2024)

DUREE : 1h30

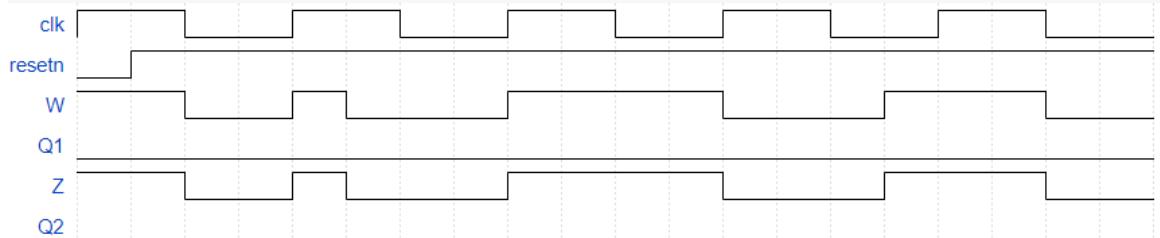
Autorisé : polycopié de cours uniquement
Interdit : Téléphone, Calculatrice, ...

Question 1 : (2 pts)

Complétez le chronogramme du circuit suivant :



SOLUTION :



Question 2 : (3 pts)

Dessinez le circuit capable de représenter l'équation :

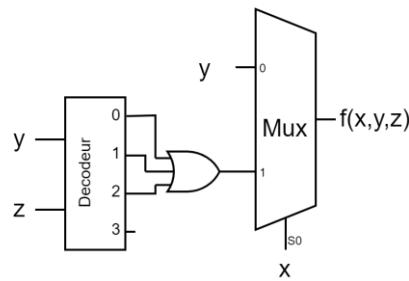
$$f(x, y, z) = \bar{x}y + yz + x\bar{y}$$

en utilisant **uniquement** :

- 1 MUX 2-vers-1,
- 1 décodeur 2-vers-4,
- 1 portes OU à 3 entrées.

(Indice : pensez à utiliser l'expansion de Shannon, puis simplifiez là)

SOLUTION :



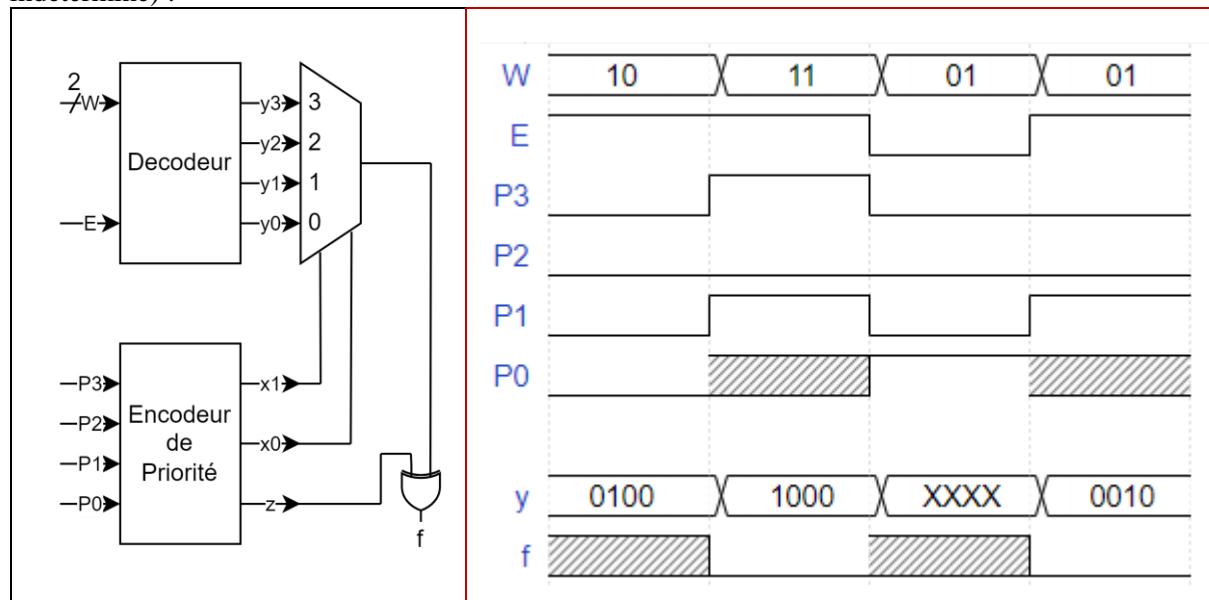
Question 3 : (3 pts)

- 1) Trouver le résultat des multiplications suivantes dont les nombres en entrée sont présentés en complément à 2 sur 6 bits
 $010101 * 101011$; $100000 * 011111$; $111111 * 111111$

**010101 * 101011 = 111001 000111 (21*-21 = -441)
 100000 * 011111 = 110000 100000 (-32 * 31 = -992)
 111111 * 111111 = 000000 000001 (-1 * -1 = 1)**

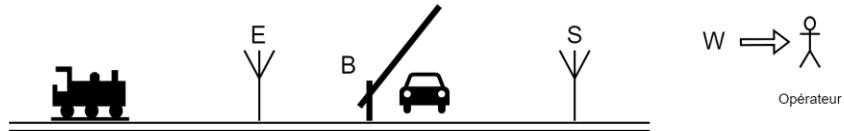
Question 4 : (2 pts)

Complétez y et f sur le chronogramme suivant (une zone hachurée signifie que le signal est indéterminé) :



Question 5 : (10 pts)

Nous souhaitons réaliser un circuit de commande de passage à niveau :



Pour cela, nous disposons de 2 capteurs E(entrée) et S(Sortie) qui signalent respectivement l'entrée et la sortie d'un train.

Les signaux E et S durent exactement 1 cycle pour le passage d'un train.

Il peut y avoir au plus 2 trains entre les points E et S.

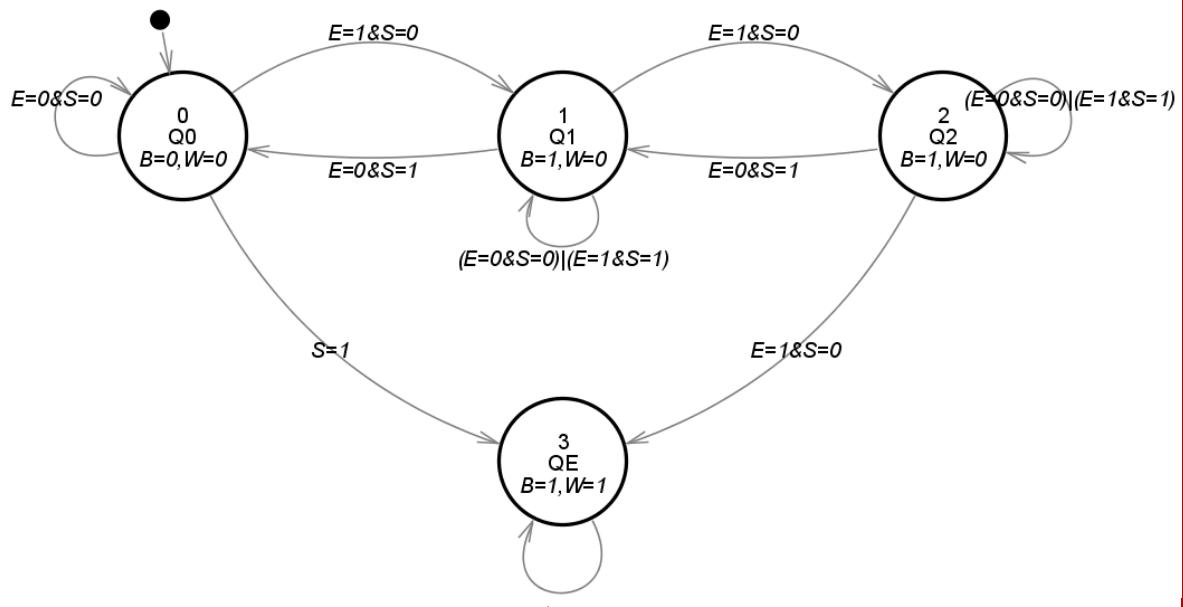
1 train peut entrer alors que simultanément 1 autre sort.

Le passage à niveau est fermé lorsque le signal B=1.

Le passage à niveau doit être fermé s'il y a au moins un train entre E et S.

Si une situation d'erreur est rencontrée (ex : le capteur de sortie renvoie 1, alors qu'il n'y avait aucun train), un signal W est envoyé (=1) à l'opérateur et la barrière reste fermée jusqu'à réinitialisation du circuit.

1) Complétez le graphe de transition ci-dessous,



- 2) Complétez la table d'assignation des états/excitation du circuit de commande.
 (La valeur des signaux de sortie correspond à l'état courant)

| E | S | Etat Courant $Z_1Z_0(n)$ | Etat Suivant $Z_1Z_0(n+1)$ | B / W |
|----------|----------|--|--|--------------|
| 0 | 0 | Q0 : 0 0 | Q0 : 0 0 | 0 / 0 |
| | | Q1 : 0 1 | Q1 : 0 1 | 1 / 0 |
| | | Q2 : 1 0 | Q2 : 1 0 | 1 / 0 |
| | | QE : 1 1 | QE : 1 1 | 1 / 1 |
| 0 | 1 | Q0 : 0 0 | QE : 1 1 | 0 / 0 |
| | | Q1 : 0 1 | Q0 : 0 0 | 1 / 0 |
| | | Q2 : 1 0 | Q1 : 0 1 | 1 / 0 |
| | | QE : 1 1 | QE : 1 1 | 1 / 1 |
| 1 | 0 | Q0 : 0 0 | Q1 : 0 1 | 0 / 0 |
| | | Q1 : 0 1 | Q2 : 1 0 | 1 / 0 |
| | | Q2 : 1 0 | QE : 1 1 | 1 / 0 |
| | | QE : 1 1 | QE : 1 1 | 1 / 1 |
| 1 | 1 | Q0 : 0 0 | QE : 1 1 | 0 / 0 |
| | | Q1 : 0 1 | Q1 : 0 1 | 1 / 0 |
| | | Q2 : 1 0 | Q2 : 1 0 | 1 / 0 |
| | | QE : 1 1 | QE : 1 1 | 1 / 1 |

- 3) Donnez les équations d'excitation suivante

$$Z_1^{n+1} = (E \wedge \bar{S} \wedge Z_0^n) \vee (E \wedge Z_1^n) \vee (S \wedge \bar{Z}_0^n \wedge \bar{Z}_1^n) \vee (\bar{S} \wedge Z_1^n) \vee (Z_0^n \wedge Z_1^n)$$

$$Z_0^{n+1} = (\bar{E} \wedge \bar{S} \wedge Z_0^n) \vee (\bar{E} \wedge S \wedge \bar{Z}_0^n) \vee (E \wedge \bar{S} \wedge \bar{Z}_0^n) \vee (E \wedge S \wedge \bar{Z}_1^n) \vee (Z_0^n \wedge Z_1^n)$$

$$B = Z_0^n \vee Z_1^n$$

$$W = Z_0^n \wedge Z_1^n$$

4) Réalisez le circuit pour les signaux Z_0 et Z_1

