

Note de COURS

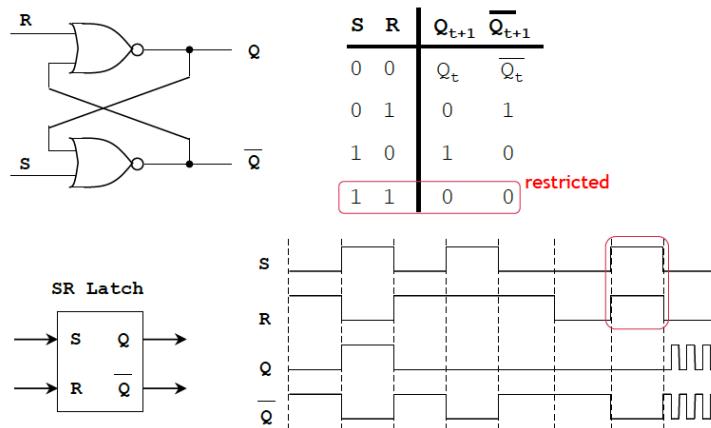
6 : Circuits séquentiels

Circuits séquentiels synchrones

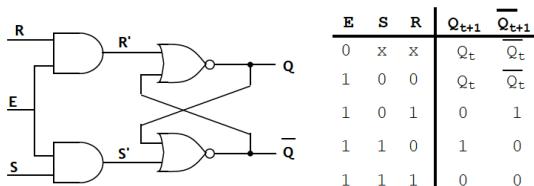
Circuits asynchrones : Les bascules

- Les bascules (aussi appelées verrous) sont les opérateurs élémentaires de mémorisation.
- Leur état présent, déterminé par l'état des sorties, est fonction des entrées et de l'état précédent des sorties.

Bascule RS :

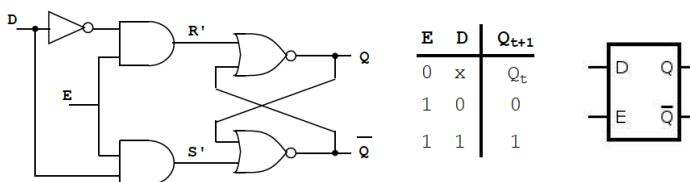


Bascule RS avec activation :



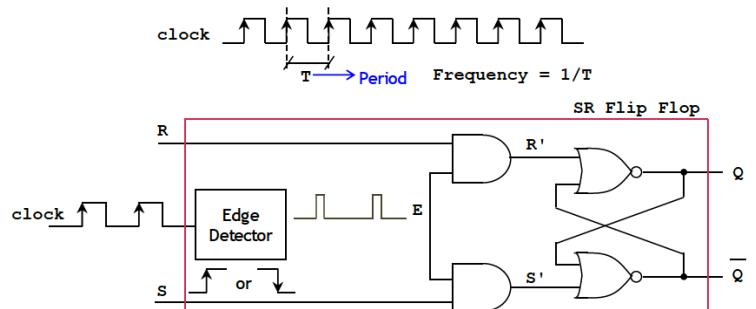
Bascule D (Latch) avec activation :

- Basée sur une bascule RS avec $R = \bar{D}$ et $S=D$



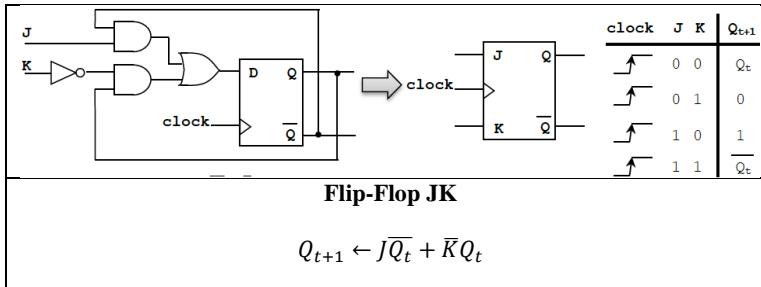
Circuits synchrones : Les Flip-Flop

- Les flip-flop sont composées d'une bascule avec un signal d'activation et d'un circuit qui détecte les fronts d'horloge.
- La figure suivante repose sur une bascule RS et un circuit détecteur de front d'horloge prenant en entrée un signal d'horloge appelé 'clock'. Ce signal est une succession de signaux carrés de fréquence fixe.
- Le circuit 'edge detector' génère durant une courte période une pulsation sur les fronts montants (ou descendant). Ces signaux activent durant une courte période la bascule.
- Le comportement d'un flip-flop est semblable à une bascule qui n'est activée que sur les fronts d'horloge.



Classification des Flip-Flop :

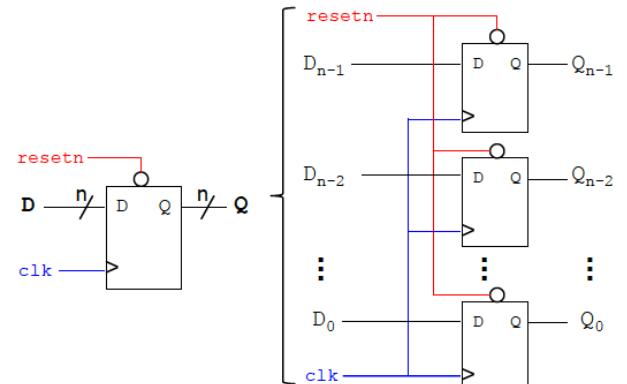
 Flip-Flop RS Sur le front d'horloge : $Q_{t+1} \leftarrow S\bar{R} + Q_t\bar{S} = \bar{R}(S + Q_t\bar{S})$ $= \bar{R}(S + \bar{S})(S + Q_t)$ $= \bar{R}S + \bar{R}Q_t$ Lorsqu'il n'y a pas de front d'horloge $Q_{t+1} = Q_t$	 Flip-Flop D $Q_{t+1} \leftarrow D$	 Flip-Flop T $Q_{t+1} \leftarrow D = T \oplus Q_t$
---	--	---



Circuits synchrones : Les registres

Les registres à n-bits :

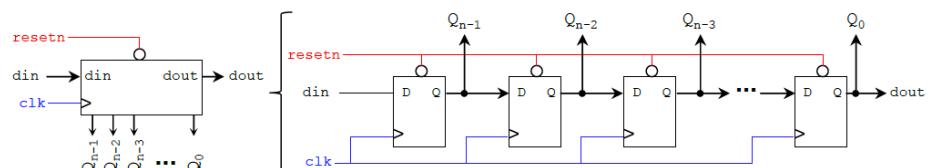
- Ce sont des ensembles de n flip-flops D, où chaque flip-flop stocke 1 bit d'information. Les flip-flops sont connectés en parallèle, partage les signaux d'horloge (clock) et de remise à zéro (resetn)



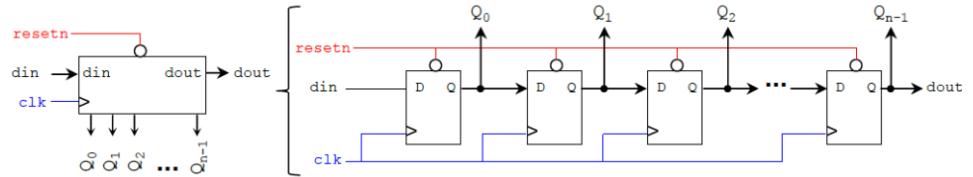
Les registres à décalage à n-bits :

- Ce sont des ensembles de n flip-flops D connectés en série et partagent les signaux d'horloge (clock) et de remise à zéro (resetn).
- din est le signal d'entrée (sériel) et $dout$ de signal de sortie.
- L'ordre des sorties des flip-flops $Q_0Q_1\dots Q_n$ donne des registres à décalage
 - à droite, si les bits se déplacent des bits de poids fort vers les bits de poids faible,
 - à gauche, si les bits se déplacent des bits de poids faible vers les bits de poids fort.

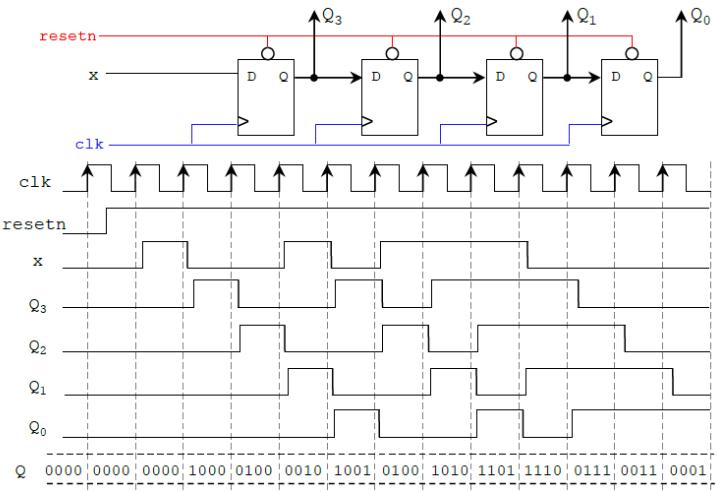
Registre à décalage à droite :



Registre à décalage à gauche :



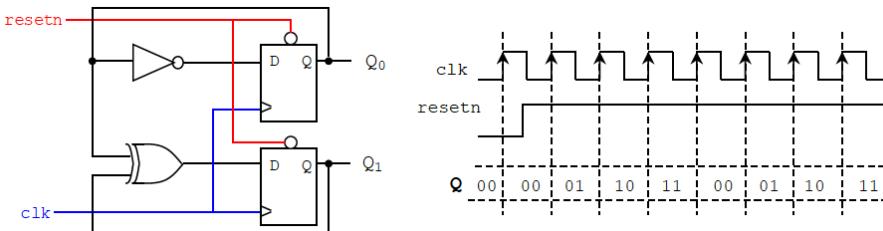
Chronogramme



Circuits synchrones : Les compteurs

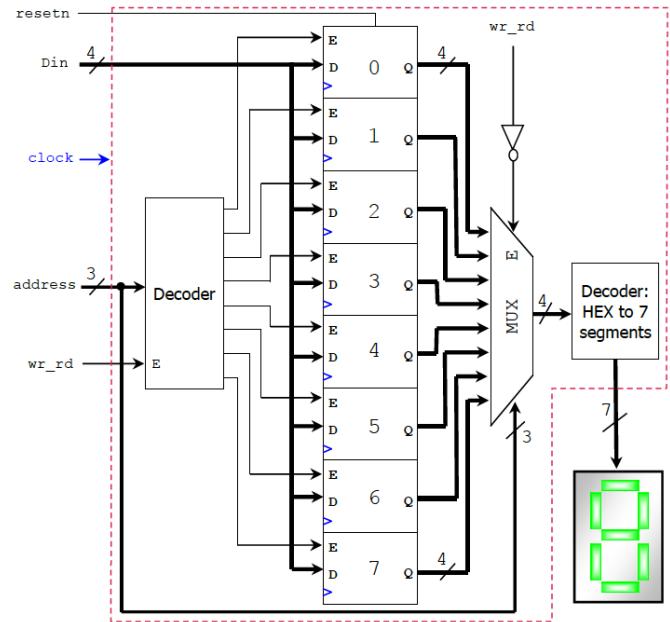
- Les compteurs sont très utilisés car ils permettent de compter les occurrences d'un événements, de réaliser des mesures de temps...
- Les compteurs synchrones changent la valeur de leur sortie sur un signal d'horloge. Chaque flip-flop qui le compose partage le même signal d'horloge (*clock*) et de remise à zéro (*resetn*).

Un Compteur binaire, à n-bit compte de 0 à $2^n - 1$. Exemple de compteur à 2-bit :



Émulateur de Random Access Memory (RAM)

- Le circuit séquentiel représente une mémoire à 8 adresses, où chaque adresse stocke 4 bits de donnée. Chaque position est implémentée à l'aide d'un registre 4-bit. Les données sont écrites/lues vers/depuis les registres à l'aide du signal *address*.
- Écriture en mémoire** : (*wr_rd*=1) les 4 bits de donnée d'entrée (*Din*) sont écrites en mémoire. Le signal d'adresse sélectionne le registre où seront mise les données. Et l'afficheur 7 segments doit afficher la valeur '0'.
- Lecture en mémoire** : (*wr_rd*=0) la sortie du MUX est envoyée à l'afficheur 7 segments (valeur hexadécimale). Le signal d'adresse sélectionne le registre lu.

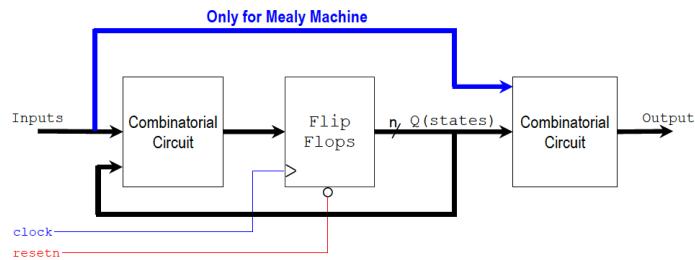
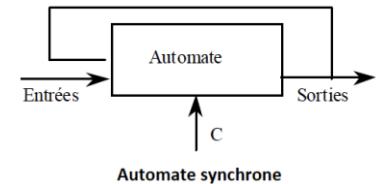


Automates à états finis (FSM)

- Les circuits séquentiels sont aussi appelés machines ou automates à états finis (ou *Finite State Machines/FSM*), car le comportement fonctionnel de ces circuits peut être représenté à l'aide d'un nombre fini d'état (sortie de flip-flop).
- Supposons que l'on veuille concevoir un circuit qui compte de 0 à 3 et qui envoie un signal d'un cycle d'horloge lorsque la valeur max est atteinte. Il est possible d'implémenter ce circuit à l'aide d'un compteur et de portes logiques. Comment procéder si l'on veut un signal de 2 cycles ? Il est toujours possible de concevoir un circuit à l'aide d'un compteur, de flip-flop et de portes logiques, cependant l'utilisation d'automate à états finis fournit une solution plus élégante.

Modèle FSM

- Les automates sont dits synchrones lorsque le passage d'un état (état présent) à l'état suivant (état futur) a lieu sur une transition d'un signal appelé horloge commun à toutes les bascules de l'automate.
- Il existe 2 types d'automate :
 - Automate de Moore** : l'état futur est fonction de l'état présent et des entrées. Les sorties sont fonction de l'état présent.
 - Automate de Mealy** : l'état futur est fonction de l'état présent et des entrées. Les sorties sont fonction de l'état présent et des entrées.

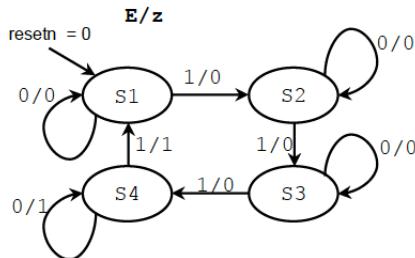


- Il y a équivalence entre les deux types d'automates : tout automate de Moore peut être transformé en automate de Mealy et réciproquement. L'automate de Mealy a toujours moins d'états que l'automate de Moore correspondant.

Exemple 1 :

Compteur à 2-bit (valeur 00, 01, 10, 11, 00) avec signal d'activation et une sortie 'z' prenant la valeur 1 lorsque le compteur est égal à 11.

- Première étape* : Dessiner le graphe de transition et le diagramme de transition. Les valeurs sur les flèches font référence aux valeurs E/z où E correspond à la donnée en entrée et z la sortie telle que décrite précédemment. Les états sont étiquetés S1, S2, S3, S4.



Graphe de transition d'un compteur 2-bits

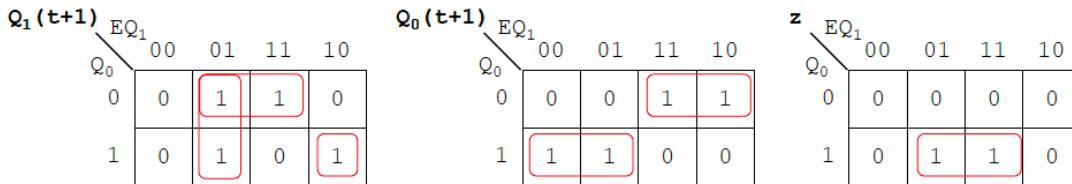
E	État courant	État suivant	Valeur	Z
0	S1	S1	00	0
0	S2	S2	01	0
0	S3	S3	10	0
0	S4	S4	11	1
1	S1	S2	01	0
1	S2	S3	10	0
1	S3	S4	11	0
1	S4	S1	00	1

Diagramme de transition d'un compteur 2 bits

2. *Deuxième étape* : Assignation des états. Il est possible d'attribuer les états (S1, S2, S3, S4) aux flip-flops. Cette assignation est purement arbitraire, cependant dans un souci d'économie de ressource il est possible d'assigner ces états à la valeur souhaitée et la sortie du compteur devient la sortie des flip-flops.
S1 : Q=00 ; S2 : Q=01 ; S3 : Q=10 ; S4 : Q=11
3. *Troisième étape* : Table d'excitation. Elle permet de déterminer quelles valeurs il faut appliquer aux entrées pour faire évoluer la sortie d'un état vers un autre. Cela consiste à remplacer les étiquettes par celles choisies à l'étape 2.

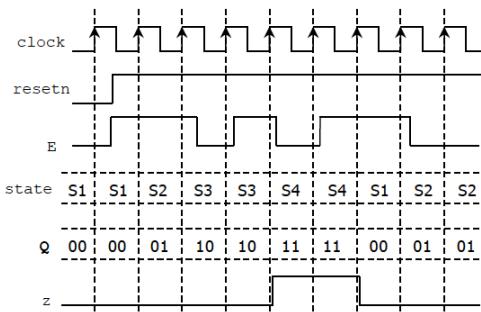
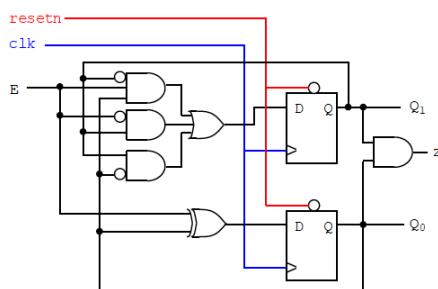
E	État courant		État suivant		Z
	Q ₁ (t)	Q ₀ (t)	Q ₁ (t+1)	Q ₀ (t+1)	
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	1	0	0
0	1	1	1	1	1
1	0	0	0	1	0
1	0	1	1	0	0
1	1	0	1	1	0
1	1	1	0	0	1

4. *Quatrième étape* : Génération des équations d'excitation et minimisation. Les signaux Q₁(t+1) et Q₀(t+1) sont connectés aux entrées des flip-flops. La sortie z dépend uniquement de l'état présent. Les sorties Q₁ et Q₀ sont les états et dépendent uniquement des états courants



$$\begin{aligned} Q_1(t+1) &\leftarrow Q_1 \bar{Q}_0 + \bar{E} Q_1 + E \bar{Q}_1 Q_0 \\ Q_0(t+1) &\leftarrow E \bar{Q}_0 + \bar{E} Q_0 \\ z &= Q_1 Q_0 \end{aligned}$$

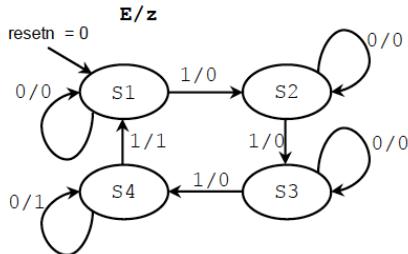
5. *Cinquième état* : Implémentation du circuit



Exemple 2 :

Compteur en code de gray à 2-bit (valeur 00, 01, 10, 11, 00) avec signal d'activation et une sortie 'z' prenant la valeur 1 lorsque le compteur est égal à 10.

1. *Première étape* : Dessiner le graphe de transition et le diagramme de transition. Les valeurs sur les flèches font références aux valeurs E/z où E correspond à la donnée en entrée et z la sortie telle que décrite précédemment. Les états sont étiquetés S1, S2, S3, S4.



Graphe de transition d'un compteur 2-bits

E	État courant	État suivant	Valeur	Z
0	S1	S1	00	0
0	S2	S2	01	0
0	S3	S3	11	0
0	S4	S4	10	1
1	S1	S2	01	0
1	S2	S3	11	0
1	S3	S4	10	0
1	S4	S1	00	1

Diagramme de transition d'un compteur 2 bits

2. *Deuxième étape* : Assignation des états. Il est possible d'attribuer les états (S1, S2, S3, S4) aux flip-flops. Cette assignation est purement arbitraire, cependant dans un souci d'économie de ressource il est possible d'assigner ces états à la valeur souhaitée et la sortie du compteur devient la sortie des flip-flops.

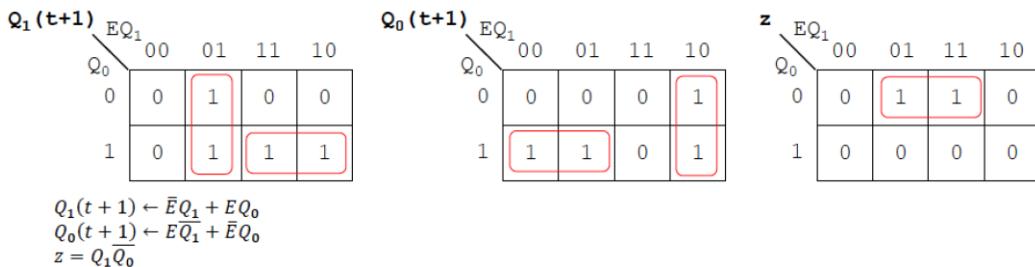
S1 : Q=00 ; S2 : Q=01 ; S3 : Q=11 ; S4 : Q=10

Une solution alternative consiste à prendre S1 : Q=00 ; S2 : Q=01 ; S3 : Q=10 ; S4 : Q=11. Cette solution bien que plus consistante avec l'encodage des états ne permet pas de prendre directement la sortie des flip-flops.

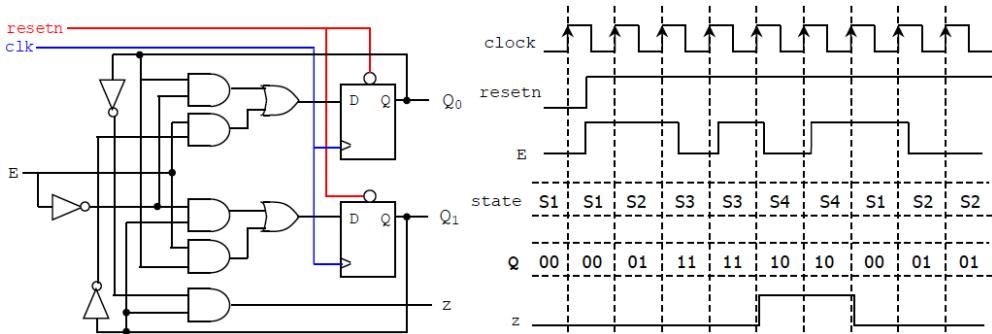
3. *Troisième étape* : Table d'excitation. Elle permet de déterminer quelles valeurs il faut appliquer aux entrées pour faire évoluer la sortie d'un état vers un autre. Cela consiste à remplacer les étiquettes par celles choisies à l'étape 2.

E	État courant		État suivant		Z
	Q1(t)	Q0(t)	Q1(t+1)	Q0(t+1)	
0	0	0	0	0	0
0	0	1	0	1	0
0	1	1	1	1	0
0	1	0	1	0	1
1	0	0	0	1	0
1	0	1	1	1	0
1	1	1	1	0	0
1	1	0	0	0	1

4. *Quatrième étape* : Génération des équations d'excitation et minimisation. Les signaux Q1(t+1) et Q0(t+1) sont connectés aux entrées des flip-flops. La sortie z dépend uniquement de l'état présent. Les sorties Q1 et Q0 sont les états et dépendent uniquement des états courants

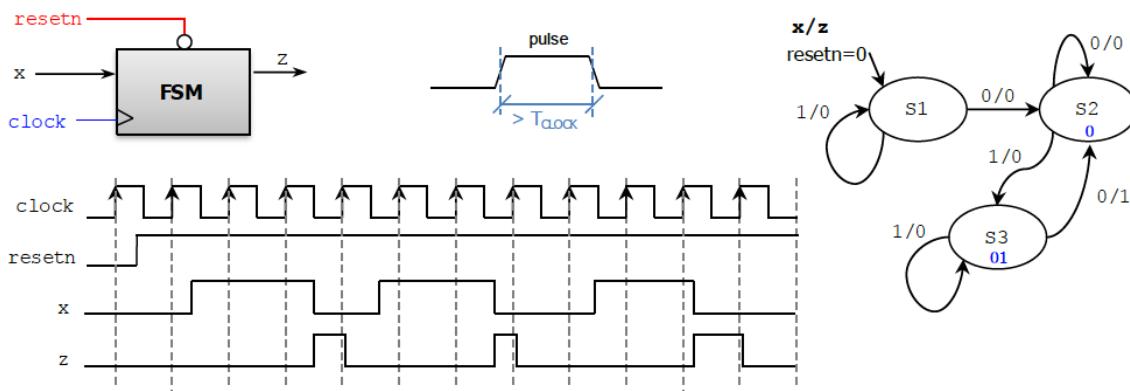


5. *Cinquième état* : Implémentation du circuit



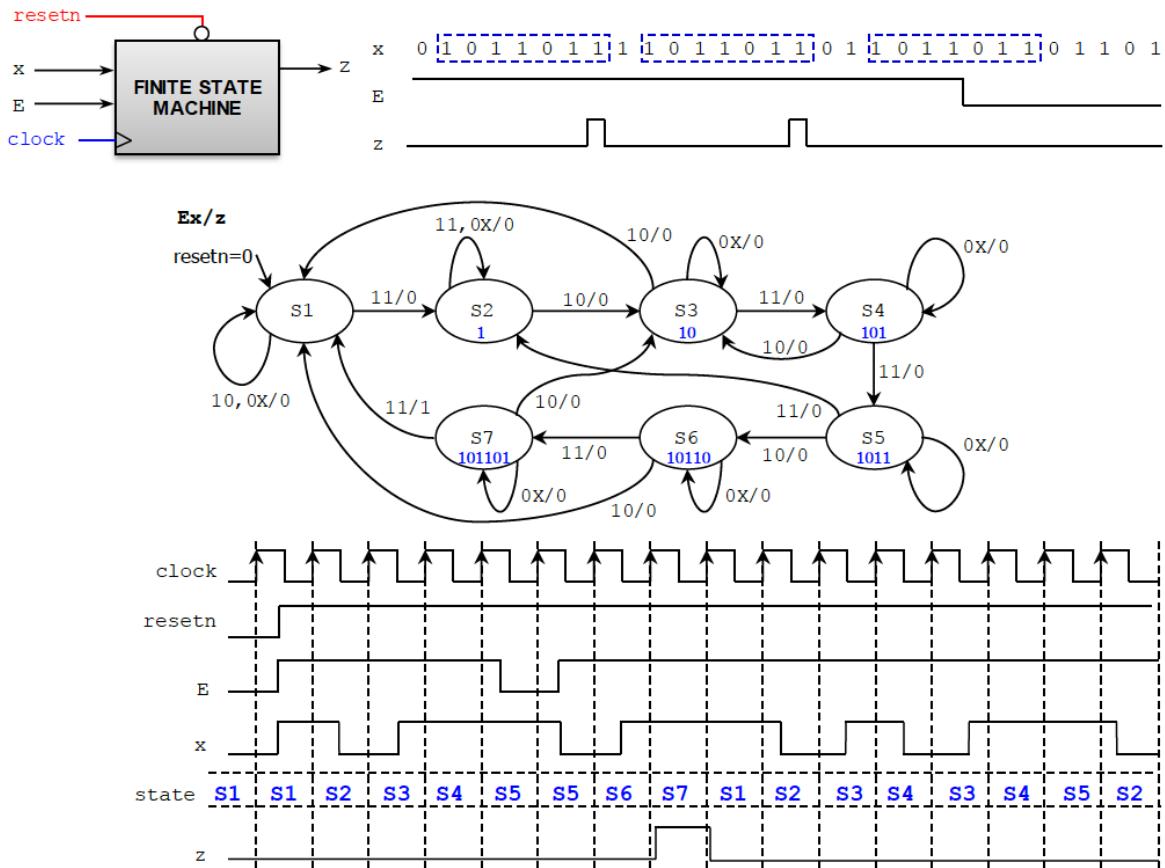
Exemple 3 :

- Circuit avec une entrée x et une sortie z qui prend la valeur 1 lorsque qu'un changement de valeur 1=>0 est détectée en entrée.
- Remarquez que z prend la valeur 1 dès que la transition est détectée indépendamment de l'horloge.
- Une solution pour avoir un beau signal en sortie consiste à inclure une flip-flop avec z en entrée.
- Le premier état S1 permet d'initialiser la sortie z à 0. C'est un automate de MEALY



Exemple 4 :

- Circuit avec une entrée x et une sortie z qui prend la valeur 1 lorsque qu'il détecte la séquence 1011011 en entrée. La valeur d'un bit est analysée sur le front d'horloge. Après chaque séquence valide, le circuit recherche une nouvelle séquence.
- Le signal E valide l'entrée x. Si E=1, x est valide et invalide sinon. C'est un automate de MEALY.



Représentation algorithmique des automates (ASM) :

