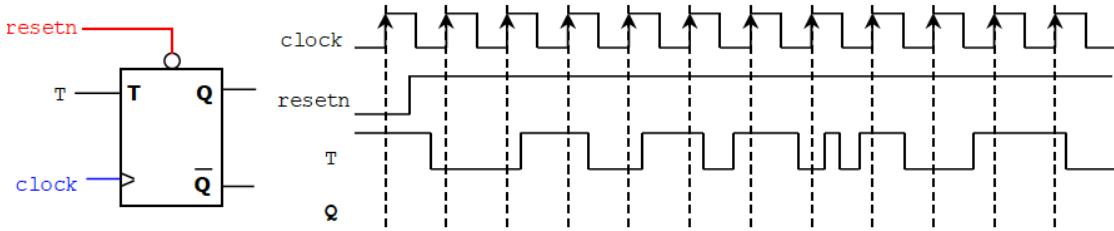


TD N°4

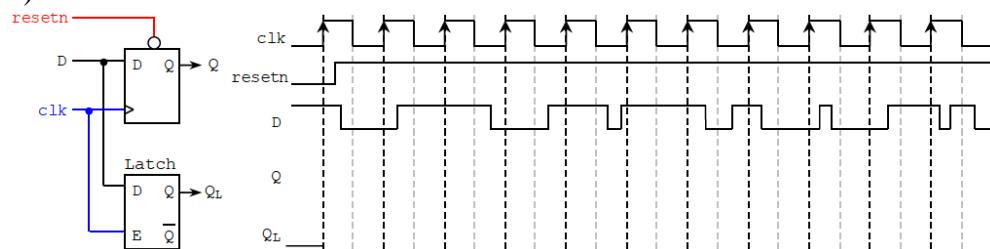
Exercice 1

Complétez les chronogrammes des circuits suivants :

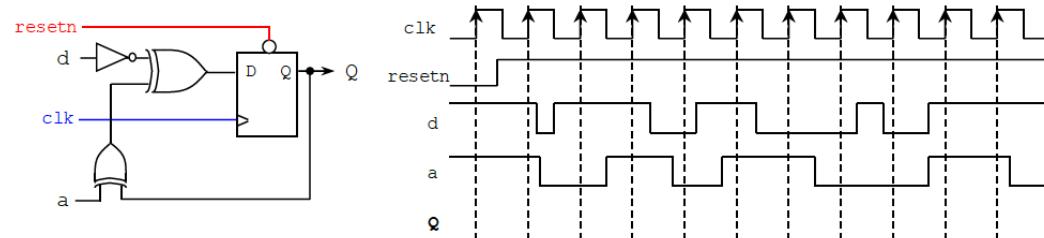
1)



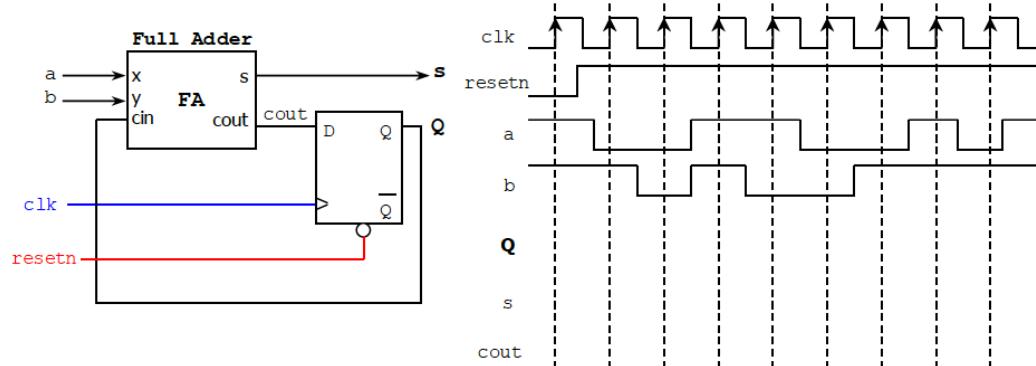
2)



3)

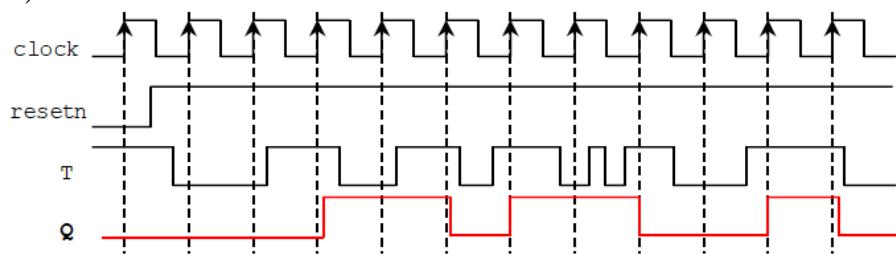


4)

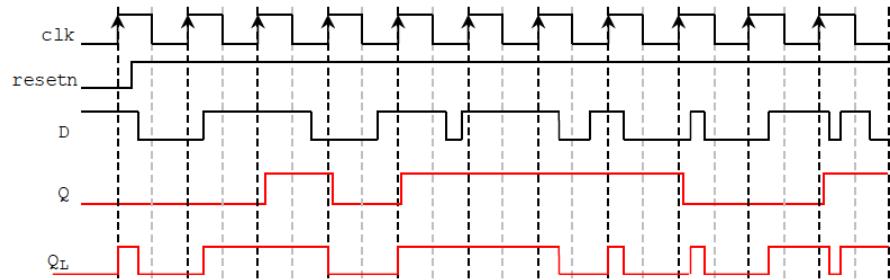


Solution

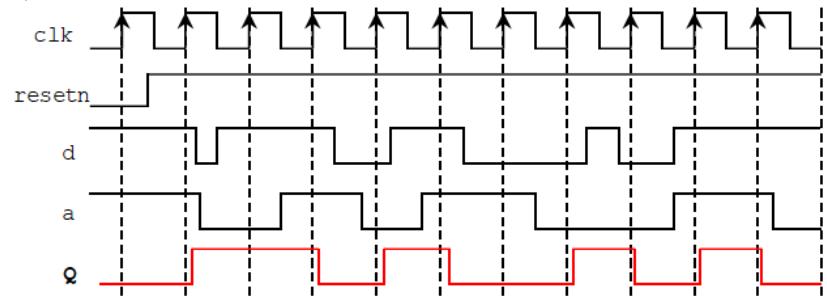
1)



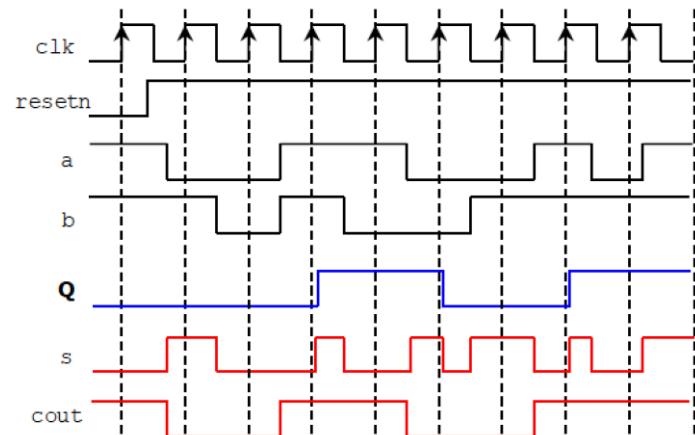
2)



3)



4)

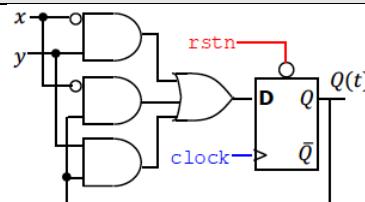


Exercice 2

A l'aide de flip-flop (type D) et de portes logiques, proposez un circuit dont l'équation d'excitation est donnée par :

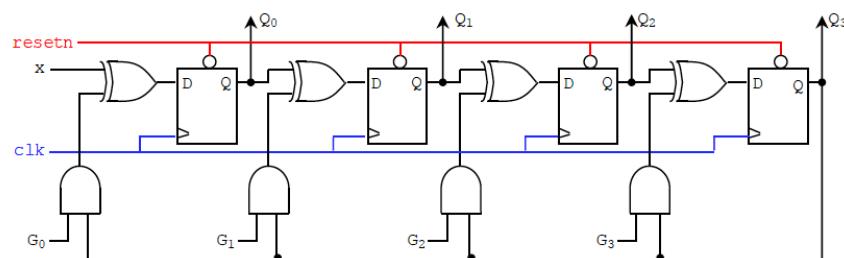
$$Q(t + 1) \leftarrow \bar{x}y + \bar{x}Q(t) + yQ(t)$$

Solution



Exercice 3

Donnez les équations d'excitation pour chaque sortie de flip-flop $Q = Q_3Q_2Q_1Q_0$ du circuit suivant :



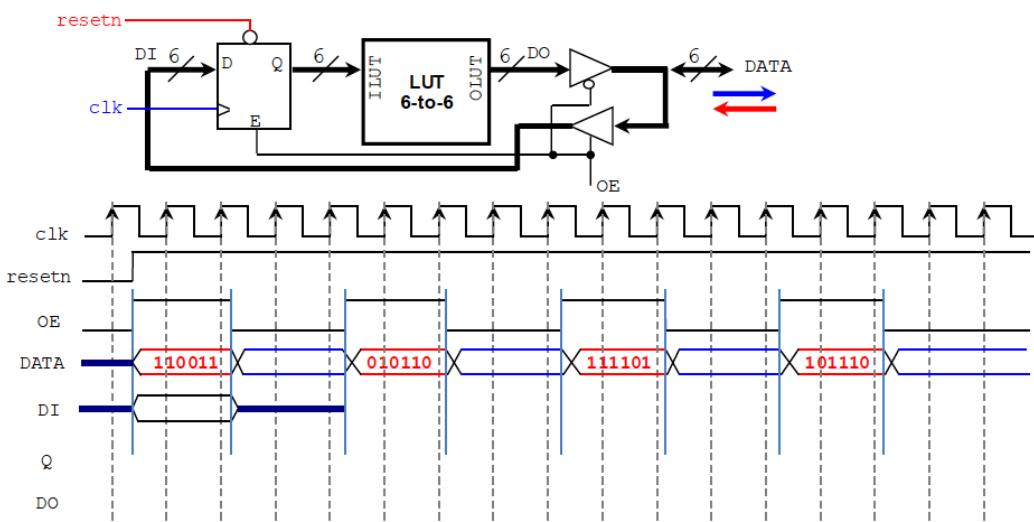
Solution

$$\begin{aligned} Q_{0(t+1)} &\leftarrow (G_0 Q_3(t)) \oplus x \\ Q_{1(t+1)} &\leftarrow (G_1 Q_3(t)) \oplus Q_0(t) \\ Q_{2(t+1)} &\leftarrow (G_2 Q_3(t)) \oplus Q_1(t) \\ Q_{3(t+1)} &\leftarrow (G_3 Q_3(t)) \oplus Q_2(t) \end{aligned}$$

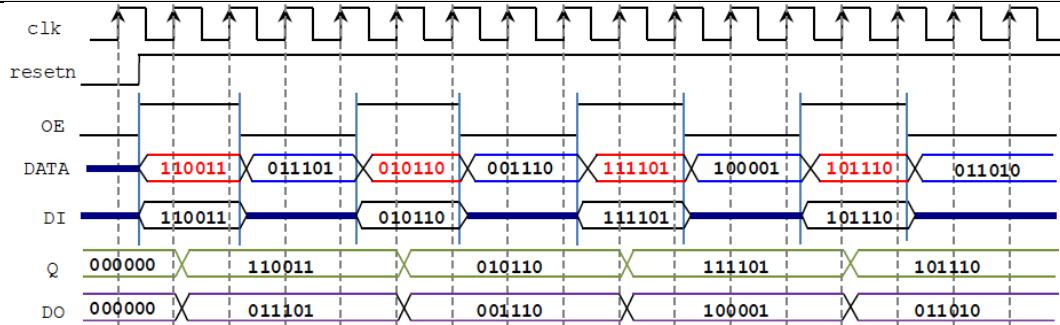
Exercice 4

Considérons le circuit suivant. Complétez le chronogramme (signaux D0, Q et DATA). La LT 6-vers-6 implémente la fonction suivante : $OLUT = [ILUT^{0.85}]$ où ILUT est un nombre non signé. Par exemple

$$ILUT = 35(100011_2) \rightarrow OLUT = [35^{0.85}] = 21(010101_2)$$



Solution



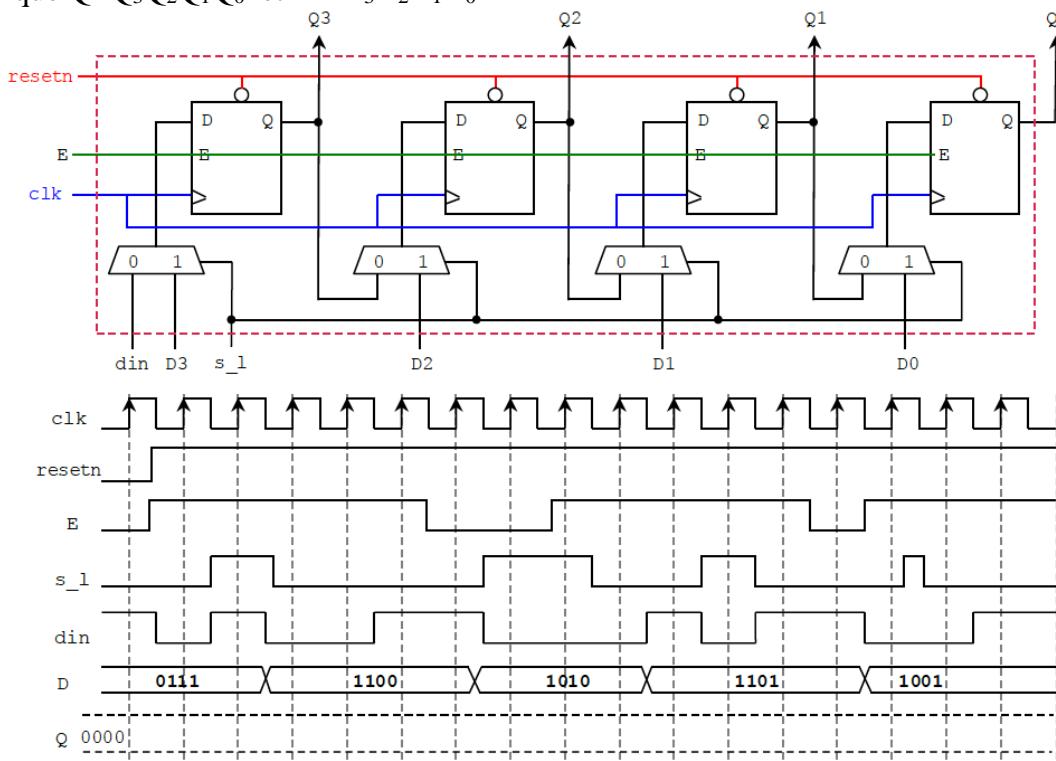
Exercice 5

Complétez le chronogramme du registre à décalage parallèle 4-bit avec signal d'activation.

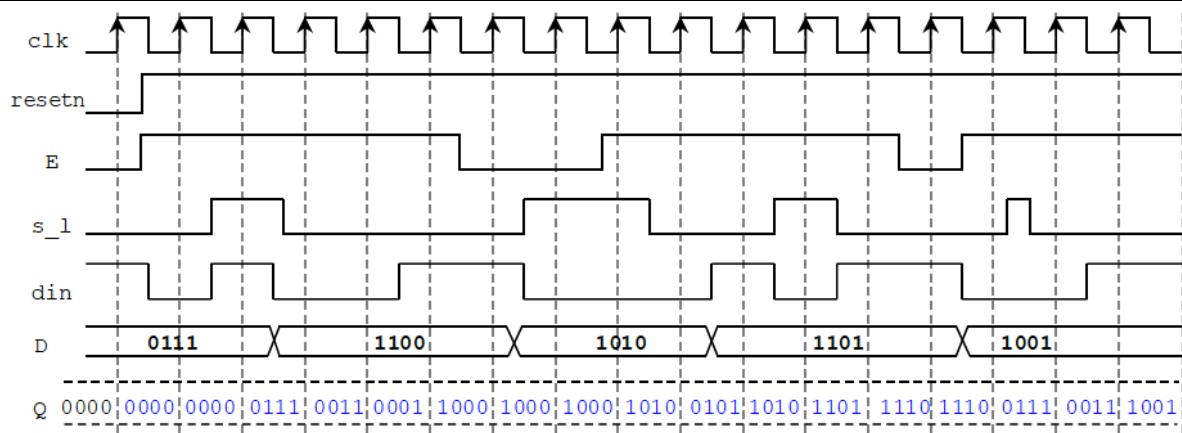
Opérations :

- $S_1=0$: Shift
- $S_1=1$: Chargement en parallèle des valeurs.

Remarquez que $Q=Q_3Q_2Q_1Q_0$ et $D=D_3D_2D_1D_0$

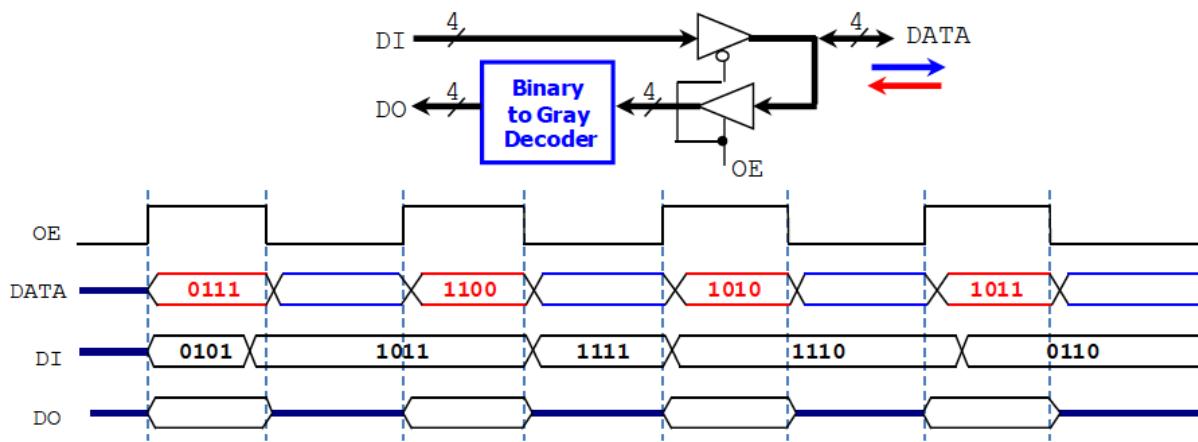


Solution



Exercice 6

Le circuit suivant est composé d'un port sur 4 bit bidirectionnel. Complétez le chronogramme (signaux *D0* et *DATA*). Le décodeur 4 bit binaire vers décimal gère les nombres en entrée comme des nombres non signés.



Solution

