Aufgabe 1:

* 1. Vorgaben

Die Vorgaben für die Aufgabe 1 waren sofort klar ersichtlich und ohne Probleme zu verstehen. Die Richtlinien für die LED Modi machten es etwas schwerer als nur ein durchlaufendes Muster zu haben, jedoch ist uns nach kurzem Nachdenken andere Modi wie einen Bitzähler oder ein Auffüllen der LEDs eingefallen.

* 1. Hardwarebelegung

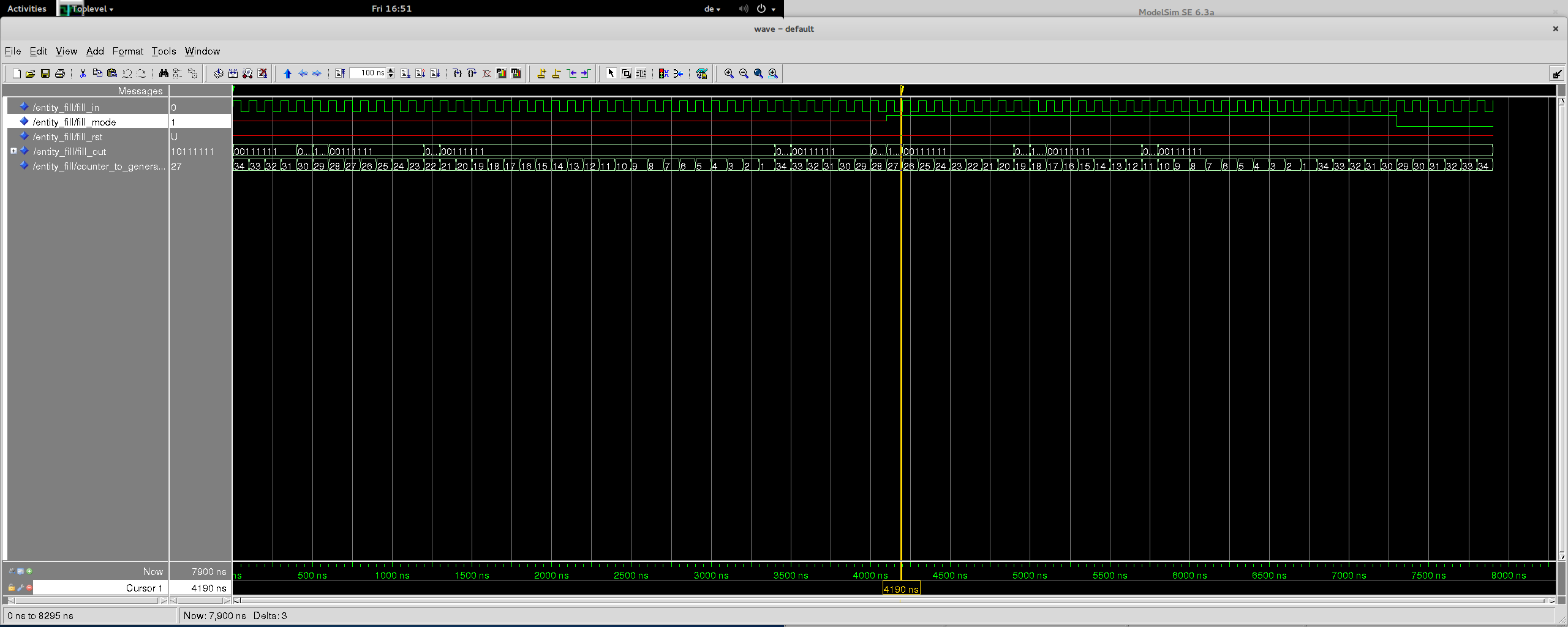
Die Tabelle war selbsterklärend.

* 1. Entwurf

Für den Entwurf haben wir uns zunächst Gedanken über den systematischen Aufbau unserer Architektur gemacht. Dabei wollten wir so modular wie möglich sein. Um das zu erreichen haben wir unser Programm Top-Down aufgebaut. Zunächst kam die Entity welche alle Inputs wie Modus- und Richtungswahl, sowie Geschwindigkeit, Reset und Clock und die LEDs als Output hat. Um die Clock zu verarbeiten kam danach der DCM welcher den Reset und die Clock als Input hat. Den resultierenden Takt haben wir daraufhin weiter verarbeitet um die Geschwindigkeit des Musters festzulegen.

Nachdem wir jetzt den Takt in der richtigen Geschwindigkeit haben geben wir den aktuellen Modus sowie Richtung an unseren Modusmanager weiter, welcher designed ist abhängig vom aktuellen Modus das richtige Muster auszuwählen.

Die Muster selber bekommen mit Hilfe eines Counters und eines selbstgewählten Limits den aktuellen Stand ihres Fortschritts mit. Dabei wird abhängig von der Richtung ein Zähler hoch oder runter gezählt der mit Hilfe einer Formel dann auf LEDs abbildet.

Nach dem Manager kommt noch eine Entity, die von einem std\_logic\_vector auf die LEDs den Output abbildet.

* 1. Implementierung und Simulation

Die Implementierung machten wir Bottom-Up. Nachdem alles soweit fertig war testen wir unseren Code, der zunächst einige Probleme machte, z.B. zwei Buttons event gleichzeitig abfragen (wie auf den Folien erwähnt) oder keine default Werte von signalen gesetzt.

In der Simulation vergaßen wir zunächst die Aufflösung auf ps zu ändern weshalb Modelsim weitere Errors warf.

Einzelne Komponenten waren in Modelsim einfach zu testen, jedoch hatten wir Probleme die ganze Architektur mit der richtigen Frequenz an Clock zum laufen zu bringen.

* 1. Test auf FPGA

Auf der FPGA Karte liefen die Tests soweit sehr erfolgreich wobei uns erst dabei aufgefallen ist die Button abfragen bereits in unserer Toplevel entity zu machen, da die darauffolgenden die downsampled clock bekommen und die abfrage dann nicht oft genug stattfindet.

Aufgabe 2:

Aufgabe 3:

|  |  |  |
| --- | --- | --- |
|  | FPGA | CPLD |
| Name | Field programmable gate array | Complex programmable logic device |
| Hersteller | Altera, Xilinx, Lattice Semiconductor, Actel, SiliconBlue | Altera, Xilinx, Lattice Semiconductor, Cypress Semiconductor, Atmel |
| Architektur | ../../../Downloads/main-qimg-8cb08a7d8f9d900e444947330c768942.gif | ../../../Downloads/main-qimg-6921e8de2eeb870aebd83a2a5e9a59cc.gif |
| Einsatz | Sehr breiter einsatzbereich, z.B. random logic, device controllers, communication encoding und filtering  Meist für größere und komplexere Designs | Kleine design die sofort einsatzbereit sein sollen, bei sehr niedrigem Energieverbrauch |
| Unterschied der Technologien | Basierend auf Lookuptables,  höhere Komplexität mit bis 150 000 flip flops, niedriger energieverbrauch im idle Zustand, bitstream muss nach neuer Stromzufuhr neugeladen werden | Benutzt Sea-of-Gates für Logik,  leicht verständliche AND-OR Struktur, single chip lösung, kann nach Programmierung das design locken und muss demnach nicht nach Stromverlust neugeladen werden, geringere Komplexität < 500 flip flops, sehr niedriger energieverbrauch im idle Zustand |
| Programmiersprachen | VHDL | VHDL |
| Einsatz bei Stückzahl |  |  |