

数字集成电路设计指北

©USTC-荼糜花开™

2023春季学期

Chapter One
Chapter Two
Chapter Three
Chapter Four
Chapter Five
Chapter Six
Chapter Seven

H2 Chapter One

1. 自顶向下的设计层次是：系统——模块——逻辑——电路——器件，也可以简述为系统——硬件——底层
2. IP：智权，也称知识产权
 1. 分类：硬核、软核、固核
 2. 特点：
 1. 由专家完成，并通过授权的技术，转移应用到的SOC中
 2. 可复用
3. 系统芯片典型构成：
 1. 微处理器或微控制器
 2. 内存
 3. 时钟：由振荡器和锁相电路构成
 4. 外设：由计数器、计时器、电源电路构成
 5. 串口
 6. ADC/DAC
 7. 稳压和电压调理电路
4. 数字电路性能评价
 1. 翻转响应时间 t_{pLH} , t_{pHL} ：输入和输出波形达到50%翻转点之间的时间

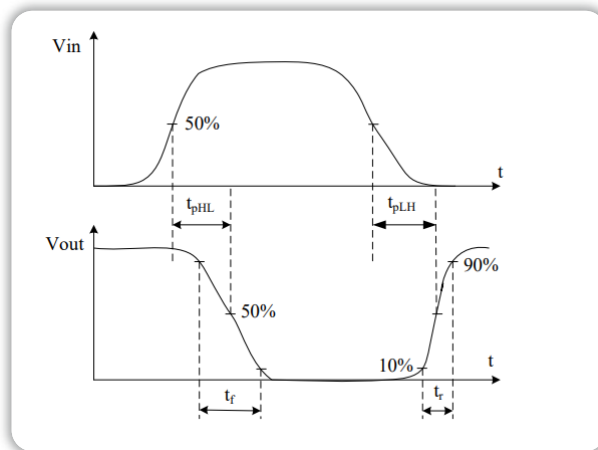
- t_{pLH} : 门的输出信号由低到高翻转的响应时间
- t_{pHL} : 门的输出信号由高到低翻转的响应时间

2. 传播时延 t_p : 逻辑门对输入信号变化的响应

$$t_p = \frac{t_{pLH} + t_{pHL}}{2} \quad (1)$$

5. 上升下降时间 t_r, t_f : 波形从10%变化到90%的时间

- 上升时间 t_r
- 下降时间 t_f



H2 Chapter Two

1. 特征尺寸缩小: 目的是**提高速度、降低功耗、降低成本**

2. 电路优值 (PDP): 功耗—延时积

3. 器件尺寸缩小的方法:

1. **恒场律 (CE律)**: 理想模型, 该模型下尺寸和电压同比例缩小

1. 方法特点:

- 器件尺寸 (W 、 L 、 t_{ox}) 同比例 $\div K$
- 器件电源电压 $\div K$
- 沉底浓度 $\times K$

2. **重点效果**:

- 源漏耗尽宽度 $\div K$
- 阈值电压 $\div K$
- 器件工作电流 $\div K$
- 电路延迟时间 $\div K$
- 功耗 $\div K^2$
- 电容电感 $\div K$

- 电阻不变

3. 结论点：

1. 集成密度提高 K^2 倍
2. 电路优值减小 K^3 倍
3. 不能改善功率密度、电流密度提高 K 倍、小阈值电压使抗干扰性变差

2. 恒压律（CV律）：保持电源电压 V_{DD} 不变

1. 方法特点

- 器件尺寸 $\div K$
- 衬底浓度 $\times K^2$

2. 重点效果

- 源漏耗尽层宽度 $\div K$
- 阈值电压不变
- 工作电流 $\times K$
- 电路延时 $\div K^2$
- 功耗 $\times K$
- 电容电感 $\div K$
- 电阻 $\div K$

3. 结论点：

1. 集成密度提高 K^2 倍
2. 电路优值减小 K 倍
3. 电流密度提高 K^3 、功率密度提高 K^3 、功耗提高 K 、沟道内电场强度增大 K 、衬底浓度扩大将增大寄生电容降低器件速率

4. 互连线的尺寸缩小方法

1. 理想尺寸缩小

局部互连线缩放 $S > 1$ ，全局互连线缩放 $S_C < 1$ （宽度 W 、厚度 H 、长度 L 、节距 t ）

参量	局部互连	全局互连
W, H, t	$\frac{1}{S}$	$\frac{1}{S}$
L	$\frac{1}{S}$	$\frac{1}{S_C}$
C	$\frac{1}{S}$	$\frac{1}{S_C}$
R	S	$\frac{S^2}{S_C}$

理想尺寸缩小的问题：

- 导线电阻迅速增加
- 虽然局部互联延时不变，但全局互联延时增加

2. 恒电阻尺寸缩小

局部互连线缩放 $S > 1$ ，全局互连线缩放 $S_C < 1$ ，附加电容增大系数 $\varepsilon_C > 1$

参数	局部互连	全局互连
W, t	$\frac{1}{S}$	$\frac{1}{S}$
H	1	1
L	$\frac{1}{S}$	$\frac{1}{S_C}$
C	$\frac{\varepsilon_C}{S}$	$\frac{\varepsilon_C}{S_C}$
R	1	$\frac{S}{S_C}$

恒电阻尺寸缩小的问题：

- 增加边缘和线间电阻

5. 器件性能和可靠性

1. 性能：与延时有关，提高性能应减小漏源电阻
2. 可靠性：应减少沟道热电子，需要增加串联电阻
3. 可见性能和可靠性是相互制约的

6. 高性能下电源电压降低的问题

1. 保证优化速度和可靠性
2. 优化栅氧及器件掺杂形态
3. 优化光刻允差

7. 低功耗下降低电源电压的问题

1. 降低电源电压保证低功耗
2. 速度不应比高性能情况下差1.5倍及上
3. 可接受的漏电流

8. 用于高性能的互连线技术

1. 采用分层互连线
2. 增加布线通道并缩小除功能块间连线的长度
3. 采用中继器
4. 采用更好的互连材料和工艺

5. 在芯片上提供去耦电容

9. SOI技术（绝缘衬底硅）：是在顶层硅和背衬底间增加一层氧化层埋层

1. 优点

- 实现器件的介质隔离
- 消除门锁效应
- 寄生电容小
- 减弱短沟道效应
- 改善器件性能

SOI特别适用于低压低功耗电路，是深亚微米工艺器件的主流技术

2. 缺点

- 成本高
- 存在浮体效应
- 需要更好的散热

关于浮体效应：

SOI器件根据顶层硅薄膜厚度可以分为**厚膜部分耗尽型器件（PDSOI）**和**薄膜全耗尽型器件（FDSOI）**

与一般的CMOS体硅器件不同，由于硅氧化埋层的存在，顶层硅薄膜相对于衬底是浮空的，因此电势是浮空的，引起浮体效应，并将引发更多的效应

翘曲效应（Kink）

当漏电压过高时，SOIMOS器件的输出特性曲线将出现向上翘的现象

解释如下：当漏电压过高时，沟道电子被强电场加速获得足够的能量，碰撞电离将产生电子空穴对。产生的电子迅速穿过沟道抵达漏区，而空穴则迁移到浮空区域。由于埋氧化层的隔离作用，积累的空穴将形成源-体间的正向偏置使得浮空区点位升高，阈值电压减小，这将带来更大的漏电流

这一现象在部分耗尽器件中很严重，但对于全耗尽型器件，由于硅膜的全耗尽，源-体间势垒很小，这样空穴很容易在源区发生复合而消失，因此作用很弱

寄生浮空晶体管

在SOI器件中，浮空的硅体作为浮空寄生晶体管的基极

反常亚阈值斜率

根据半导体器件物理，亚阈值斜率倒数 S 反映栅压对漏电流的控制能力， S 越小表明栅压对漏电流的控制能力越强

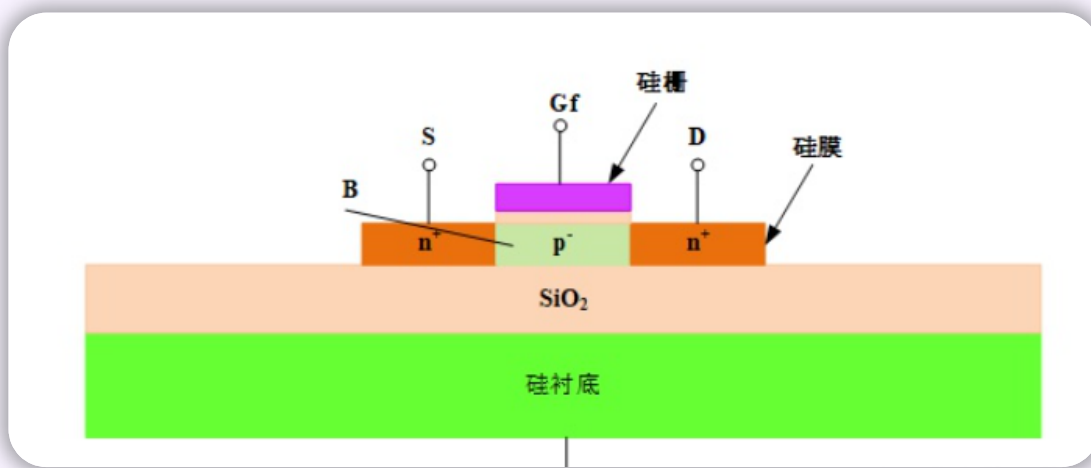
$$S = \frac{dV_G}{d(\lg I_D)} \quad (2)$$

当器件工作在亚阈值区时，如果漏电压够高，尽管漏电流很小，但当栅电压增加时，弱反型电流（漏电流）依然可以在漏端强场区域内产生碰撞电离，从而使器件阈值电压减小，这样 $I_D - V_{GS}$ 特性曲线将向栅压负方向移动，即亚阈值斜率将高于理论值

漏击穿电压降低

由于存在浮空寄生晶体管，根据器件物理的双极型晶体管理论，基极开路时的集电极击穿电压 BV_{CEO} 比基极接地时的击穿电压 BV_{CBO} 低

需要说明的是只有采用短沟道器件并且少子寿命较长的SOI材料时这一现象才明显



H2 Chapter Three

1. MOS器件类型问题：

1. 符号判别：PMOS管栅极有圈圈，NMOS管栅极无圈
2. 类型判别：增强型MOS管在符号图上有衬底端B，耗尽型没有衬底端

2. MOS器件阈值电压（援引半导体器件物理，先趁机复习一手半导体器件物理）

$$V_T = V_{T0} + \gamma(\sqrt{2\phi_{FP} - V_{BS}} - \sqrt{2\phi_{FP}}) \quad (3)$$

$$\gamma = \frac{\sqrt{2q\epsilon_{si}N}}{C_{ox}}$$

$$V_{T0} = \phi_{MS} - \frac{Q_{ox}}{C_{ox}} - \frac{Q_A}{C_{ox}} + 2\phi_{FB} \quad (4)$$

1. ϕ_{FB} ：衬底费米势，反应体内本征费米能级和费米能级的差异

$$\phi_{FB} = \begin{cases} \phi_{FP} = \frac{kT}{q} \ln \frac{N_A}{n_i}, (NMOS) \\ \phi_{FN} = -\frac{kT}{q} \ln \frac{N_D}{n_i}, (PMOS) \end{cases} \quad (5)$$

2. $\phi_{MS} - \frac{Q_{ox}}{C_{ox}}$ ：平带电压，源于实际MOS结构存在金半功函数差、栅氧化层存在电荷，为恢复平带需要加的栅电压

3. 表面势 ϕ_S ：反应半导体体内与表面处能带弯曲程度

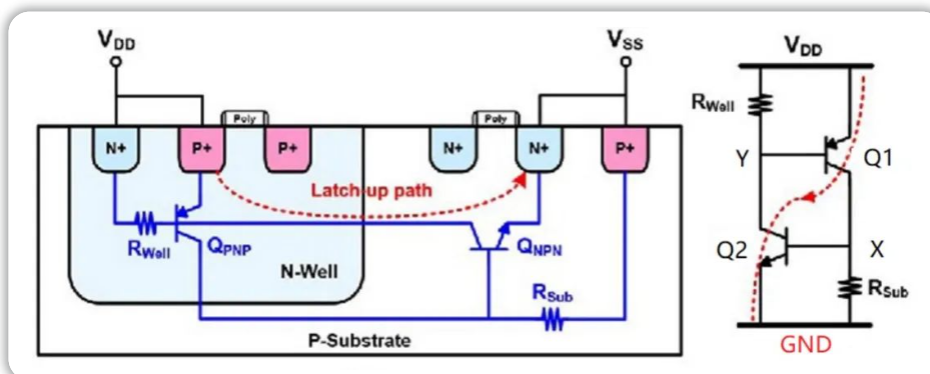
$$\phi_S = -\phi_{MS} + \frac{Q_{ox}}{C_{ox}} \quad (6)$$

表面处于强反型时 $\phi_S = 2\phi_{FB}$

4. Q_A : 耗尽层电荷, 严格地应当半导体侧电荷 Q_S , 是耗尽层与反型层电荷之和, 后者通常被忽略

3. 闩锁效应 (Latch-up)

我们已经知道在实际工艺生产中, NMOS和PMOS都是做在同一块P衬底上, 更具体地, PMOS管制作在P衬底中的N阱中, 如下图所示



基于上面的工艺设计结构, 会在N阱中寄生出PNP管、在P衬底中寄生出NPN管。同时N阱和P衬底均具有电阻, 这将形成正反馈通路: X点处电压升高将使NPN管的集电极电流增大, 这样Y点的电压下降将使得PNP管的集电极电流增大, 如此便进一步增大X点电压。显然如果环路增益模大于一将一直振荡直到晶体管全导通, 此时从电源 V_{DD} 抽取相当大的电流, 此时称改变路被闩锁

4. MOS管二级效益大全 (配合半导体器件物理食用)

1. 短沟道效应

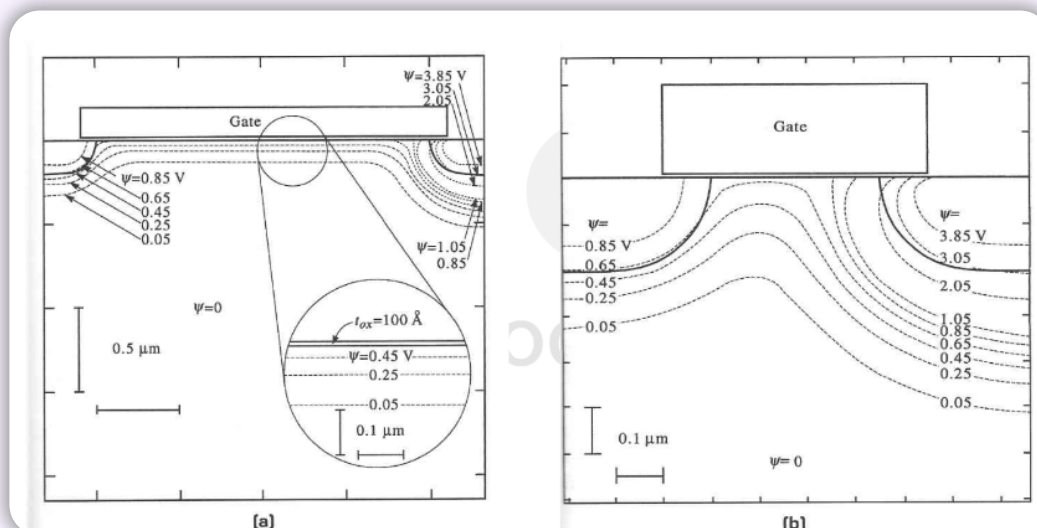
1. 当MOS管沟道长度L缩短到与源漏区结深 x_j 比拟时, 阈值电压将随沟道长度缩短而减小的现象

2. 原因: 源漏区对沟道耗尽区电荷产生影响、体效应系数减小

$$\gamma = \gamma \left[1 - \frac{x_j}{L_{eff}} \left(\sqrt{1 - \frac{2W}{x_j}} - 1 \right) \right] \quad (7)$$

扩展问题一: 电位线分布

1. 从等势线的角度, 长沟道的耗尽区电力线是一维的, 短沟道耗尽区的电位线是二维的



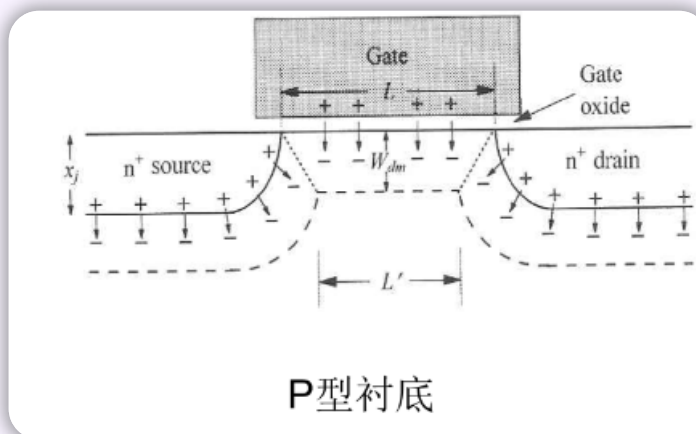
2. 产生这一差异的原因是：长沟道器件源、漏之间距离较远，源、漏耗尽层彼此分离，对栅下电场不产生影响；短沟道器件的源、漏相近，其距离与耗尽区垂直方向宽度可比拟，因此对能带弯曲有影响，也对栅下电场有影响

扩展问题二：共享电荷模型

1. 长沟道下沟道耗尽区电荷完全等同于栅下耗尽区电荷，完全受栅极控制

$$Q_A \propto L \times W_d \quad (8)$$

2. 短沟道下沟道耗尽区电荷由栅耗尽区电荷和源漏耗尽区电荷共同提供，不再只受栅电压调控，栅下电荷正比于梯形面积。由于梯形面积较小，因此阈值电压将减小



2. 窄沟道效益

1. 当MOS管沟道宽度W很小时，阈值电压随沟道宽度减小而增大
2. 原因：使沟道耗尽区电荷增多，阈值电压增量为

$$\delta \frac{\pi \epsilon_{si}}{4 C_{ox} W} |2\phi_{FB} - V_{BS}| \quad (9)$$

3. 迁移率调制效应

回顾：影响迁移率的因素

1. 载流子类型：电子比空穴的移动能力强
2. 掺杂浓度：随掺杂浓度增大迁移率减小
3. 温度：随温度增大而减小

$$\begin{aligned} \mu &= \frac{q}{m^*} \tau \propto \frac{1}{N} \\ \mu &= \frac{q}{m^* P} \propto T^{1.5} \end{aligned} \quad (10)$$

4. 电场：随沟道纵向、横向电场增加而减小

1. 纵向电场影响 (V_{GS})：栅压增大将增强垂直方向电场强度，增强表面声子散射

$$\frac{1}{\mu} = \frac{1}{\mu_0} + \frac{1}{\mu_{Ex}} \quad (11)$$

$$\mu_{Ex} = \frac{K}{V_{GS} - V_T}$$

2. 横向电场影响 (V_{DS})：横向电场增强增大电子能量，从而增强声子散射，同时使反型层中载流子速度趋于饱和而不再正比于横向电场，使迁移率下降。即迁移率在高场强下下降
3. 速度饱和效应：当漏源电压产生的水平电场很强时，载流子速度将趋于饱和

$$v = \begin{cases} \frac{\mu_{eff} E}{\left(1 + \left(\frac{E}{E_c}\right)^n\right)^{\frac{1}{n}}}, n = \begin{cases} 2, NMOS \\ 1, PMOS \end{cases} \\ v_{sat} \end{cases} \quad (12)$$

- 对短沟道器件，小的沟道长度将带来大的横向电场，使得尚未达到源漏饱和电压 V_{Dsat} 时（即沟道尚未出现夹断），由于载流子速度饱和将带来漏电流的饱和，即管子提前进入饱和状态，一般地，短沟道器件中速度饱和先于夹断饱和出现
- 对漏源饱和电压的影响

$$V_{Dsat}' = \frac{(V_{GS} - V_{TH}) E_c L}{V_{GS} - V_{TH} + E_c L} = \begin{cases} V_{GS} - V_{TH} = V_{Dsat}, Longchannel \\ E_c L, Shortchannel \end{cases} \quad (13)$$

- 对饱和漏电流的影响

$$I_{Dsat}' = \mu_n C_{ox} \frac{W}{L} (E_c L)^2 \left[\left[1 + \left(\frac{V_{Dsat}}{E_c L} \right)^2 \right]^{0.5} - 1 \right] \quad (14)$$

$$I_{Dsat}' = \begin{cases} \frac{1}{2} \mu_n C_{ox} \frac{W}{L} V_{Dsat}^2, Longchannel \\ \mu_n C_{ox} W (V_{GS} - V_{TH}) E_c, shortchannel \end{cases} \quad (15)$$

即短沟道下饱和漏电流与 $V_{GS} - V_{TH}$ 呈线性关系，而不再是平方关系

4. 沟道长度调制效应

1. 当源漏电压 V_{DS} 增加，MOS管沟道夹断进入饱和，源漏电压进一步增大，夹断饱和点将向源区移动，使得沟道有效长度减小，漏电流增大

5. 漏源穿通及漏诱导势垒下降 (DIBL)

1. 对于短沟道MOS器件，漏源电压 ($V_{DS} > 0$) 会对源PN结产生影响，将使得源漏之间的势垒高度降低，进而引发电子从源端注入沟道，这将增强漏电流
 - 是因为沟道中电力线可以从漏区穿越到源区，使源端势垒降落，从而使注入沟道的电子数量增加而增大漏电流

2. 漏源穿通 (punch through)

1. 是漏结与源结耗尽区相连通的现象，即沟道穿通。沟道穿通将显著降低源漏势垒，源区向沟道中注入更过载流子，并漂移通过空间电荷区，产生很大的漏电流。在沟道穿通的情况下，即使栅电压低于阈值电压，源漏之间依然存在漏电流，不受栅压控制

6. 器件漏电问题

I_1 : pn 结反向偏置电流

I_2 : 弱反型电流

I_3 : DIBL

(漏极感应势垒降低)

I_4 : GIDL

(栅极感应漏端漏电)

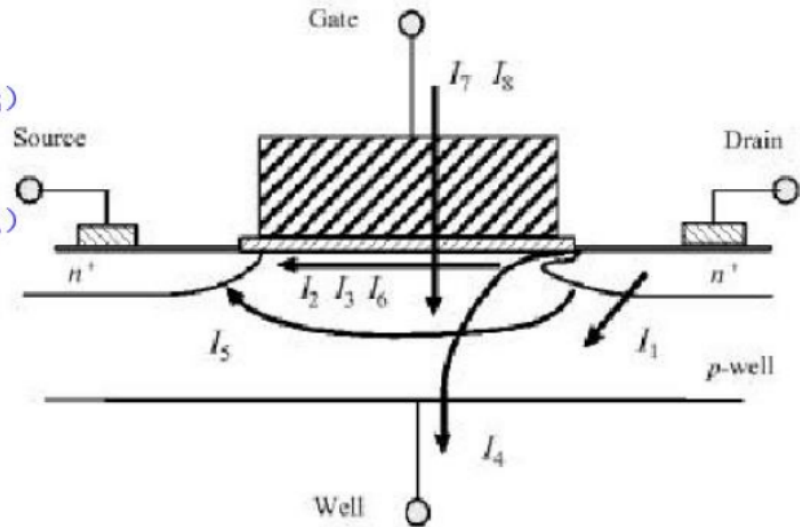
I_5 : Punchthrough

(源漏穿透)

I_6 : 窄宽度效应

I_7 : 栅氧隧穿

I_8 : 热电子注入



7. 热载流子效应

1. 原因:

- 漏端强电场加速产生高能电子（热电子），与晶格碰撞后产生电子-空穴对，形成衬底电流
- 栅极电压产生纵向强电场，电子在纵向强场作用下穿过栅氧层，产生栅电流

2. 效果：带来门锁效应、产生动态漏电、衬底电流带来的噪声、器件特性下降等

3. 方案：LDD，轻掺杂漏，在源漏区与沟道之间加一段电阻率较高的轻掺杂 n^- 区

1. 缓解热载流子效应、提高漏源电压

2. 问题是将减小器件跨导和漏电流

8. 体效应 (BE)

1. 阈值电压与衬底偏压有关

2. 衬底电流感应体效应 (SCBE)：衬底电流在衬底电阻上产生压降，即衬底偏压

5. MOS器件模型问题

- Level1: Shichman-Hodges模型，适用于10微米沟道长度
- Level2: 二维解析模型，适用于6-7微米
- Level3: 半经验短沟道模型，适用于2微米及以上
- Level4: BSIM模型
 - BSIM1: 适用于1微米、氧化层厚度15纳米器件
 - BSIM2: 适用于0.25微米、栅氧化层厚度3.6纳米
 - BSIM3、BSIM4

6. MOS管电阻

1. 沟道等效电阻

- MOS的漏源导通电阻（线性区）

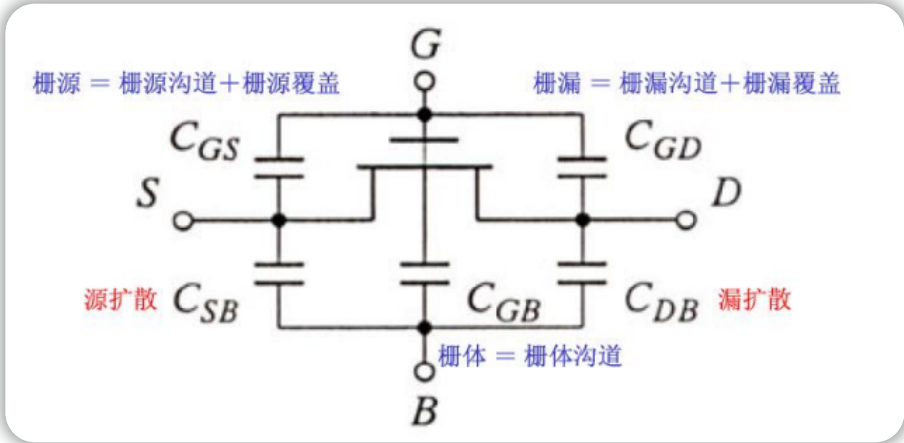
$$R_{on} = \frac{1}{\mu_n C_{ox} (V_{GS} - V_{TH})} \frac{L}{W} \tag{16}$$

- 考虑整个过渡区的等效电阻（宽长比为1）

$$R_{eq} \approx \frac{3}{4} \frac{V_{GS}}{I_{DSAT}} \left(1 - \frac{5}{6} \lambda V_{GS}\right) \tag{17}$$

2. 寄生电阻：栅源电阻、栅漏电阻

7. MOS管电容



1. MOS栅电容：栅沟道电容+栅覆盖电容

- 栅沟道电容（栅氧化层）：非线性电容

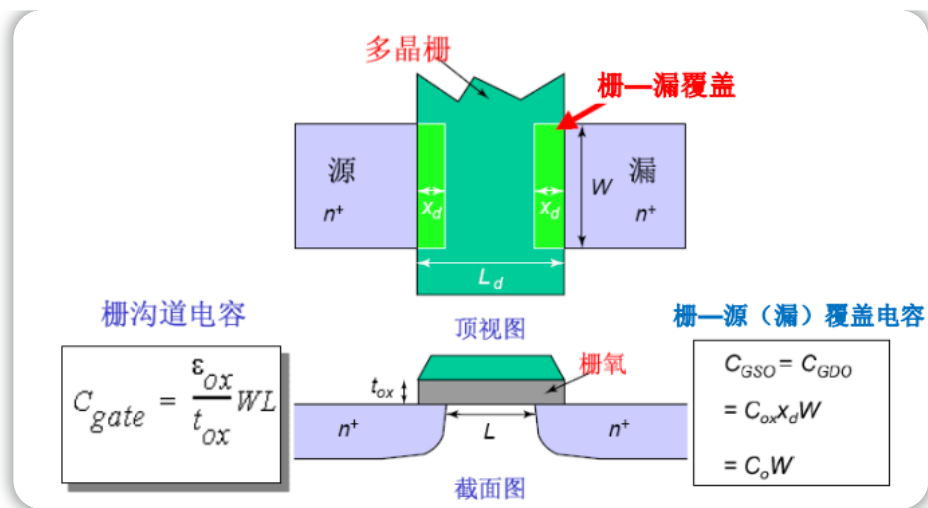
$$C_{gate} = \frac{\epsilon_{ox}}{t_{ox}} WL \tag{18}$$

具体地，栅电容由以下组成

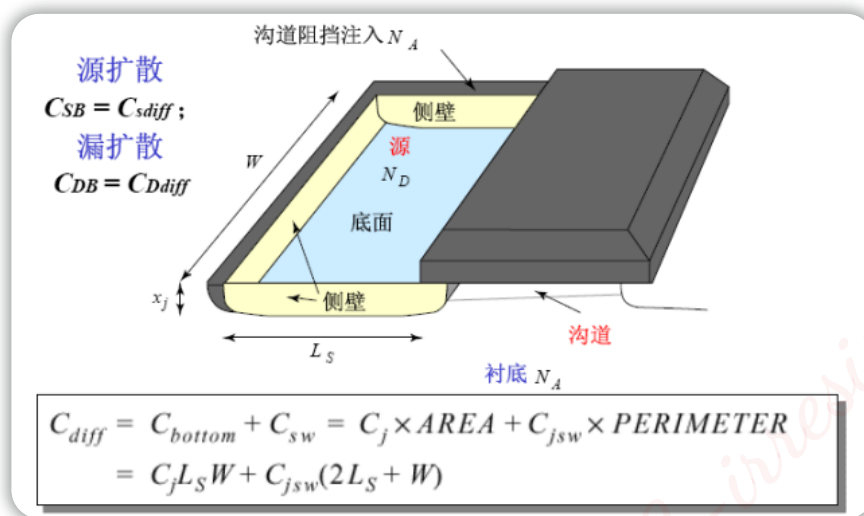
工作区域	C_{gs}	C_{gd}	C_{gb}
截止	0	0	$C_{ox}WL$
线性	$\frac{1}{2}C_{ox}WL$	$\frac{1}{2}C_{ox}WL$	0
饱和	$\frac{2}{3}C_{ox}WL$	0	0

- 栅覆盖电容：线性电容

$$C_{GSO} = C_{GDO} = C_{ox}x_dW = C_oW \tag{19}$$



2. MOS管源漏扩散电容：非线性电容



H2 Chapter Four

1. 现代工艺布线规则

- 宽厚和间距较大的连线布置在高层
- 密集和较薄的连线布置在低层

2. 互连线电容问题

1. 互连线电容由平面电容和边缘电容构成

$$C_{wire} = C_{planar} + 2 * C_{fringe} \quad (20)$$

2. 互连线间存在线间耦合电容

3. 一般会给出单位导线电容表，数值单位为 $\alpha F/\mu m$ ，注意量纲问题

4. 实例：对于长 $L(\mu m)$ 、宽 $W(\mu m)$ 的导线

$$C_{wire} = LWC_{int-planar} + 2 * WLC_{int-fringe} \quad (21)$$

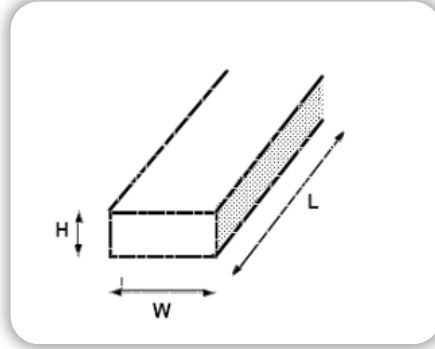
线间耦合电容为

$$C_{line} = WLC_{int-couple} \quad (22)$$

3. 互连线电阻问题

1. 方块电阻（Sheet Resistance）

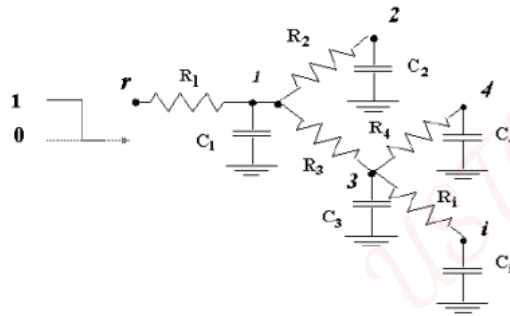
$$R = \rho \frac{L}{HW} = R_{\square} \frac{L}{W} \Rightarrow R_{\square} = \frac{\rho}{H} \quad (23)$$



4. RC延时模型

1. RC集总模型（Lumped）

2. Elmore延时（分布模型）



$$R_{ik} = \sum_{j \in [path(s \rightarrow i) \cap path(s \rightarrow k)]} R_j$$

$$\tau_{Di} = \sum_{k=1}^N C_k R_{ik}$$

1. 树状网络要求

- 单输入节点
- 所有电容都在某个节点与地间
- 不存在电阻回路网络

2. 网状结构算法

从输入结点出发到结点K的延时等于，先前路径结点电阻与其遍历路径和分支路径电容和的乘积

$$\tau_k = \sum_{i=1}^k R_i * \left(\sum_{(i \rightarrow k)_{path}} C_{path} + \sum_{(i \rightarrow k)_{branch}} C_{branch} \right) \quad (24)$$

3. 链式结构算法（无兄弟树结点）

一条长度为L的导线切割为k个等长导线段（R,C）

$$\tau_k = \sum_{i=1}^k R_i * \left(\sum_{(i \rightarrow k) path} C_{path} \right) \frac{R_i \equiv R}{C_{path} \equiv C} \frac{k(k+1)}{2} RC = \frac{k(k+1)}{2} rc \frac{L^2}{k^2} \quad (25)$$

$$\tau_k = \frac{k+1}{2k} RC \rightarrow \lim_{k \rightarrow \infty} = 0.5RC = 0.5rcL^2 \quad (26)$$

3. 总结（重点是第一行的指标）

时间指标	集总	分布
0%-50%	0.69RC	0.38RC
0%-63%	RC	0.5RC
10%-90%	2.2RC	0.9RC

5. 考虑互连线RC延时准则

- 当互连线的RC延时比驱动门延时大时需要考虑互连线的RC延时。一个判别标准是基于互连线的长度：

$$t_{RC} = 0.38rcL^2 \gg t_{gate} \Rightarrow L \gg \sqrt{\frac{t_{gate}}{0.38rc}} \quad (27)$$

- 当输入信号的上升或下降时间（ t_r, t_f ）小于连线的上升或下降RC延时，则需要考虑连线的RC延时

$$[t_r, t_f] < 0.9RC \quad (28)$$

否则可以采用集总参数模型

6. 传输线的电感影响及终端反射系数

1. 电感的影响：随开关频率提高影响甚大

- 带来振荡和过冲效应
- 阻抗失配引发信号反射，出现电感耦合
- 电感压降引起的开关噪声

2. 单位长度导线的电容电感满足关系式：

$$cl = \epsilon\mu \quad (29)$$

3. 传输线的特征阻抗

$$Z_0 = \frac{dq}{dx} = \frac{cdx}{dx} = c \Rightarrow Z_0 = \frac{1}{c} = \frac{1}{\sqrt{\epsilon\mu}} = \sqrt{\frac{l}{c}} \quad (30)$$

$$v = \frac{1}{\sqrt{\epsilon\mu}} = \frac{1}{\sqrt{\epsilon_0\epsilon_r\mu_0\mu_r}} = \frac{1}{\epsilon_r\mu_r} \frac{1}{\sqrt{\epsilon_0\mu_0}} = \frac{1}{\epsilon_r\mu_r} \frac{1}{c} \quad (30)$$

4. 终端反射系数 (R_S 为信号源内阻, V_{in} 为输入电压)

■ 定义式

$$\rho = \frac{V_{destination}}{V_{source}} = \frac{R_S - Z}{R_S + Z} \quad (31)$$

■ 飞行时间: 波从信号一端传播到另一端需要的时间

■ 三种终端情形

传输线上的电压是传输线特征阻抗的分压

$$V_{source} = \frac{Z}{Z + R_S} V_{in} \quad (32)$$

显而易见, $V_{destination}$ 满足

$$V_{destination} = 2V_{source} \left(\sum_{i=0}^k \rho^i \right) = \frac{2V_{source}}{1 - \rho} \Big|_{k \rightarrow \infty} \quad (33)$$

- 信号源阻抗很大 ($R_S > Z$), 此时反射系数为正数
- 信号源阻抗较小 ($R_S < Z$), 此时反射系数为负数
- 信号源阻抗匹配 ($R_S = Z$), 此时反射系数为恒零

7. 估计传输线效应的准则

- 如果互连线总电阻远大于两倍特征阻抗, 则互连线为RC线
- 如果互连线总电阻小于五倍特征阻抗, **应当考虑传输线效应**
- 如果输入信号的上升或下降时间小于传输线信号的飞行时间的2.5倍, **应当考虑传输线效应**
- 如果互连线的总电阻小于特征阻抗的0.5倍, 则传输线可视为无损耗

基于以上准则, 可以得到, 需要考虑传输线效应时互连线的长度范围

$$rL < 5\sqrt{\frac{l}{c}} \quad \& \quad [t_r, t_f] < 2.5\frac{L}{v} = 2.5L\sqrt{cl} \quad (34)$$

8. 趋肤效应

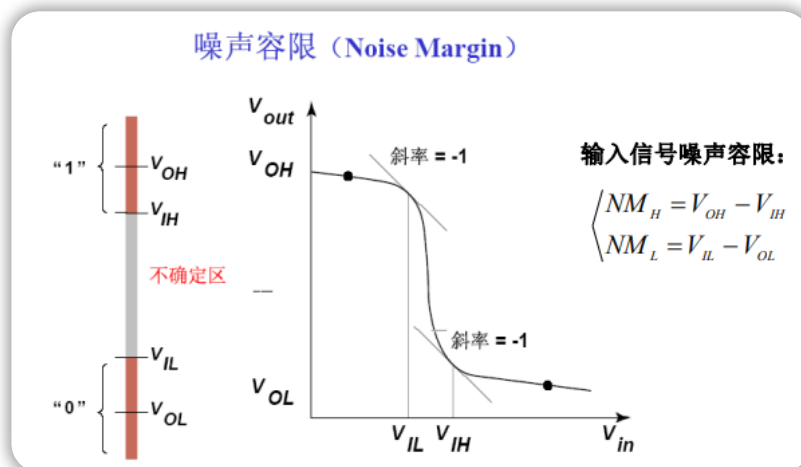
1. 当导体内存在交流电或交变电磁场时, 导体内电流分布不均匀, 越靠近导体表面电流密度越大, 而导体内部电流密度小, **这将使导体电阻增加, 信号衰减, 增大功耗**。此即为趋肤效应
2. 趋肤深度: 将电流下降到额定值 e^{-1} 时的位置定义为趋肤深度

H2 Chapter Five

1. 噪声容限: 逻辑门对噪声的敏感程度, 或者说容许噪声的限度

1. V_{IL}, V_{IH} : 输入低电平、输入高电平

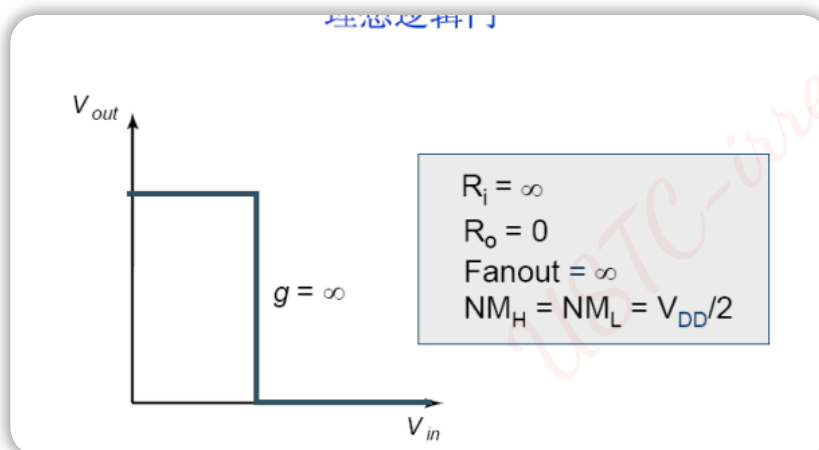
- 输入电压低于 V_{IL} 视为输入逻辑低电平
 - 输入电压高于 V_{IH} 视为输入逻辑高电平
 - 在CMOS反相器的输入输出特性曲线上，将斜率为-1时的输入电压定义为 V_{IL} , V_{IH}
2. 当输入电压处于 V_{IL} , V_{IH} 之间时，逻辑门的输出处于不确定区间，或者说未定义区间



2. 固定和比例噪声源

1. 固定噪声源：这些噪声源来自系统之外，其值与信号电平无关
2. 比例噪声源：来自内部的噪声，其值与信号的摆幅成正比

3. 理想逻辑门（反相器）的传输特性和理想指标



4. 逻辑门的再生特性：能让被干扰的信号恢复到名义逻辑电平

逻辑门具有再生特性的条件是：不确定区间的电压增益大于-1，确定区间的电压增益小于-1

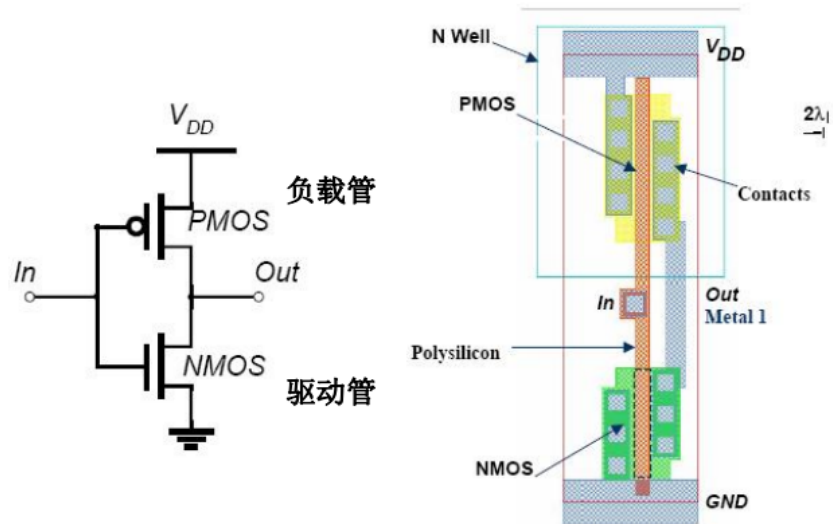
5. 逻辑门的动态性能指标（再述）

1. 上升下降时间 t_r, t_f (10%-90%)
2. 传播时间 t_{pLH}, t_{pHL}, t_p (0-50%)
3. 逻辑门的传播时间与扇入扇出数 (M,N) 有关

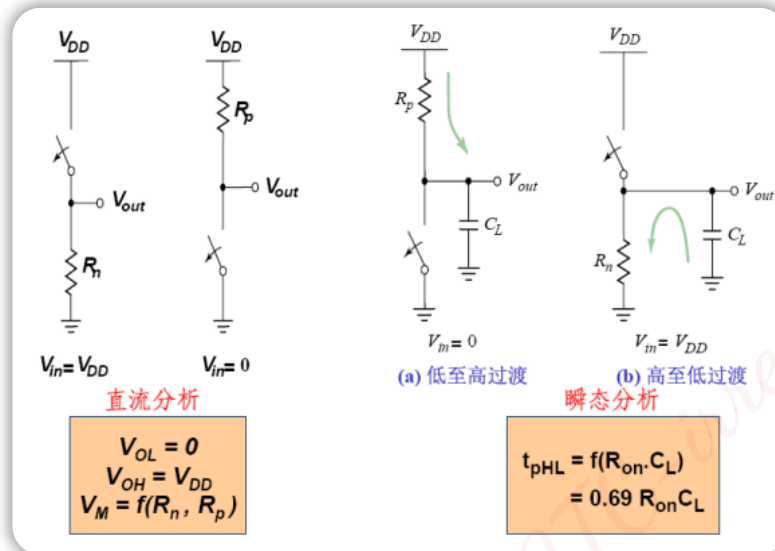
6. CMOS反相器

1. 结构图和版图

CMOS 反相器及其版图



2. 直流和瞬态分析



3. CMOS反相器特点

- 输出摆幅接近电源电压，噪声容限大
- 是无比逻辑，及输出逻辑电平与器件尺寸无关
- 特别地，当反相器的开关阈值电压 V_M 在电压摆幅中点时，高低电平的噪声容限相同，此为最大噪声容限

4. 相对驱动强度

$$r = \frac{k_p V_{Dsatp}}{k_n V_{Dsatn}} = \frac{v_{satp} W_p}{v_{satn} W_n} \quad k = \mu C_{ox} \frac{W}{L} \quad (35)$$

5. 影响传输特性的因素

1. PMOS和NMOS管的宽长比，这将影响开关阈值电压（翻转电压） V_M

1. 工艺上使PMOS的尺寸为NMOS的2倍可以节省面积，并具有弱的二次效应
2. 增加PMOS宽度将使翻转点向 V_{DD} 移动，增加NMOS宽度将使翻转点向地移动

2. 电源电压

1. 适当降低电源电压能够改善增益曲线，并降低内部噪声的影响
2. 过低的电源电压将使增益曲线变差，电源电压应不小于2-4倍热电势
3. 工艺偏差：应尽量使沟道长度较短、宽度较宽、具有薄的栅氧厚度和低的阈值电压
4. 环境因素

7. CMOS反相器的延时

假设前提：

1. PMOS的宽度为NMOS2倍
2. 具有相同的漏源导通电阻 $R_N = R_P = R_{on}$
3. 具有大致相同的上升和下降时间

在单位尺寸晶体管的电阻为 R_{int} 、电容为 C_{int} 、负载电容为 C_L 的前提下：

- 不考虑漏源扩散电容的延时

$$t_{pHL} = 0.69R_N C_L \quad t_{pLH} = 0.68R_P C_L \quad (36)$$

如果下一级负载是相同的反相器，那么

$$C_L = C_P + C_N = 3 \frac{W}{W_{int}} C_{int} \quad (37)$$

一个反相器的延时可以表示为 ($C_{internal}$ 为漏端扩散电容，见上节)

$$t_p = 0.69R_{eq}(C_{internal} + C_{external}) = 0.69R_{eq}C_{int}\left(1 + \frac{C_{ext}}{C_{int}}\right) = t_{p0}\left(1 + \frac{C_{ext}}{C_{int}}\right) \quad (38)$$

t_{p0} 称本征延时，或者说无负载延时。本征延时与门的尺寸无关，仅与工艺和版图有关

8. 反相器的速度优化方法

1. 减小电容
2. 减小导通电阻（输出电阻）——需要加大晶体管尺寸
3. 提高电源电压——以功耗换取延时

反相器链的尺寸问题：

1. 不考虑漏源扩散电容 $C_{internal}$ 时，后级与前级反相器尺寸比 f 为自然指数 e 时延时最小
2. 考虑漏源扩散电容时：认为反相器链的每一级具有相同的等效扇出系数 f ，每一级反相器具有相同的延时

$$F = \frac{C_L}{C_1}, f^N = F \quad (39)$$

N 表示反相器链的级数， C_L 是负载电容， C_1 是第一级反相器输入栅电容，反相器链的总延时为

$$t_p = N * t_{p0} \left(1 + \frac{F^{\frac{1}{N}}}{\gamma}\right) \quad (40)$$

一般地， $\gamma \approx 1$ ，取决于工艺参数

9. 反相器的功耗组成

1. 动态功耗：与驱动器件的点入无关，与电容有关，减小动态功耗需要减小负载电容、电源电压和翻转频率
2. 短路电流功耗：是每次翻转上升和下降时的能量，与翻转活动性成正比，降低电源电压可以减小短路电流
3. 静态功耗（漏电流功耗）：亚阈值电流是漏电流的主要来源，漏电流受温度影响
 - CMOS反相器总功耗表达式

$$P = (C_L V_{DD}^2 + V_{DD} I_{peak} t_s) f_{0 \rightarrow 1} + V_{DD} I_{leak} \quad (41)$$

10. 功耗延时积和能量延时积

- PDP：衡量切换一个门需要的能量

$$PDP = P_{average} t_p = \frac{1}{2} C_L V_{DD}^2 \quad (42)$$

- EDP：对性能和能量的同时衡量

$$EDP = PDP * t_p = \frac{1}{2} C_L V_{DD}^2 * t_p \quad (43)$$

11. 降低功耗的基本准则

1. 降低电源电压
2. 降低开关活动性 $f_{0 \rightarrow 1}$
3. 减少实际电容

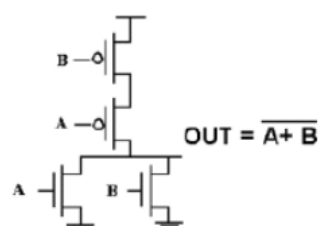
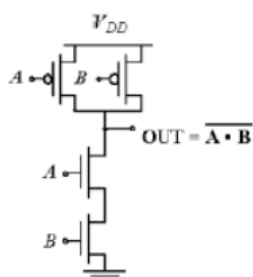
H2 Chapter Six

1. NMOS和PMOS的逻辑规则

1. NMOS管串联相当于逻辑与AND，并联相当于逻辑或OR
2. PMOS管串联相当于或非NOR，并联相当于与非NAND

2. 静态互补CMOS电路基本结构

互补逻辑门是“反相”的：AND = NAND + INV



3. 设计快速复合门的方法

1. 设计技术一：加大晶体管尺寸，越靠近输出端的晶体管尺寸越小
2. 设计技术二：优化晶体管次序

关键信号和关键路径：

1. 关键信号：如果一个门的输入信号在所有输入中最后达到稳定值，则该信号称关键信号
2. 关键路径：决定一个结构最终速度的逻辑路径称为关键路径，让关键路径上的管子靠近输出端可以提高速度

3. 设计技术三：改变逻辑结构：例如将多输入门变为少输入门级联形式
4. 设计技术四：插入缓冲器将扇入扇出隔离—在输出端负载前加两个反相器构成缓冲器隔离
5. 设计技术五：减少电压摆幅—延时线性下降，但下一级门会变慢

4. 互补CMOS特点

- 对偶拓扑结构， n 个输入端的门需要 $2n$ 个管
- 设计快，可综合，可实现所有逻辑功能
- 是无比逻辑
- 从电源到地全摆幅、鲁棒性好、噪声容限大
- 输出阻抗低
- 输入阻抗高
- 不存在静态功耗
- 传播延时与负载电容和管电阻有关
- 延时和扇入扇出数有关
- NAND|NOR门快、MUX|XOR门慢

5. 不同层次的优化

优化性能

不同层次的优化/选择：

1、选择工艺

CMOS、双极型、BiCMOS、GaAs、超导

2、逻辑级优化

逻辑深度、电路拓扑、扇出、门的复杂性

3、电路优化

逻辑类型、晶体管尺寸

4、物理级优化

实现选择、版图策略

5、布（连）线是关键

6. 逻辑门模拟RCL电路的不同模型

1. 仅器件电阻（直流）
2. 器件电阻和电容（低频）
3. 器件电阻、器件电容、布线电容（中频）
4. 器件电阻和电容、布线电阻和电容（高频）
5. 器件电阻和电容、布线电阻和电容、布线电感（最高频率）

7. 逻辑努力g

1. 一些概念

1. 逻辑努力g定义为：对于给定的负载，一个门的输入电容和它具有相同输出电流的反相器的输入电容的比。**逻辑努力与门的类型有关，但与尺寸无关**
 2. 本征延时p：**本征延时与门的类型有关，与尺寸无关**
 3. 等效扇出f：亦称电气努力，是负载电容和栅输入电容的比值
 4. **反相器在所有静态CMOS门中具有最小的g和p**（因为相对其归一化）
2. 为了使得延时方程形式一般化到任何逻辑路径，引入逻辑努力的方法，并将所有时间归一化至反相器的本征延时

$$\text{Inverter} : t_p = 0.69R_{eq}(C_{int} + C_L) = 0.69R_{eq}C_{int}\left(1 + \frac{C_L}{C_{int}}\right) = t_{p0}\left(1 + \frac{f}{\gamma}\right) \quad (44)$$

$$\text{Delay} = \sum_{i=1}^N \left(p_i + \frac{g_i f_i}{\gamma}\right) \quad (45)$$

8. 逻辑门延时d的组成

$$d = p + h = p + gf \quad (46)$$

9. 逻辑努力的计算方法：设PMOS的尺寸是NMOS的r倍

- 反相器的输入（栅）电容

$$C_{inv} = C_{gn} + C_{gp} = (1 + r)C_{gn} \quad (47)$$

- N输入与非门

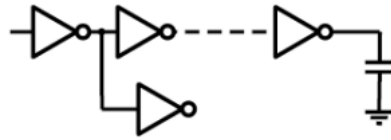
$$\begin{aligned} C_{NANDN} &= (n + r)C_{gn} \\ g_{NAND} &= \frac{C_{NANDN}}{C_{inv}} = \frac{n + r}{1 + r} \end{aligned} \quad (48)$$

- N输入或非门

$$g_{NOR} = \frac{1 + nr}{1 + r} \quad (49)$$

10. 分支努力b

分支努力:
$$b = \frac{C_{on-path} + C_{off-path}}{C_{on-path}}$$



Con-path: 沿正在分析的路径上的负载电容

Coff-path: 离开这条路径的连线上的电容

11. 多级电路的努力和延时

多级电路

$$Delay = \sum_{i=1}^N (p_i + g_i \cdot f_i)$$

第 i 级的努力: $h_i = g_i f_i$

路径的电气努力: $F = C_{out}/C_{in}$

路径的逻辑努力: $G = g_1 g_2 \dots g_N$

分支努力: $B = b_1 b_2 \dots b_N$

路径努力: $H = GFB$

路径延时: $D = \sum d_i = \sum p_i + \sum h_i$

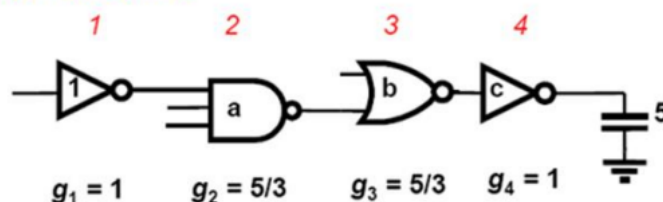
12. 尺寸优化方法

利用逻辑努力确定速度最优时尺寸的步骤

- 计算路径的努力: $H = GBF$
- 求最优级数 $N \sim \log_4 H$
- 计算一级的努力 $h = H^{1/N}$
- 画出具有这一级数 (N) 的路径的草图
- 从任意一边开始, 求出各级的尺寸:

$$C_{in} = C_{out} * g/h$$

举例：优化路径



等效扇出: $F = C_L / C_{g1} = 5$

路径逻辑努力: $G = 1 \times 5/3 \times 5/3 \times 1 = 25/9$

路径分支努力: $B = 1$ (无分支)

总路径努力: $H = GFB = 125/9$, 于是最优的每个门的努力 $h = \sqrt[4]{H} = 1.9$

根据门的类型, 扇出系数: $f_1 = 1.93, f_2 = 1.93 \times 3/5 = 1.16, f_3 = 1.16, f_4 = 1.93$

门的尺寸: $a = f_1 g_1 / g_2 = 1.16, b = f_1 f_2 g_1 / g_3 = 1.34, c = f_1 f_2 f_3 g_1 / g_4 = 2.60$

13. 有比逻辑：输出逻辑电平与尺寸有关

14. 伪NMOS电路的基本特点

1. PMOS作为负载，其栅极接地
2. n个输入端的伪NMOS电路具有n+1个管
3. $\frac{k_n}{k_p}$ 的比例影响传输特性的形状和反相器的输出低电平 V_{OL} 的数值
4. 驱动管导通时存在恒定的电流，具有静态功耗
5. 驱动管和负载管均不导通时，输出电压与管子的次开启特性有关
6. 噪声容限差

15. 改善伪NMOS特性的方法

1. 使用可变负载
2. 使用差分逻辑

H2 Chapter Seven

1. 常用的算法结构

1. 顺序算法结构（穿行）：同一时间只进行一种或一组相关的子运算
2. 并行算法结构：同一时间内有多条路径同时运算，子运算间的操作是独立的
3. 流水线操作算法结构：
 1. 流水线操作中的运算必须为连续任务
 2. 一个运算倍分解为数个有联系的子运算，子运算由专门功能部件实现
 3. 每一功能部件后面都有一个缓冲寄存器
 4. 流水线中各段时间应大致相等，以避免堵塞或断流
 5. 需要由装入和排空时间，只有当流水线完全充满时效率才最高