**中国科学技术大学软件学院**

**软件工程实验项目环节**

**结题报告**

**项 目 名 称： 国产嵌入式虚拟机**

**成 员 名 单： 洪思齐、宋凯、章达、叶玉霖**

**导 师： 吴俊敏**

**工 程 领 域： 申威众核处理器的协程研究**

**研 究 方 向： 协程、数据通信**

**开 题 时 间： 2019年10月10日**

**中国科学技术大学软件学院**

**填表日期： 2020 年 07 月03日**

小组成员贡献比：

|  |  |
| --- | --- |
| *小组成员* | *贡献率* |
| 洪思齐 | 25% |
| 宋凯 | 25% |
| 章达 | 25% |
| 叶玉霖 | 25% |

# 小组每个成员都认真参与了工程实践，很难分出贡献比谁多谁少，所以我们组平均分配了贡献比。

# 一、 **简况**

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **名称** | **中文** | **国产嵌入式虚拟机**  **——基于申威众核处理器的协程切换及通信** | | | |
| **英文** |  | | | |
| **项目组成员名单** | **姓名** | | **学号** | 项目中的分工 | 签 章 |
| **洪思齐** | |  | **从核上的协程切换** |  |
| **宋凯** | |  | **协程通道通信** |  |
| **章达** | |  | **从核寄存器通信** |  |
| **叶玉霖** | |  | **测试** |  |
| **中 英 文 摘 要** | 为了提高申威26010众核处理器的并发能力，让申威平台使用更加便利，本研究利用协程的设计思想，在申威26010众核处理器上设计并实现出一套协程调度系统。综上所述，本研究的主要工作如下：  1.在申威26010众核处理器的从核上设计出协程任务的阻塞与切换功能。本研究采用共享栈的思想，并在每个从核上预先开辟一段空间作为协程的共享栈空间。在协程切出与切入时，通过DMA传输方式将数据传输到主存保存或将数据传输回来。同时使用申威26010处理器相应的汇编指令在汇编层面完成寄存器状态的保存与切换，从而完成在申威26010处理器从核上协程任务的切换的功能。  2. 申威众核处理器上协程间通道通信的设计与实现，本研究在申威众核处理器上设计并实现了适用于协程间通信。研究设计了便于使用的通道通信的接口，基于循环缓冲区的数据结构进行消息数据的发送与读取，并基于从核上支持的不同的原子操作设计了通道的并行同步机制。 | | | | |
| **主题词** | **主题词数量不多于三个，主题词之间空一格（英文用“/ ”分隔）** | | | | |
| **中文** | 执行程序；数据通信 | | | |
| **英文** | Executor/Data Communication | | | |

|  |
| --- |
| 二、选题依据 **2.1**选题背景  超级计算机是一个国家体现科技发展水平的重要表现，对于高性能计算领域的研究具有重要的意义。我国的神威·太湖之光超算系统更是连续几年夺得超算排行榜Top 500第一的位置。但是回顾过去由于我国在超算领域起步较晚，在超算的发展道路上处处受到别国的掣肘，近年来美国更是对中国禁售高性能芯片。超级计算机是一个国家体现科技发展水平的重要表现，对于高性能计算领域的研究具有重要的意义。我国的神威·太湖之光超算系统更是连续几年夺得超算排行榜Top 500第一的位置。但是回顾过去由于我国在超算领域起步较晚，在超算的发展道路上处处受到别国的掣肘，近年来美国更是对中国禁售高性能芯片。随着近年来互联网的高速发展，如何提升系统的并发能力变得越来越重要。长久以来，由我国自主研发的申威26010众核处理器在高性能计算领域发挥着重要作用。但是由于其独特的硬件设计，增加了平台开发难度。 2.2工程设计的价值和意义 本研究选择结合协程的设计思想，基于申威众核平台，设计并实现一套协程调度系统。该协程调度系统位于申威底层API接口与上层用户程序之间，为开发用户提供更便利的接口，对申威底层的硬件逻辑进行覆盖，用户只需要在程序中使用这个调度系统提供的接口进行计算，而不需要深入的去了解申威的底层逻辑。围绕着推广国产处理器更广泛的应用领域，以及结合协程在高并发领域的成熟的应用。本研究设计并实现的协程调度系统在实际中是非常有意义的，可以让申威处理器在人工智能与云计算等近年来热门领域得到更广泛的应用。 |
| 2.3主要参考文献 [1] 陈德训,刘鑫.神威•太湖之光并行程序设计与优化[M].国家超级计算无锡中心.2017.  [2] 姚文军, 陈俊仕, 苏志超, 等. 基于神威太湖之光的NAMD软件的移植与优化[J]. 计算机工程与科学, 2017(6).  [3] 余洋. 面向申威众核架构的GROMACS并行实现与性能优化[D]. 合肥.中国科学技术大学.2018.  [4] Fu, Haohuan, Liao, Junfeng, Yang, Jinzhe, et al. The Sunway TaihuLight supercomputer: system and applications[J]. Science China Information Sciences, 2016, 59(7).  [5] 刘书健. 基于协程的高并发的分析与研究[D].昆明理工大学,2016.  [6] Chen B, Fu H, Wei Y, et al. Simulating the Wenchuan earthquake with accurate surface topography on Sunway TaihuLight[C]//SC18: International Conference for High Performance Computing, Networking, Storage and Analysis. IEEE, 2018: 517-528.  [7] Li B, Li B, Qian D. PFSI. sw: A programming framework for sea ice model algorithms based on Sunway many-core processor[C]//2017 IEEE 28th International Conference on Application-specific Systems, Architectures and Processors (ASAP). IEEE, 2017: 119-126.  [8] Fu H, Liao J, Xue W, et al. Refactoring and optimizing the community atmosphere model (CAM) on the sunway taihulight supercomputer[C]//SC'16: Proceedings of the International Conference for High Performance Computing, Networking, Storage and Analysis. IEEE, 2016: 969-980. |

|  |
| --- |
| 三、课题内容及具体方案 3.1课题内容  在已有申威处理器协程研究的基础上，本研究设计的执行程序目标是运行任务队列，切换协程任务，为了实现上下文切换，需要有相应的上下文保存与恢复机制。为了匹配协程之间的高并行性，需要实现协程之间的互相通信，并对从核之间的互相通信进行优化设计。主要工作分为三个部分：（1）从核上协程的通道方式通信的设计与实现；（2）通道方式通信的测试与分析；（3）从核阵列上高效通信的设计 3.2系统需求分析 （1）传统的操作系统上的调度算法涉及到用户态与内核态的切换，且比较复杂，进程或者线程的任务状态与阻塞条件较多，不适合直接应用在申威众核处理器中。本研究需要设计运行在从核上的执行程序，运行协程任务队列，切换协程任务。  （2）为了实现协程之间的高效并发性，需要实现协程之间的相互通信。目前协程通信多使用的是通道方式，本项目需要研究申威处理器的众核结构，找到更加高效的通信方式。 四、系统设计 4.1执行程序设计  4.1.1执行程序概要设计  传统的操作系统上的调度算法涉及到用户态与内核态的切换，且比较复杂，进程或者线程的任务状态与阻塞条件较多，不适合直接应用在申威众核处理器中。申威众核处理器的从核是整个申威众核处理器的计算核心单元，从核仅能运行在用户模式下，并且不支持中断，单个从核上仅能运行单个线程。本研究设计的执行程序只需要运行任务队列，切换协程任务。每个协程任务都是一个计算任务，大量的计算任务需要从核的算力，所以将执行程序设计运行在从核上。  执行器在初始化并加载到从核上之后，就会一直等待执行自己所管理的协程任务队列中的协程任务。每当执行一个协程任务时，执行器就会根据协程任务中函数地址去执行它。协程的阻塞与切换、上下文的保存与恢复、协程资源的回收均由执行器完成。当每个从核上的执行器的可运行任务队列和等待任务队列中均无可执行或者挂起的协程任务，并且调度器也无任何新创建协程任务时，执行器会收到来自调度器的停止信号，停止自身运行，并回收相关资源。  **图1.1 执行程序所含模块**  每个从核上都运行着一个执行程序，每个执行器都管理着自己的两个协程任务队列：可运行任务队列（runnableQueue）与等待任务队列（waitQueue），新创建的任务和被唤醒的任务都会加入到可运行任务队列中等待被执行。阻塞等待任务队列中存放的是阻塞状态的协程任务。执行程序包含有协程任务切出与协程任务切入两个模块，如图1.1、图1.2所示。  任务切出接口是在任务函数内被调用的，当协程任务未获取到需要的数据，则主动调用执行程序的任务切出接口。调用接口之后自身的执行状态被中断，上下文状态和参数等信息被保存在开辟的共享栈中，传递到主存中存储。寄存器状态通过数组保存。之后执行程序将被阻塞的协程任务从可运行任务队列中取出，放入到等待任务队列的队尾中。然后继续执行可运行任务队列中下一个协程任务。    **图1.2 协程任务切出与切入过程**  任务切入接口是执行程序调用的，执行程序在每一次执行完可运行任务队列中的协程任务时，都会询问一下数据是否到来。到数据到来时，执行程序将之前被阻塞的协程任务唤醒，唤醒的过程是将其从等待任务队列中取出，放入到可运行任务队列。当执行到该协程任务时，直接调用任务切入接口，从主存读取上下文信息，从开辟的数组中读取寄存器状态，恢复协程任务的上下文，让协程从被阻塞的地方继续运行。  4.1.2　执行程序详细设计  1)协程任务相关接口函数  执行程序数据结构在调度系统开始运行时就调用sc\_pr\_init函数初始化，并通过申威提供的athread\_spawn接口加载执行程序（swgo\_pr\_start）到从核上执行。  执行程序运行流程图如下图所示。执行程序主要功能就是管理两个任务队列上的协程，与协程运行相关的函数有三个，第一个是协程执行函数co\_resume，第二个是协程任务切出函数co\_swao\_out，第三个协程任务切入函数co\_swap\_in。  co\_resume声明为  **void** co\_resume(coctx\_t\* ctx1,coctx\_t\* ctx2,coctx\_t\* ctx3,**char**\* sp,coctx\_param\_t\* params);  其中ctx1与ctx3是与协程上下文和执行程序上下文相关的结构体，ctx2为中间暂存变量，sp为中间缓冲栈，params为参数列表。在系统中调用情况如下。  1.co\_resume(swco->coctx,&bctx\_base,&bctx\_temp,sp,para);  执行程序通过co\_resume函数执行协程任务。第一个参数swco->coctx为当前协程的上下文结构体，第二个参数bctx\_base为当前执行程序自身的上下文，第三个参数bctx\_temp作为中间缓冲的上下文，sp为协程栈空间，para为参数列表。由于从核上只能运行单线程，同一时间只能执行一个代码文件，所以在进入到协程任务执行前，需要将执行程序自身的上下文和寄存器内容存储起来，再去执行协程任务。当协程执行完毕或者由于阻塞切出时，再跳转到执行程序。  co\_swap\_out声明为  **void** co\_swap\_out(coctx\_t\* ctx1,coctx\_t\* ctx2,coctx\_t\* ctx3,**char**\* sp);  co\_swap\_in声明为  **void** co\_swap\_in(coctx\_t\* ctx1,coctx\_t\* ctx2,coctx\_t\* ctx3,**char**\* sp);  其中co\_swap\_out中ctx2与ctx3是与切入切出有关的协程上下文结构体，ctx1作为中间缓冲的上下文结构体，sp作为中间缓冲栈。co\_swap\_in中ctx1与ctx2是与上下文切入有关的上下文结构体，ctx3为中间缓冲的上下文结构体，sp也是作为中间缓冲栈。在系统中调用情况如下。  1.co\_swap\_out(&bctx\_temp,swco->coctx,&bctx\_base,sp);  2.co\_swap\_in(&bctx\_base,swco->coctx,&bctx\_temp,sp);  本研究中在协程结构体内嵌套了上下文结构体，用以保存协程执行过程中的数据，并在申威众核处理器下使用其指令调用其寄存器用于保存参数和恢复（运行栈，返回地址，寄存器状态）。如图1.3所示。    **图1.3 两个协程任务模块作用**  协程间的依赖关系需要用户自己明确，当协程任务获取所需数据无法得到时，将自身状态变为wait（阻塞），之后主动调用co\_swap\_out接口，我们为了保证协程任务被唤醒时能继续执行，需要正确保存并恢复其运行时的上下文。协程上下文的保存与恢复主要是运行栈与寄存器状态的保存与恢复。由于从核的私有存储（LDM）的大小极小，只有64kb，无法支撑大量协程的协程栈的保存。所以，我们采用了共享栈的思想，在每个从核上预先开辟一段空间作为协程的共享栈空间。执行程序自身的上下文全部存放在从核局存中，这是与协程上下文保存与恢复所不同的地方。如图1.4所示。    **图1.4 共享栈设计思路**  在协程阻塞时，将共享栈空间的内容用DMA传输的方式传输到处理器的主内存进行存储，对于寄存器状态的保存，我们根据处理器寄存器的数目开辟相应的数组进行寄存器状态的保存。然后执行程序才进行相应的队列操作。接口函数内的处理流程如下所示。   1. co\_swap\_out.c //切出函数 2. asm **volatile**    //C语言中内嵌汇编 3. //使用申威平台的store指令(stl)将当前程序（任务函数）寄存器的值 4. //存入到相关地址（主存）的寄存器数组中 5. stl 寄存器,寄存器数组 6. //使用申威平台的athread调用，通过DMA方式 7. //将当前程序（任务函数协程）栈信息存入到主存中保存 8. athread\_put  运行栈,地址空间 9. //将执行程序运行栈从从核局存中读取回来（直接读取） 10. asm **volatile** 11. //使用申威平台的load指令(ldl) 12. //将之前保存的执行程序寄存器数组的值读取回来 13. //返回到原来执行程序上下文继续执行   在协程切入时，与协程阻塞相反，是由执行程序先进行队列操作，然后再调用co\_swap\_in接口，将切换进来的协程的栈空间用DMA传输方式从主核内存拷贝到共享栈空间，完成协程栈的切换。对于寄存器状态，我们传入当前协程与切入协程的寄存器状态数组首地址，使用申威众核处理器平台相应的汇编指令在汇编层面完成寄存器状态的保存与切换。接口函数内的处理流程如下所示。   1. co\_swap\_in.c //切入函数 2. asm **volatile**  //C语言中内嵌汇编 3. //使用申威平台的store指令(stl)将当前程序（执行程序）寄存器的值 4. //存入到相关地址空间（从核局存）中 5. stl 寄存器,寄存器数组 6. //使用申威平台的athread调用，通过DMA方式 7. //将当前程序（执行程序）栈信息存入到从核局存中 8. //将主存中保存的协程栈信息读入到从核共享栈 9. athread\_get  地址空间,运行栈 10. asm **volatile** 11. //使用申威平台的load指令(ldl) 12. //将之前保存的协程寄存器数组的值读取回来 13. //跳转(call)到切入的协程任务函数   2) 执行程序处理任务流程  **图1.5 执行程序运行状态**  图1.5为执行程序运作状态图，由于每个从核上运行的执行程序代码相同，所以执行程序设计时需要考虑协程正常运行状态和阻塞状态两种情况。执行程序总体上是不断while循环执行的，当收到来自调度程序发送来的停止信号时（stop\_signal）才会退出循环。在循环内，当可运行任务队列不为空时，执行程序取队头协程，首先根据协程状态是运行（run）还是等待（wait），确定该协程是第一次执行还是之前阻塞过的协程，是否需要切入上下文继续执行。执行完之后，若协程状态为完成（done），说明正常执行完成，则回收资源。若协程状态为wait，则说明这个协程自身调用co\_swap\_out被阻塞了，自身的状态被保存起来，然后跳出计算任务，回到执行程序，执行程序将这个被阻塞的协程放入到等待任务队列中。  唤醒相关协程执行，首先需要将阻塞协程从等待任务队列中取出，插入到可运行任务队列第二个位置。然后等待执行程序执行到它，执行程序判断一下协程状态，主动调用co\_swap\_in接口，将所有的寄存器状态和参数恢复，从协程切出的地方继续执行。  4.2 　通道通信接口设计  4.2.1 通道通信接口概要设计  本项目使用生产者-消费者模式进行协程间的消息传递，基本的使用方式就需要包含数据的发送以及接收两个接口。在参考了Go语言中的channel实现以及C++协程库libgo中的通信实现后，我们决定以通道（channel）作为中间体的方式进行生产者-消费者模式的消息发送与接收。为了能够在主核与从核上运行的程序之间进行数据的通信，需要主核与从核都能够访问通道中的数据，于是我们将通道的数据保存在主存的主从核共享内存区域中。由于主核与从核上的程序需要分别进行编写与编译，我们将在主核与从核环境下进行不同的实现，但保持向上层应用提供的通道的接口一致。我们首先对通道的基础功能——从消息生产者发送特定的值到消息的消费者来开始，进行申威众核平台协程间通信的接口设计。最终设计了具体的接口如下所示。   1. channel\* channel\_init\_p(uint32\_t capacity,uint32\_t elem\_size, **enum** PATTERN pattern); 2. uint32\_t push(channel \* chan,uint8\_t \*buf); 3. uint32\_t pop(channel \*chan,uint8\_t \*buf); 4. **bool** \_close(channel \*chan); 5. **bool** empty(channel \*chan); 6. **bool** full(channel \*chan);   其中channel\_init\_p()函数用于创建并初始化接口，传入的参数为通道容量capacity，消息体大小elem\_size，通道运行模式pattern。函数返回一个通道结构体指针。程序在调用消息发送和接收接口时，会根据不同的通道模式改变消息发送与读取的方式，通道的模式PATTERN包含MANY\_TO\_MANY，ONE\_TO\_ONE，ONE\_TO\_MANY，MANY\_TO\_ONE四种。模式决定了发送与接收接口的具体行为，将在3.3节通道的同步机制中详细介绍。  push()函数是生产者向通道发送数据所使用的接口，将数据复制到通道中；参数为通道指针chan，要发送的消息指针buf，发送成功时返回0；  pop()函数是消费者从通道中读取消息的接口，从通道中取得数据；参数为通道地址chan，接收数据的变量的指针buf，接收成功时返回0；  close()函数将通道关闭，关闭后的通道不能继续进行消息的发送于接收，参数为通道地址chan；  empty()函数用于判断通道是否为空，为空时返回true，不为空时返回false，参数为通道地址chan；  full()函数用于判断通道是否为满，已满时返回true，未满时返回false，参数为通道地址chan。  4.2.2 通道通信详细设计  1) 通道通信接口详细设计  我们选择的通道通信的主要数据结构为循环缓冲区（Ring buffer），循环缓冲区是一种能较为方便地实现生产者-消费者机制的数据结构，在没有生产者之间或消费者之间互相竞争的条件下可以无锁化的进行数据的传递，循环缓冲区有多种实现方式，并在数据通信中得到广泛应用。本研究使用基于循环缓冲区的数据读写实现在主核与从核上通用的通道消息的存取，包含了循环缓冲区结构的通道的结构体定义如下所示。   1. **struct** channel{ 2. unsigned **char** \*buffer; 3. unsigned **int** elem\_size; 4. unsigned **int** capacity; 5. unsigned **int** read; 6. unsigned **int** to\_read; 7. unsigned **int** write; 8. unsigned **int** to\_write; 9. **enum** PATTERN pattern; 10. list read\_wait; 11. list write\_wait; 12. **bool** closed; 13. };   通道的数据存取如图2.1所示。    **图2.1　通道的存取**  2)　同步机制的实现  我们首先考虑主核上同步机制的实现。在x86架构的系统中可以用CAS（compare-and-swap）原子操作来保证数据的一致性。CAS操作常用于无锁化数据结构的实现。在主核上支持CAS操作，而在从核上并不支持。我们可以直接使用CAS方式进行协程间并行时数据一致性的保证，申威26010处理器的C语言编译器sw5cc支持类似于GCC的编译环境，其中的CAS接口如下：  bool \_\_sync\_bool\_compare\_and\_swap (type \*ptr, type oldval, type newval, ...)  使用CAS操作实现对通道进行消息发送的同步代码如下所示。   1. **do** { 2. **if** (full(chan)) 3. **continue**; 4. temp = chan->write; 5. **if**(temp != chan->to\_write) 6. **continue**; 7. ok = CAS(&chan->write, temp, temp+1); 8. } **while** (!ok); 9. //此处复制数据到缓冲区 10. CAS(&chan->to\_write, temp, temp+1);   我们通过使用CAS原子操作对主核上对通道的发送与接收操作实现了同步。但是在从核上的指令支持和编译环境与主核不同，不能支持CAS操作，因此我们不能像在主核上那样的方式直接利用CAS操作来完成协程之间的数据同步。从核也不支持线程的锁，信号量以及其他的线程同步机制。只有一种基本的原子操作可以利用。从核上支持原子化的数据加减操作。对数据进行原子操作的接口如下：  updt\_addw(\_n\_, \_addr\_)  参数\_n\_是需要对变量增加的数，\_addr\_是变量的地址。原子操作是不可分割的，在执行完毕之前不会被任何其它任务或事件中断。  使用原子操作实现从核上多生产者消息发送的代码如下所示。   1. **while**(**true**){ 2. **if**(full(chan)) 3. co\_swap\_out(); 4. temp = chan->write; 5. **if** (temp == chan->to\_write) 6. updt\_addw(1,&(chan->write)); 7. **else** 8. **continue**; 9. **if**(chan->write == temp+1){ 10. //此行复制数据到缓冲区 11. updt\_addw(1,&chan->to\_write); 12. **return** 0; 13. }**else**{ 14. updt\_addw(-1,&chan->write); 15. **continue**; 16. } 17. }   3)　通道通信的四种模式  由于在实际应用的开发中，使用通道的生产者与消费者并不一定都需要竞争，因此，为了最大化向通道发送消息与从通道读取消息的执行效率，本研究设计了通道的不同运行模式，在通道的创建参数中，pattern是一个决定通道运行时，消息发送与接收的具体执行方式的一个参数，其类型PATTERN的定义如下。   1. **enum** PATTERN{ 2. MANY\_TO\_MANY , 3. ONE\_TO\_ONE , 4. ONE\_TO\_MANY, 5. MANY\_TO\_ONE 6. };   PATTERN共有四种模式：MANY\_TO\_MANY，ONE\_TO\_ONE，ONE\_TO\_MANY，MANY\_TO\_ONE代表着不同的生产者-消费者情况，为了获得通道通信时的最高效率，程序开发时可以根据需要自行选择所需要的模式。  4.3寄存器通信设计  从核阵列上的寄存器通信：申威众核处理器每个核组上都有一个64从核的计算阵列，组成8\*8的拓扑结构。每个从核上有一个能够存储256位数据的向量寄存器，向量寄存器可以经由通信总线向另一个连接在这条通信总线的从核发送数据到接收缓冲区中，作为接收方的从核再从接收缓冲区中载入数据进行处理。这种通信方式延迟小，不需要经过主存。如果是不同行或者不同列的从核则需要使用两次寄存器通信才能完成数据的传输，作为数据传输的中间核需要额外运行除计算任务之外的程序，这会导致一定的性能损失。  发送接口：LONG\_PUTR(var,dest)用于发送数据同一行的其他从核上，参数var为要发送的数，dest指定接收的从核，dest[3]为通信类型位，dest[3]为1时表示广播操作，LONG\_PUTC(car,dest)用于向同一列的其他从核发送数据，参数同上。  接收接口：LONG\_GETR(var)与LONG\_GETC(var)为从通信缓冲中读取数据，读取大小为向量寄存器大小，即256位。  考虑到两种通信方式的优缺点，本研究设计的协程调度系统使用的是DMA通信与寄存器通信相结合的方式。为了不牺牲一个从核的性能当作中转核，我们考虑到当进行数据通信的两个从核分别是不同行且不同列时，选择DMA方式进行数据通信。当进行数据通信的两个从核是同一行或者同一列时，使用寄存器方式通信。这样能够保证不同从核间高效的数据交流。 五、测试结果**5.1** **对协程调度系统切换功能的测试** 由于申威处理器的从核不支持任务的切入切出，在我们提出的协程调度系统可以支持单个从核上面的任务的切换，这会减少从核上任务阻塞的时间，降低总的执行时间。    **5.2通道通信方式与寄存器通信方式带宽对比**    无论是在单生产者-单消费者模式下，还是在使用了整个从核阵列的情况下，基于寄存器通信的方式平均每个从核实现的通信带宽都远高于通道方式实现的平均带宽。 六、总结与展望 6.1总结  本项目在已有的申威的协程研究的基础上，对协程的切入切出及从核上的协程通信效果进行了优化。同时我们设计了两种通信方式：一种是在从核上通道通信，并实现了多生产者或多消费者竞争时的并行同步，第二种是针对从核间的相互通信进 行设计的基于寄存器通信的方式，极大地提高了从核之间进行通信的效率。  6.2展望  本项目仅对一个核组的运行效率进行了优化，后续可以将其扩展到整片处理器的4个核组上。不同核组间的通信方式是片上网络，所以对这方面协程的数据通信需要进一步的探索研究。 |

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **七、工作进度完成情况**4.1 工作进度 开题阶段：（11月底之前，**已完成**）  本阶段抓紧完成项目的前期准备工作，本阶段结束后项目组将提交《软件工程实验项目开题报告》并进行开题答辩。   |  |  | | --- | --- | | 主要任务：  完成前期技术预研  选定项目组织结构  完成项目的结构分解  完成项目工作量估算  完成项目进度估算  完成项目需求分析  完成确认测试技术  确认过程模型 | 阶段工作产品：  开题答辩PPT  需求定义文档  SRS规格说明文档  确认测试计划文档  技术预研报告  项目管理计划文档 |   设计开发阶段：（2019年11月～2020年3月底，**已完成**）  本阶段将完成整个项目的总体设计和详细设计，并进行编码   |  |  | | --- | --- | | 主要任务：  完成体系结构设计  完成详细设计  完成单元测试计划  完成编码规范  完成核心算法的设计  完成核心组件编码开发 | 阶段工作产品：  软件工程师兼中期检查报告  中期检查答辩PPT  设计文档  测试计划文档  编码规范说明文档  核心组件代码 |   后期开发阶段：（2020年4月～2020年6月，**已完成**）  本阶段将完成所有编码工作，完善过程中所产生的文档，并对项目进行最后测试   |  |  | | --- | --- | | 主要任务：  完成项目的所有编码工作  功能测试  项目的配置和部署  撰写用户使用手册  撰写项目技术论文  结题答辩 | 阶段工作产品：  软件工程试验结题报告  结题答辩PPT  测试报告  项目安装或配置手册  项目源代码  项目技术论文  小组成员贡献比说明 | |  |  | |
| **导师意见（对选题和工作过程及成果进行说明，并给出成绩。）**  **导师签名：**  **年 月 日** |
| **答辩小组意见**  **答辩组长签名：**  **年 月 日** |