

計算機結構 HW4 Report

b07902048 資工三 李宥霆

What is the latency of each module in your design?

因為我沒有實做pipeline的CPU而是使用作業三的架構，所以整個CPU的latency是2148.54 ps。

Which path is the critical path of your cpu? And how can you decrease the latency of it?

- critical section從i_inst [18]到my_reg_w[4] [63]

降低latency的方法：

- 優化critical path經過的module，把不必要的register與wire拆掉，降低critical path等待其他path的時間

How to solve data hazard?

解決control hazard的辦法是用一個queue把所有進到ID stage以後的instruction存起來，當指令在跑pipeline的同時，data hazard decetor同時在檢查queue裡面的instruction是否會產生data hazard，如果會的話就要在該stage上把需要的data foward回去。

How to solve control hazard?

解決control hazard的辦法首先是實做一個predictor，可以有效的predict最後三個大測資。因為load instruction需要3個cycle，當branch猜錯的時候必須把3個cycle的load instruction flush掉，要解決這個問題，可以在load instruction旁邊實做3個buffer把前3個pc存起來，猜錯時才有辦法找到3個pc前的位置。

Describe 3 different workloads attributes, and which one can be improved tremendously by branch predictor?

branch predictor對於predict結果越一致的workload，效果會越好，以這次作業來說，第三個workload會因為branch predictor而有更好的優化結果，因為他的iteration更多，猜測結果的一致性也越高。

Is it always beneficial to insert multiple stage of pipeline in designs? How does it affect the latency?

當使用越多的stage來實做CPU，latency就會越高，因為對於每個指令來說，需要等待的時間會被拉長，而且需要處理hazard的元件也會更多更複雜，雖然整個through put變大，計算單一指令的時間卻更久。