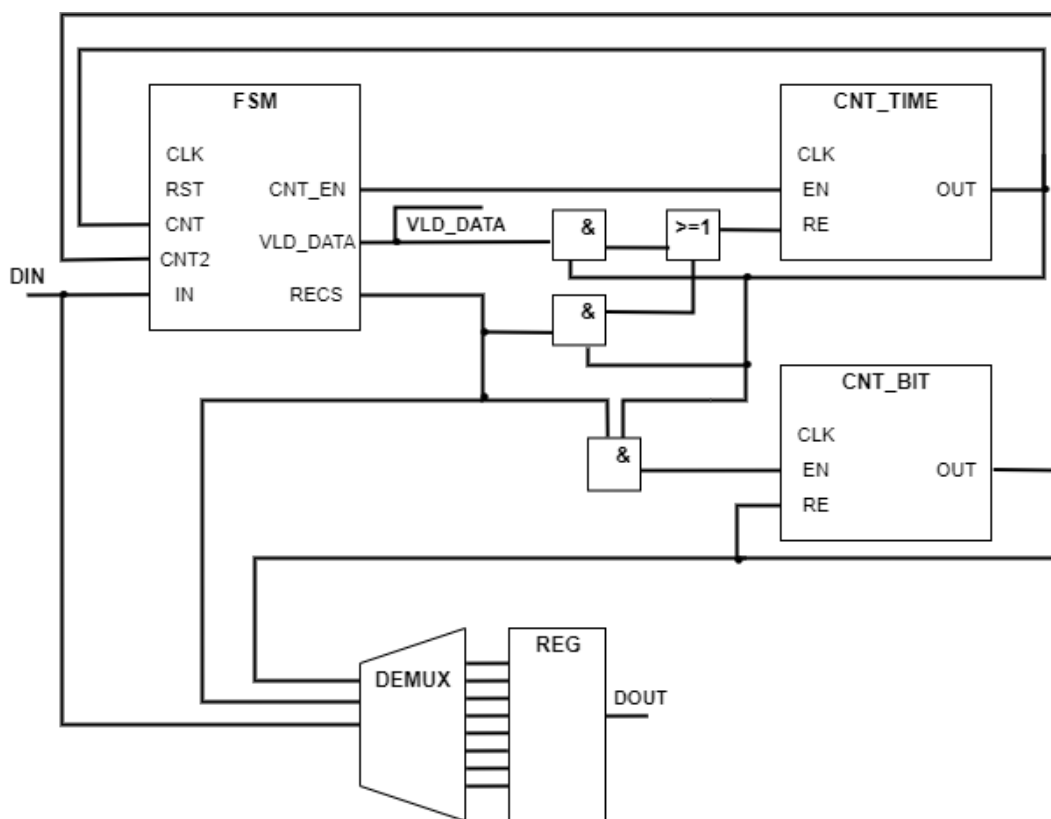


## Návrh číslicových systémů Projekt

Elizaveta Syanova (xsyano00)  
25. května 2022

### 1 Architektura navrženého obvodu (na úrovni RTL)

#### 1.1 Schéma obvodu



#### 1.2 Popis funkce

- FSM - Finite State Machine
- CNT.TIME - počítá dobu mezi jednotlivými bity, od start bitu do mid bitu
- CNT\_BIT - počet bitu
- DEMULTIPLEXOR přepínač

Podle vnitřního stavu FSM nastavuje EN CNT\_TIME a RECS. CNT\_TIME se obnovuje na základě stavu CNT\_BIT, vlastního stavu a FSM. Obnovuje se po dosažení 24 hodinových taktů ve stavu WAIT\_FIRST\_BIT,

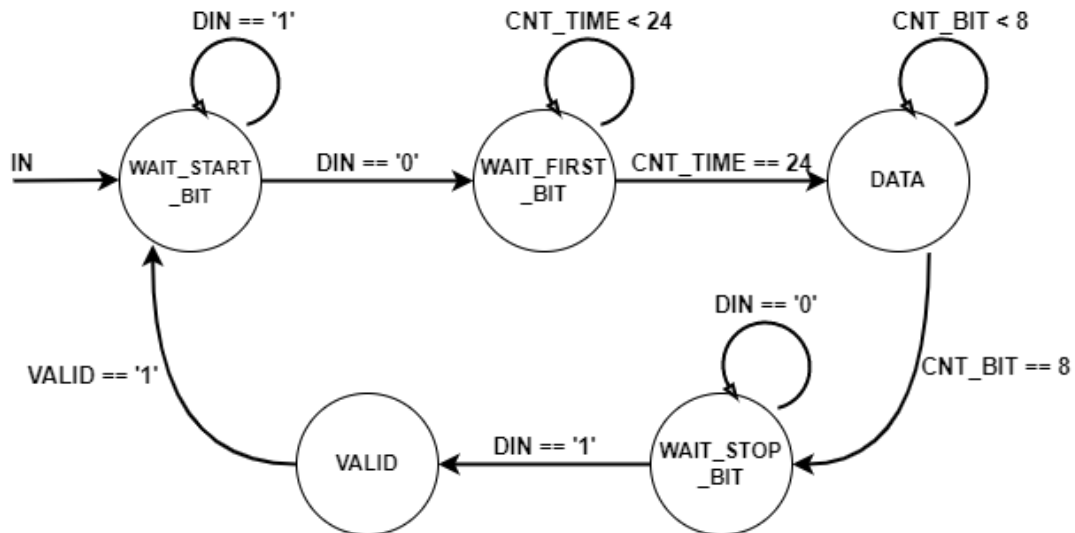
nebo 16 hodinových taktů ve stavu DATA (záleží na CNT\_BIT, RECS a VLD\_DATA).

Stavy CNT\_BIT a RECS jsou vzájemně závislé, obnovují se po dosažení 8 bitu.

Na základě signálu RECS a CNT\_BIT demultiplexor posílá bity do registru.

## 2 Návrh automatu (Finite State Machine)

### 2.1 Schéma automatu



### 2.2 Popis funkce

- WAIT\_START\_BIT - čeká na start bit (0)
- WAIT\_FIRST\_BIT - po nalezení start bitu čeká 24 hodinových taktů než začne snímat data (midbit)
- DATA - počet bitu a zápis do registru
- WAIT\_STOP\_BIT - čeká na stop bit (1)
- VALID - nastavení VLD\_DATA na '1' po dobu jednoho taktu

Celý process spustíme po nastavení start bitu na '0'