

8. 論理回路

1610581 堀田 大地

2018/5/17

1 目的

トランジスタ,IC 等の半導体素子の発展と共に機械システムへのエレクトロニクスの導入が進み,今やエレクトロニクスと関わりのない機械システムは考えられなくなった.特にコンピュータを始め,その周辺機器,各種情報機器,NC 工作機械,家電製品等にはデジタル回路が多用されている.そこで,実際に広く利用されているデジタル用 IC を用いて,デジタル回路,特に論理回路の基礎的事項について実験し,デジタル IC の使い方,動作,設計法について理解する.

2 方法

3 実験項目

3.1 ゲート回路

6 種類のゲート回路についての素子名称,動作表,回路の読み方,真理値表,論理式を表 4.1 に示した.

3.2 2 入力 EX-OR ゲート

3.2.1 EX-OR の機能

回路図を図 1,動作表,真理値表を表 1,2,論理式を(1)に示した.

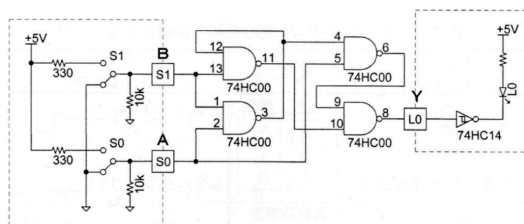


図 1 NAND 素子 4 個を用いた EX-OR 機能の論理式

$$Y = A \cdot \bar{B} + \bar{A} \cdot B = A \oplus B \quad (1)$$

3.2.2 考察

実験では, S_0 と S_1 のうち 1 方がオンの状態でのみ,LED が光っていたことので,動作を確認でき

表 1 EX-OR の回路の動作表. 入力 of H はスイッチ ON, 出力 of H は LED の点灯を表す

| | 入力 | | 出力 |
|------|-------|-------|-------|
| 接続端子 | S_0 | S_1 | L_0 |
| 端子名 | A | B | Y |
| 電圧 | L | L | L |
| | L | H | H |
| | H | L | H |
| | H | H | L |

表 2 EX-OR 機能の真理値表

| | 入力 | | 出力 |
|-----|----|---|----|
| 端子名 | A | B | Y |
| 真理値 | 0 | 0 | 0 |
| | 0 | 1 | 1 |
| | 1 | 0 | 1 |
| | 1 | 1 | 0 |

た. また,LED の光り方により,回路の機能は理解できた.

3.2.3 課題

実験で用いた回路を正論理/負論理の NAND 素子を使って書き換えた回路を図に示した. この課題では,図の回路の出力 Y が EX-OR 機能であることを示した. C, \bar{D}, \bar{E} での論理式を次式 (2)-(5) に示した.

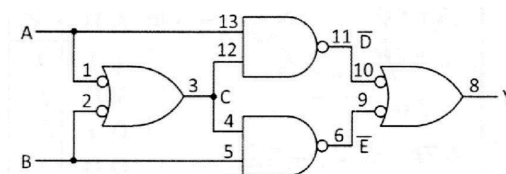


図 2 正論理/負論理の NAND 素子を使って作った EX-OR 回路

$$C = \bar{A} + \bar{B} \quad (2)$$

$$\bar{D} = A \cdot C = A \cdot (\bar{A} + \bar{B}) = A \cdot \bar{B} \quad (3)$$

$$\overline{E} = B \cdot C = B \cdot (\overline{A} + \overline{B}) = \overline{A} \cdot B \quad (4)$$

$$Y = \overline{D} + \overline{E} = A \cdot \overline{B} + \overline{A} \cdot B = A \oplus B \quad (5)$$

よって, (5) より, 図が EX-OR 機能であることが示された.

3.3 デコーダとエンコーダ

3.3.1 デコーダの機能

デコーダ回路は, 2 桁の 2 進数スイッチを使って入力し, 10 進数の 0 から 3 を表す LED に "1(H)" を出力する. すなわち対応する LED が点灯する回路である. 回路図を図 3, デコーダの動作表, 真理値表を表 3, 4 に示した.

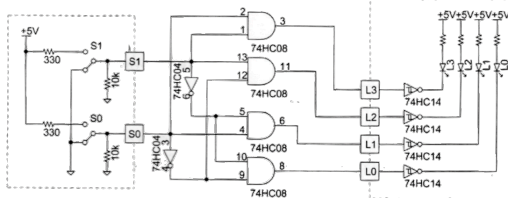


図 3 2 入力 4 出力デコーダの回路図

表 3 デコーダの動作表. 入力の H はスイッチ ON, 出力の H は LED の点灯を表す.

| 端子名 | 入力 | | 出力 | | | |
|-----|-------|-------|-------|-------|-------|-------|
| | S_1 | S_0 | L_0 | L_1 | L_2 | L_3 |
| 電圧 | L | L | H | L | L | L |
| | L | H | L | H | L | L |
| | H | L | L | L | H | L |
| | H | H | L | L | L | H |

表 4 デコーダの真理値表. 入力の上位ビット, 下位ビットを S_1, S_0 , 出力を $L_x (x=0-3)$ が表す.

| 端子名 | 入力 | | 出力 | | | |
|-----|-------|-------|-------|-------|-------|-------|
| | S_1 | S_0 | L_0 | L_1 | L_2 | L_3 |
| 電圧 | 0 | 0 | 1 | 0 | 0 | 0 |
| | 0 | 1 | 0 | 1 | 0 | 0 |
| | 1 | 0 | 0 | 0 | 1 | 0 |
| | 1 | 1 | 0 | 0 | 0 | 1 |

3.3.2 考察

改めてこの回路の入力と出力の関係が「解説」であることを考察する. S_0, S_1 の 2 入力 4 通りの組み合わせから, 4 つの出力が生まれる構造があり, 出力結果を見るだけで, 入力の信号がわかる. つまり, このことから, 入力と出力の関係が「解説」であると言える.

3.3.3 課題

エンコーダは 10 進数を 2 進数に変換する回路である. この課題では, 10 進数から 0 から 3 をそれぞれに対応する 4 つのスイッチ (S_0, S_1, S_2, S_3) を使って入力し, 2 つの LED (L_0, L_1) を使って 2 ビットの 2 進数を出力するエンコーダ回路を設計し作成した. まず, エンコーダの真理値表を表 5 に, 論理式を (6), (7) に, 回路図を図 4 に示した.

表 5 エンコーダの真理値表

| 端子名 | 入力 | | | | 出力 | |
|-----|-------|-------|-------|-------|-------|-------|
| | S_0 | S_1 | S_2 | S_3 | L_1 | L_0 |
| 真理値 | 1 | 0 | 0 | 0 | 0 | 0 |
| | 0 | 1 | 0 | 0 | 0 | 1 |
| | 0 | 0 | 1 | 0 | 1 | 0 |
| | 0 | 0 | 0 | 1 | 1 | 1 |

$$L_0 = S_1 + S_3 \quad (6)$$

$$L_1 = S_2 + S_3 \quad (7)$$

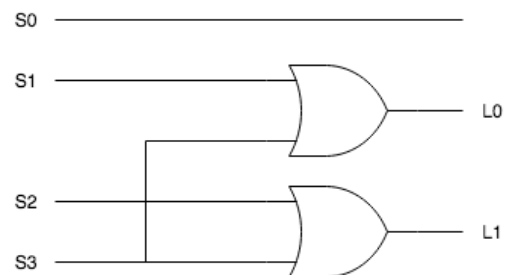


図 4 4 入力 2 出力エンコーダの回路図

3.4 加算回路

3.4.1 加算回路の機能

ハーフ・アダーは, 2 進数の足し算, つまり 2 つの入力 A と B を加算し, その和 S(Sum) と桁上げ

表 6 ハーフ・アダダーの真理値表

| | 入力 | | 出力 | |
|-----|----|---|----|-----|
| | | | 和 | 桁上げ |
| 端子名 | A | B | S | C |
| 真理値 | 0 | 0 | 0 | 0 |
| | 0 | 1 | 1 | 0 |
| | 1 | 0 | 1 | 0 |
| | 1 | 1 | 0 | 1 |

C(Carry) を出力する。ハーフ・アダダーの真理値表, 動作表を表 6,7 に, 回路図を図 5 に, 動作確認表を表 7 に, 論理式を (8),(9) に示した。

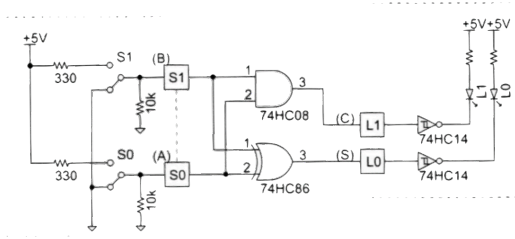


図 5 ハーフ・アダダーの回路図

表 7 ハーフ・アダダーの動作表

| | 入力 | | 出力 | |
|------|-------|-------|-------|-------|
| | | | 和 | 桁上げ |
| 接続端子 | S_0 | S_1 | L_0 | L_1 |
| 端子名 | A | B | S | C |
| 電圧 | L | L | L | L |
| | L | H | H | L |
| | H | L | H | L |
| | H | H | L | H |

$$S = A \oplus B \quad (8)$$

$$C = A \cdot B \quad (9)$$

3.4.2 考察

和 S が EX-OR, 桁上げ C が AND となっており, $A = B = 1$ の時に, $S = 0, C = 1$ となり, 桁上げが行えた。

3.4.3 課題

コンピュータの内部では, 複数桁同士の 2 進数の加算が行われている。この課題では, そのような計算を実現させるために, 2 桁の 2 進数の A_0, A_1 と B_0, B_1 との加算を行う回路を作成した。

- 機能説明 2 桁 2 進数の計算が行える。そのために, 1 桁目の加算を行い, 次に 2 桁目の加算を実現させるために, 1 桁目はハーフ・アダダー, 2 桁目は下位からの桁上げを考慮して入力できる全加算器を使った。
- フル・アダダーの回路設計フル・アダダーの真理値表を表 8 に, 論理式を (10),(11) に, 回路図を図 6 に示した。

表 8 フル・アダダーの真理値表

| | 入力 | | | 出力 | |
|-----|----|---|----------|----|-----------|
| | | | | 和 | 桁上げ |
| 端子名 | A | B | C_{in} | S | C_{out} |
| 電圧 | 0 | 0 | 0 | 0 | 0 |
| | 0 | 1 | 0 | 1 | 0 |
| | 1 | 0 | 0 | 1 | 0 |
| | 1 | 1 | 0 | 0 | 1 |
| | 0 | 0 | 1 | 1 | 0 |
| | 0 | 1 | 1 | 0 | 1 |
| | 1 | 0 | 1 | 0 | 1 |
| | 1 | 1 | 1 | 1 | 1 |

$$S = \bar{A} \cdot B \cdot \bar{C}_{in} + A \cdot \bar{B} \cdot \bar{C}_{in} + \bar{A} \cdot \bar{B} \cdot C_{in} + A \cdot B \cdot C_{in} \\ = (A \oplus B) \oplus C_{in} \quad (10)$$

$$C_{out} = A \cdot B \cdot \bar{C}_{in} + \bar{A} \cdot B \cdot C_{in} + A \cdot \bar{B} \cdot C_{in} + A \cdot B \cdot C_{in} \\ = A \cdot B + (A \oplus B) \cdot C_{in} \quad (11)$$

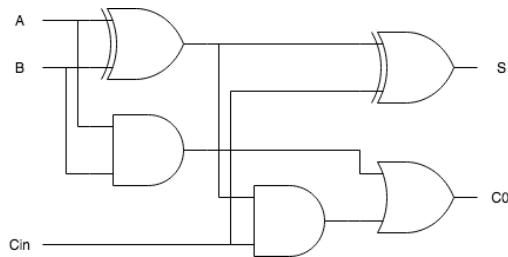


図6 フル・アダーの回路図

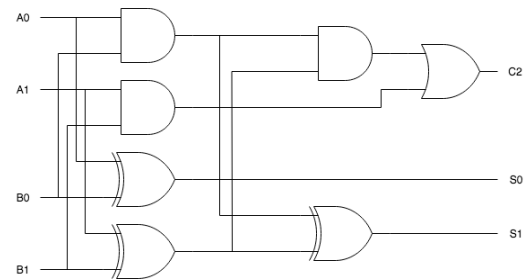


図7 2桁の2進数の加算回路図

3. 2桁の2進数の加算回路の設計真理値表を表9に, 論理式を(12)-(14)に, 回路図を図7に示した.

表9 2桁の2進数の加算回路の真理値表

| 端子名 真理値 | 入力 | | | | 出力 | | |
|------------|----------------|----------------|----------------|----------------|-----------------------|-----------------------|-----------------------|
| | A ₁ | A ₀ | B ₁ | B ₀ | 3桁目 C ₂ | 2桁目 S ₁ | 1桁目 S ₀ |
| | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| | 0 | 1 | 0 | 0 | 0 | 0 | 1 |
| | 1 | 0 | 0 | 0 | 0 | 1 | 0 |
| | 1 | 1 | 0 | 0 | 0 | 1 | 1 |
| | 0 | 0 | 0 | 1 | 0 | 0 | 1 |
| | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| | 1 | 0 | 0 | 1 | 0 | 1 | 1 |
| | 1 | 1 | 0 | 1 | 1 | 0 | 0 |
| | 0 | 0 | 1 | 0 | 0 | 1 | 0 |
| | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| | 1 | 0 | 1 | 0 | 1 | 0 | 0 |
| | 1 | 1 | 1 | 0 | 1 | 0 | 1 |
| | 0 | 0 | 1 | 1 | 0 | 1 | 1 |
| | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| | 1 | 0 | 1 | 1 | 1 | 0 | 1 |
| | 1 | 1 | 1 | 1 | 1 | 1 | 0 |

$$S_0 = A_0 \oplus B_0 \quad (12)$$

$$S_1 = A_0 \cdot (A_1 \oplus B_1 \oplus B_0) + \overline{A_0} \cdot (A_1 \oplus B_1) \quad (13)$$

$$C_2 = A_0 \cdot B_0(A_1 \oplus B_1) + A_1 \cdot B_1 \quad (14)$$

3.5 順序回路

順序回路とは, 組み合わせ回路の時刻 $t+1$ の時の出力 Y_{t+1} が, 時刻 t のときの出力 Y_t を含む入力条件によって決まる $Y_{t+1} = f(Y_t, A, B, C...)$ で表すことのできる回路である.

3.5.1 D ラッチ回路

1. 基本動作

D ラッチ回路は, RS ラッチ (Reset 入力と Set 入力を持つラッチ) の前段にデータ記憶用のゲートを追加し, 入力した Data を止めるため, つまりラッチするための信号であるストローブ入力を備えている. つまり, D ラッチは, ストローブ入力によりデータを RS ラッチにいつ記憶させるかを制御している. 回路図を図8に, 動作表を表10に, タイムチャートを図9に示した.

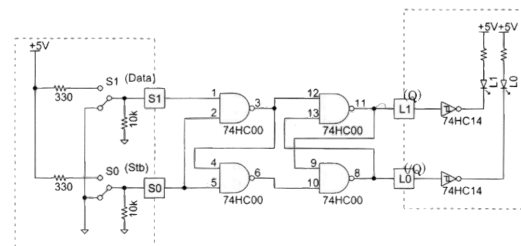


図8 D ラッチの回路図

表 10 D ラッチの動作表

| | 入力 | | 出力 | |
|------|-------|------------------|-------|------------------|
| 接続端子 | S_1 | S_0 | L_1 | L_0 |
| 端子名 | Data | \overline{Stb} | Q | \overline{Q} |
| 電圧 | L | L | Q_0 | $\overline{Q_0}$ |
| | H | L | Q_0 | $\overline{Q_0}$ |
| | L | H | L | H |
| | H | H | H | L |

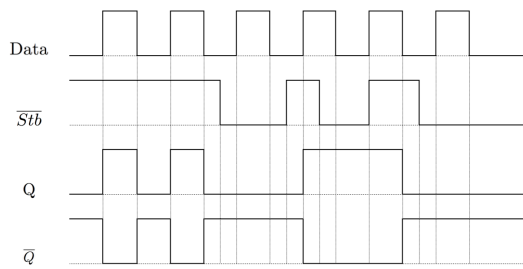


図 9 D ラッチのタイムチャート

2. 考察

- ストローブ信号が H のとき, Data 信号の出力を Q は受けとって出力していた.
- ストローブ信号が L のとき, Data 信号の出力に関わらず, 前の状態を維持していた.
- Data 信号が動いているときに, ストローブ信号を H から L にしたとき, Data 信号の動きに関わらず出力 Q の状態は変わらなかった.
- 以上の (a)-(b) より, ストローブ信号の機能は, Data 信号を出力に伝える機能であった. ラッチ機能は, ストローブ機能が L のときに, Data 信号を止めて, もし Data 信号が変わっても受け取らないようにするための機能であった.

3.5.2 フリップフロップ回路

1. J-K フリップフロップ回路 (74HC112)

(a) 基本動作

J-K フリップフロップ回路とは, 入力端子 J, K の組み合わせにより, 出力端子 Q, その反転出力である \overline{Q} にクロックを同期し

て新しい状態を出力できる回路である. 基本動作は, リセット, セット, 維持, 反転の 4 パターンである. 回路図を図 10 に, 動作表を表 11 に示した.

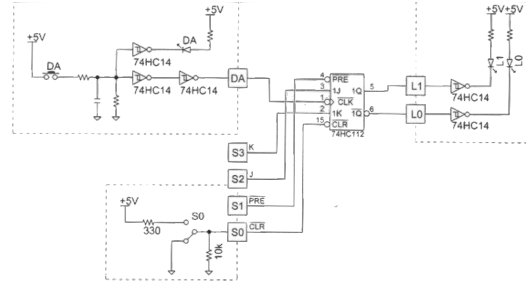


図 10 J-K フリップフロップ回路の回路図

表 11 J-K フリップフロップ回路の回路図の入出力端子を動作表

| 入力 | | | | | 出力 | | 機能 |
|------------------|-----------------|-------|-------|------------------|------------------|------------------|-----------------------------|
| S_0 | S_1 | S_2 | S_3 | DA | L_1 | L_0 | |
| \overline{CLR} | \overline{PR} | J | K | \overline{CLK} | Q | \overline{Q} | |
| L | H | x | x | x | L | H | クリア ($Q \rightarrow L$) |
| H | L | x | x | x | H | L | プリセット ($Q \rightarrow H$) |
| L | L | x | x | x | H* | H* | 不定. 通常使用しない |
| H | H | L | L | \downarrow | Q_0 | $\overline{Q_0}$ | t_0 の状態を保持 |
| H | H | L | H | \downarrow | L | H | ラッチ J \rightarrow Q |
| H | H | H | L | \downarrow | H | L | K \rightarrow Q |
| H | H | H | H | \downarrow | $\overline{Q_0}$ | Q_0 | トグル |
| H | H | x | x | H | Q_0 | $\overline{Q_0}$ | t_0 の状態を保持 |

(b) 実験

図 11 に, タイムチャートに従って入力端子を操作したときの出力 Q, \overline{Q} を示した.

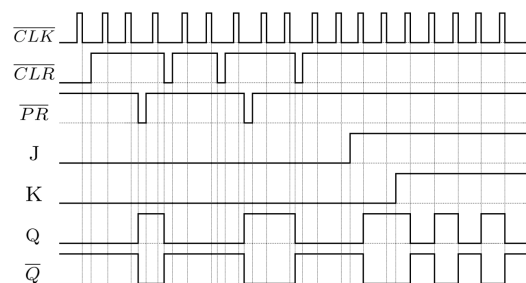


図 11 J-K フリップフロップ回路のタイムチャート

(c) 考察

出力 Q, \overline{Q} は, \overline{CLR} が H の状態で \overline{PR} が L

になったとき,H,L になった. 逆に, \overline{PR} が H の状態で \overline{CLR} が L になったとき,L,H になった. つまりこの 2 点から, \overline{CLR} は L になると,Q を L に, \overline{Q} を H に変え, \overline{PR} は L になると,Q を H に, \overline{Q} を L に変えていると考えられた. $\overline{CLR},\overline{PR}$ を H の状態のまま,J を H,K を L の状態にして, \overline{CLK} を L にすると,Q が H, \overline{Q} が L になったことより, タイムチャート前半の \overline{PR} の機能呼び出せられると考えられた. また, その状態のまま J を L,K を H の状態にして, \overline{CLK} を L にすると, \overline{CLR} の機能呼び出せられると考えられた. J,K を両方 H にすると, \overline{CLK} を L にする度, 前の状態が復元されられると考えられた.

2. D フリップフロップ回路 (74HC74) を用いた 1/2 分周器

- (a) 実験 D フリップフロップの動作表を表 12 に,D フリップフロップ回路を用いた 1/2 分周器の回路図を図 12 に, 動作表を表 13 に, タイムチャートを図 13 に示した

表 12 My caption

| 入力 | | | | 出力 | | 機能 |
|------------------|-----------------|---|-----|-------|------------------|--------------|
| \overline{CLR} | \overline{PR} | D | CLK | Q | \overline{Q} | |
| L | H | x | x | L | H | クリア |
| H | L | x | x | H | L | プリセット |
| L | L | x | x | H* | H* | 不定 |
| H | H | L | ↑ | L | H | D → Q |
| H | H | H | ↑ | H | L | D → Q |
| H | H | x | L | Q_0 | $\overline{Q_0}$ | t_0 の状態を保持 |

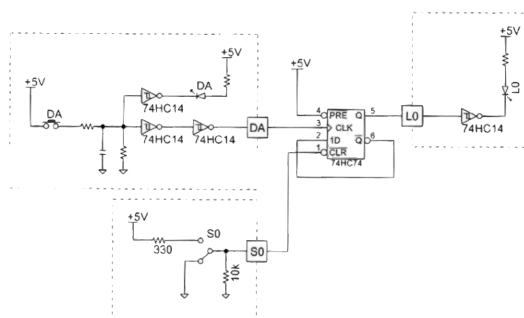


図 12 D フリップフロップ回路分周器の回路図

(b) 考察

3.6 カウンタ回路

3.6.1 非同期 16 進カウンタ回路

1. 基本動作
2. 実験
3. 考察

4 感想

参考文献

- [1] CT-311S 実習セット (デジタル編) 学習の手引き, サンハヤト株式会社
- [2] 最新 74 シリーズ IC 規格票,CQ 出版社
- [3] 猪飼國夫, 本多中二共著, 定本 デジタルシステムの設計,CQ 出版社