

8. 論理回路

1610581 堀田 大地

2018/5/17

1 目的

トランジスタ,IC 等の半導体素子の発展と共に機械システムへのエレクトロニクスの導入が進み,今やエレクトロニクスと関わりのない機械システムは考えられなくなった.特にコンピュータを始め,その周辺機器,各種情報機器,NC 工作機械,家電製品等にはデジタル回路が多用されている.そこで,実際に広く利用されているデジタル用 IC を用いて,デジタル回路,特に論理回路の基礎的事項について実験し,デジタル IC の使い方,動作,設計法について理解する.

2 方法

[1] を参考にしながら,各実験項目を進めた.

3 実験項目

3.1 ゲート回路

6 種類のゲート回路についての素子名称,動作表,回路の読み方,真理値表,論理式を表 4.1 に示した.

3.2 2 入力 EX-OR ゲート

3.2.1 EX-OR の機能

回路図を図 1,動作表,真理値表を表 1,2,論理式を (1) に示した.

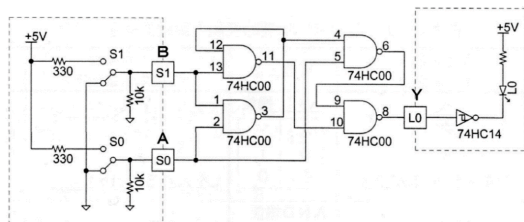


図 1 NAND 素子 4 個を用いた EX-OR 機能の論理式

$$Y = A \cdot \overline{B} + \overline{A} \cdot B = A \oplus B \quad (1)$$

表 1 EX-OR の回路の動作表. 入力 H はスイッチ ON, 出力 H は LED の点灯を表す

	入力		出力
接続端子	S_0	S_1	L_0
端子名	A	B	Y
電圧	L	L	L
	L	H	H
	H	L	H
	H	H	L

表 2 EX-OR 機能の真理値表

	入力		出力
端子名	A	B	Y
真理値	0	0	0
	0	1	1
	1	0	1
	1	1	0

3.2.2 考察

実験では, S_0 と S_1 のうち 1 方がオンでのみ,LED が点灯していたので,動作を確認できた. また,LED の光り方により,EX-OR の回路の,出力 A,B のうちどちらかが H でもう片方は L で出力 Y は H に,出力 A,B の両方が H,L のとき出力 Y は L になるという機能は理解できた.

3.2.3 課題

実験で用いた回路を正論理/負論理の NAND 素子を使って書き換えた回路を図 2 に示した. この課題では,図の回路の出力 Y が EX-OR 機能であることを示した. $C, \overline{D}, \overline{E}, Y$ の論理式を (2)-(5) に示した.

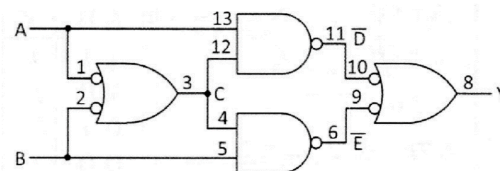


図 2 正論理/負論理の NAND 素子を使って作った EX-OR 回路

$$C = \overline{A} + \overline{B} \quad (2)$$

$$\overline{D} = A \cdot C = A \cdot (\overline{A} + \overline{B}) = A \cdot \overline{B} \quad (3)$$

$$\overline{E} = B \cdot C = B \cdot (\overline{A} + \overline{B}) = \overline{A} \cdot B \quad (4)$$

$$Y = \overline{D} + \overline{E} = A \cdot \overline{B} + \overline{A} \cdot B = A \oplus B \quad (5)$$

よって, (5) より, 図が EX-OR 機能であることが示された.

3.3 デコーダとエンコーダ

3.3.1 デコーダの機能

デコーダ回路は, 2 桁の 2 進数スイッチを使って入力し, 10 進数の 0 から 3 を表す LED に "1(H)" を出力する. すなわち対応する LED が点灯する回路である. 回路図を図 3, デコーダの動作表, 真理値表を表 3, 4 に示した.

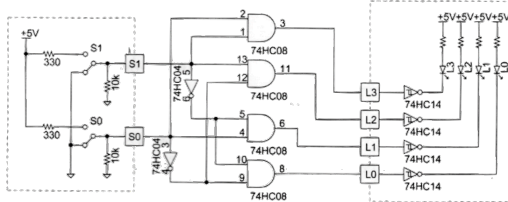


図 3 2 入力 4 出力デコーダの回路図

表 3 デコーダの動作表. 入力の H はスイッチ ON, 出力の H は LED の点灯を表す.

端子名	入力	出力
	S_1 S_0	L_0 L_1 L_2 L_3
電圧	L L	H L L L
	L H	L H L L
	H L	L L H L
	H H	L L L H

表 4 デコーダの真理値表. 入力の上位ビット, 下位ビットを S_1, S_0 , 出力を $L_x (x=0-3)$ が表す.

端子名	入力	出力
	S_1 S_0	L_0 L_1 L_2 L_3
電圧	0 0	1 0 0 0
	0 1	0 1 0 0
	1 0	0 0 1 0
	1 1	0 0 0 1

3.3.2 考察

1. 回路の動作についての考察

スイッチの位置と 2 進数表記の桁を合わせて

H, L を変えて行くと, LED の位置を出力とみると, 10 進数となって動作していた.

2. この回路の入力と出力の関係が「解読」であることの考察

S_0, S_1 の 2 入力 4 通りの組み合わせによるすべての出力は異なり, S_0, S_1 が 2 進数の 1, 2 桁目を表しているとみると, 出力は LED が該当する番号が 10 進数に復元した数字ととらえると, 出力結果を見るだけで, 入力の信号がわかる. よって, 入力と出力の関係が「解読」であると言える.

3.3.3 課題

エンコーダは 10 進数を 2 進数に変換する回路である. この課題では, 10 進数から 0 から 3 をそれぞれに対応する 4 つのスイッチ (S_0, S_1, S_2, S_3) を使って入力し, 2 つの LED (L_0, L_1) を使って 2 ビットの 2 進数を出力するエンコーダ回路を設計し作成した. まず, エンコーダの真理値表を表 5 に, 論理式を (6), (7) に, 回路図を図 4 に示した.

表 5 エンコーダの真理値表

端子名	入力	出力
	S_0 S_1 S_2 S_3	L_1 L_0
真理値	1 0 0 0	0 0
	0 1 0 0	0 1
	0 0 1 0	1 0
	0 0 0 1	1 1

$$L_0 = S_1 + S_3 \quad (6)$$

$$L_1 = S_2 + S_3 \quad (7)$$

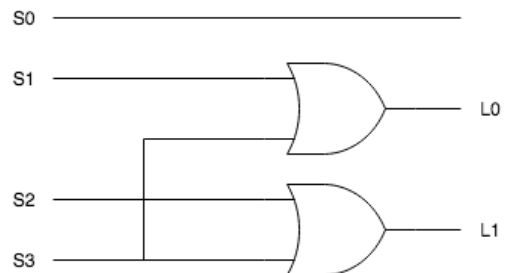


図 4 4 入力 2 出力エンコーダの回路図

表 6 ハーフ・アダーの真理値表

	入力		出力	
	A	B	和	桁上げ
端子名	A	B	S	C
真理値	0	0	0	0
	0	1	1	0
	1	0	1	0
	1	1	0	1

3.4 加算回路

3.4.1 加算回路の機能

ハーフ・アダーは、2 進数の足し算、つまり 2 つの入力 A と B を加算し、その和 S(Sum) と桁上げ C(Carry) を出力する。ハーフ・アダーの真理値表、動作表を表 6,7 に、回路図を図 5 に、動作確認表を表 7 に、論理式を (8),(9) に示した。

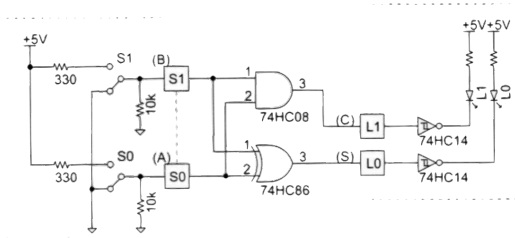


図 5 ハーフ・アダーの回路図

表 7 ハーフ・アダーの動作表

	入力		出力	
	S_0	S_1	L_0	L_1
接続端子	S_0	S_1	L_0	L_1
端子名	A	B	S	C
電圧	L	L	L	L
	L	H	H	L
	H	L	H	L
	H	H	L	H

$$S = A \oplus B \quad (8)$$

$$C = A \cdot B \quad (9)$$

3.4.2 考察

和 S が EX-OR、桁上げ C が AND となっており、 $A = B = 1$ の時に、 $S = 0, C = 1$ となり、桁上げが行えた。

3.4.3 課題

コンピュータの内部では、複数桁同士の 2 進数の加算が行われている。この課題では、そのような計算を実現させるために、2 桁の 2 進数の A_0, A_1 と B_0, B_1 との加算を行う回路を作成した。

1. 機能説明

2 桁 2 進数の計算が行える。そのために、1 桁目の加算を行い、次に 2 桁目の加算を実現させるために、1 桁目はハーフ・アダー、2 桁目は下位からの桁上げを考慮して入力できる全加算器を使った。

2. フル・アダーの回路設計

フル・アダーの真理値表を表 8 に、論理式を (10),(11) に、回路図を図 6 に示した。

表 8 フル・アダーの真理値表

	入力			出力	
	A	B	C_{in}	和	桁上げ
端子名	A	B	C_{in}	S	C_{out}
電圧	0	0	0	0	0
	0	1	0	1	0
	1	0	0	1	0
	1	1	0	0	1
	0	0	1	1	0
	0	1	1	0	1
	1	0	1	0	1
	1	1	1	1	1

$$S = \bar{A} \cdot B \cdot \bar{C}_{in} + A \cdot \bar{B} \cdot \bar{C}_{in} + \bar{A} \cdot \bar{B} \cdot C_{in} + A \cdot B \cdot C_{in} \\ = (A \oplus B) \oplus C_{in} \quad (10)$$

$$C_{out} = A \cdot B \cdot \bar{C}_{in} + \bar{A} \cdot B \cdot C_{in} + A \cdot \bar{B} \cdot C_{in} + A \cdot B \cdot C_{in} \\ = A \cdot B + (A \oplus B) \cdot C_{in} \quad (11)$$

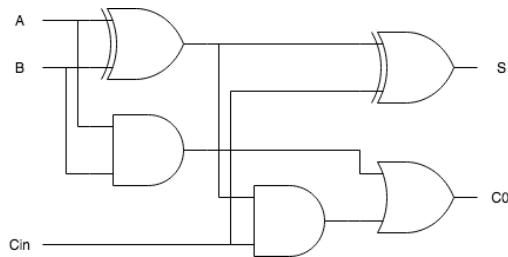


図6 フル・アダーの回路図

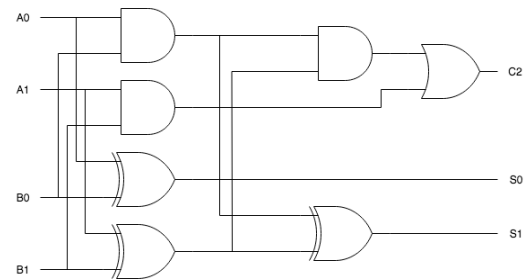


図7 2桁の2進数の加算回路図

3. 2桁の2進数の加算回路の設計

真理値表を表9に, 論理式を(12)-(14)に, 回路図を図7に示した.

表9 2桁の2進数の加算回路の真理値表

端子名 真理値	入力				出力		
	A ₁	A ₀	B ₁	B ₀	3桁目 C ₂	2桁目 S ₁	1桁目 S ₀
	0	0	0	0	0	0	0
	0	1	0	0	0	0	1
	1	0	0	0	0	1	0
	1	1	0	0	0	1	1
	0	0	0	1	0	0	1
	0	1	0	1	0	1	0
	1	0	0	1	0	1	1
	1	1	0	1	1	0	0
	0	0	1	0	0	1	0
	0	1	1	0	0	1	1
	1	0	1	0	1	0	0
	1	1	1	0	1	0	1
	0	0	1	1	0	1	1
	0	1	1	1	1	0	0
	1	0	1	1	1	0	1
	1	1	1	1	1	1	0

$$S_0 = A_0 \oplus B_0 \quad (12)$$

$$S_1 = A_0 \cdot (A_1 \oplus B_1 \oplus B_0) + \overline{A_0} \cdot (A_1 \oplus B_1) \quad (13)$$

$$C_2 = A_0 \cdot B_0(A_1 \oplus B_1) + A_1 \cdot B_1 \quad (14)$$

3.5 順序回路

順序回路とは, 組み合わせ回路の時刻 $t+1$ の時の出力 Y_{t+1} が, 時刻 t のときの出力 Y_t を含む入力条件によって決まる $Y_{t+1} = f(Y_t, A, B, C...)$ で表すことのできる回路である.

3.5.1 D ラッチ回路

1. 基本動作

D ラッチ回路は, RS ラッチ (Reset 入力と Set 入力を持つラッチ) の前段にデータ記憶用のゲートを追加し, 入力した Data を止めるため, つまりラッチするための信号であるストローブ入力を備えている. つまり, D ラッチは, ストローブ入力によりデータを RS ラッチにいつ記憶させるかを制御している. 回路図を図8に, 動作表を表10に, タイムチャートを図9に示した.

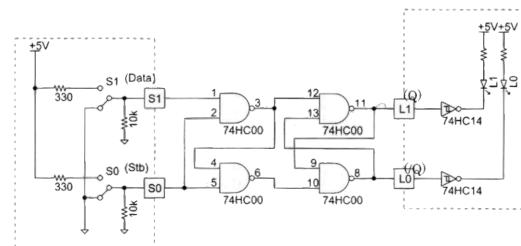


図8 D ラッチの回路図

表 10 D ラッチの動作表

	入力		出力	
接続端子	S_1	S_0	L_1	L_0
端子名	Data	\overline{Stb}	Q	\overline{Q}
電圧	L	L	Q_0	\overline{Q}_0
	H	L	Q_0	\overline{Q}_0
	L	H	L	H
	H	H	H	L

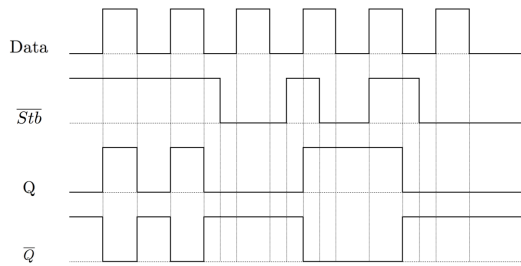


図 9 D ラッチのタイムチャート

2. 考察

- ストローブ信号が H のとき, Data 信号の出力を Q は受けとって出力していた.
- ストローブ信号が L のとき, Data 信号の出力に関わらず, 前の状態を維持していた.
- Data 信号が動いているときに, ストローブ信号を H から L にしたとき, Data 信号の動きに関わらず出力 Q の状態は変わらなかった.
- 以上の (a)-(b) より, ストローブ信号の機能は, Data 信号を出力に伝える機能であった. ラッチ機能は, ストローブ機能が L のときに, Data 信号を止めて, もし Data 信号が変わっても受け取らないようにするための機能であった.

3.5.2 フリップフロップ回路

1. J-K フリップフロップ回路 (74HC112)

(a) 基本動作

J-K フリップフロップ回路とは, 入力端子 J, K の組み合わせにより, 出力端子 Q, その反転出力である \overline{Q} にクロックを同期して新しい状態を出力できる回路である. 基本動作は, リセット, セット, 維持, 反転の 4

パターンである. 回路図を図 10 に, 動作表を表 11 に示した.

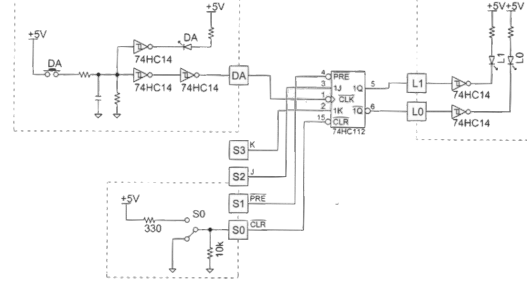


図 10 J-K フリップフロップ回路の回路図

表 11 J-K フリップフロップ回路の回路図の入出力端子と動作表

入力					出力		機能
S_0	S_1	S_2	S_3	DA	L_1	L_0	
\overline{CLR}	\overline{PR}	J	K	\overline{CLK}	Q	\overline{Q}	
L	H	x	x	x	L	H	クリア
H	L	x	x	x	H	L	プリセット
L	L	x	x	x	H*	H*	不定.
H	H	L	L	↓	Q_0	\overline{Q}_0	t_0 の状態を保持
H	H	L	H	↓	L	H	ラッチ J → Q
H	H	H	L	↓	H	L	K → Q
H	H	H	H	↓	\overline{Q}_0	Q_0	トグル
H	H	x	x	H	Q_0	\overline{Q}_0	

(b) 実験

図 11 に, タイムチャートに従って入力端子を操作したときの出力 Q, \overline{Q} を示した.

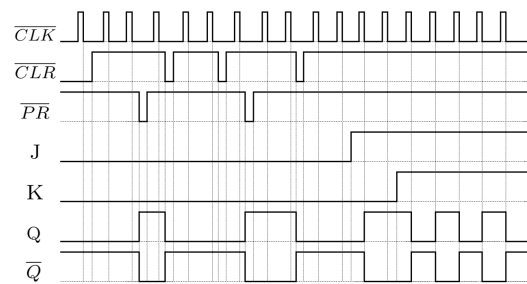


図 11 J-K フリップフロップ回路のタイムチャート

(c) 考察

出力 Q, \overline{Q} は, \overline{CLR} が H で \overline{PR} が L になったとき, H, L になった. 逆に, \overline{PR} が H の状態で \overline{CLR} が L になったとき, L, H になっ

た. つまりこの 2 点から, \overline{CLR} は L になると, Q を L に, \overline{Q} を H に変え, \overline{PR} は L になると, Q を H に, \overline{Q} を L に変えていると考えられた. $\overline{CLR}, \overline{PR}$ を H のまま, J を H, K を L の状態にして, \overline{CLK} を L にすると, Q が H, \overline{Q} が L になったことより, タイムチャート前半の \overline{PR} の機能と呼び出せられると考えられた. また, その状態のまま J を L, K を H にして, \overline{CLK} を L にすると, \overline{CLR} の機能と呼び出せられると考えられた. J, K を両方 H にすると, \overline{CLK} を L にする度, 前の状態が復元されると考えられた.

2. D フリップフロップ回路 (74HC74) を用いた 1/2 分周器

(a) 実験 D フリップフロップの動作表を表 12 に, D フリップフロップ回路を用いた 1/2 分周器の回路図を図 12 に, 動作表を表 13 に, タイムチャートを図 13 に示した

表 12 D フリップフロップ回路 (74HC74)

入力				出力		機能
\overline{CLR}	\overline{PR}	D	CLK	Q	\overline{Q}	
L	H	x	x	L	H	クリア
H	L	x	x	H	L	プリセット
L	L	x	x	H*	H*	不定
H	H	L	↑	L	H	D → Q
H	H	H	↑	H	L	D → Q
H	H	x	L	Q ₀	\overline{Q}_0	t ₀ の状態を保持

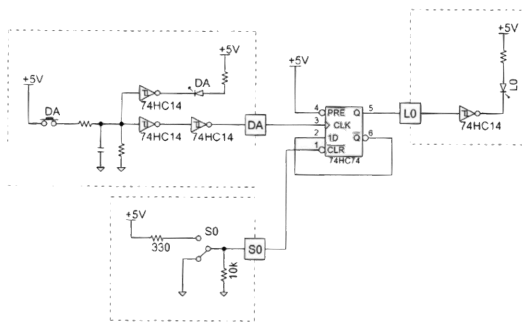


図 12 D フリップフロップ回路を用いた 1/2 分周器の回路図

表 13 D フリップフロップ回路を用いた 1/2 分周器の動作表

入力		出力
接続端子	S ₀ DA	L ₀
端子名	\overline{CLR} CLK	Q
クリア	L x	
分周機能	H 0L	L
	H 1 ↑	H
	H 2 ↑	L
	H 3 ↑	H
	H 4 ↑	L
	H 5 ↑	H
	H 6 ↑	L

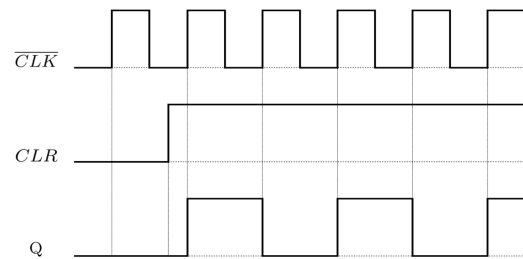


図 13 D フリップフロップを用いた 1/2 分周器のタイムチャート

(b) 考察

- \overline{CLR} が H のときのみ, CLK が L から H になったときに, 出力 Q が反転した.
- \overline{CLR} の 2 周期分が Q の 1 周期に相当していたので, 出力 Q は \overline{CLR} の倍の周期であった.
- 周波数は, 周期の逆数なので, 出力 Q は \overline{CLR} の 1/2 倍の周期であった.
- 以上の 3 点より, 分周器の分周機能とは, 周波数を整数分の 1 にする機能であると考えられた.

3.6 カウンタ回路

3.6.1 非同期 16 進カウンタ回路

非同期 16 進カウンタ回路とは, J-K フリップフロップ回路を 4 つ用いた回路である. 回路図, タイムチャートを図 14, 15 に, 動作表を表 14 に示した.

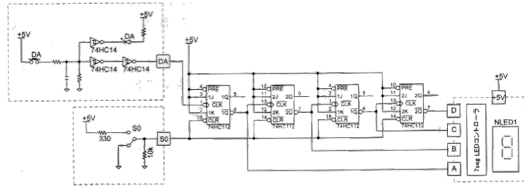


図 14 非同期 16 進カウンタの回路図

表 14 非同期 16 進カウンタの動作表

\overline{CLR} S_0	\overline{CLK} DA	D L_3	C L_2	B L_1	A L_0	NLED1
L	X	H	H	H	H	F
H	L	H	H	H	H	F
H	1 ↓	L	L	L	L	0
H	2 ↓	L	L	L	H	1
H	3 ↓	L	L	H	L	2
H	4 ↓	L	L	H	H	3
H	5 ↓	L	H	L	L	4
H	6 ↓	L	H	L	H	5
H	7 ↓	L	H	H	L	6
H	8 ↓	L	H	H	H	7
H	9 ↓	H	L	L	L	8
H	10 ↓	H	L	L	H	9
H	11 ↓	H	L	H	L	10
H	12 ↓	H	L	H	H	b
H	13 ↓	H	H	L	L	c
H	14 ↓	H	H	L	H	d
H	15 ↓	H	H	H	L	E
H	16 ↓	H	H	H	H	F
H	17 ↓	L	L	L	L	0

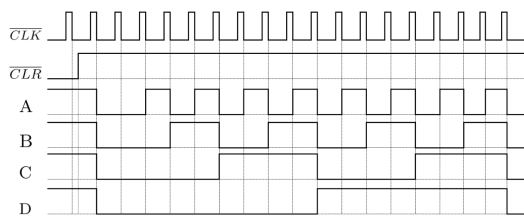


図 15 非同期 16 進カウンタのタイムチャート

1. 機能説明

2つの入力 \overline{CLK} , \overline{CLR} と 4つの出力 A,B,C,D がある. 1 段目の出力 $\overline{1Q}$ は出力 A として NLED1 に接続され, 同時に 2 段目の入力 \overline{CLK} に接続されている. 2 段目の出力 $\overline{2Q}$ は出力 B として NLED1 に接続され, 同時に 3 段目の入力 \overline{CLK} に接続されている. 3 段目の出力 $\overline{1Q}$

は出力 C として NLED1 に接続され, 同時に 4 段目の入力 \overline{CLK} に接続されている. 最後に, 4 段目の出力 $\overline{2Q}$ は出力 D として NLED1 に接続されている. もう 1つの入力 \overline{CLR} は, 1 段目から 4 段目の J-K フリップフロップの \overline{CLR} に同時に接続されている. さらに, 4つの出力 A,B,C,D をそれぞれ LED の L_0, L_1, L_2, L_3 にも接続する.

2. 考察

- S_0 を L にすると, \overline{CLK} に関わらず 4つの出力 A,B,C,D は H に, NLED1 は F になった. F はリセットの機能である.
- \overline{CLR} を H にした後, 入力 \overline{CLK} に立下り信号を入力すると, 4つの出力は全て L になり, NLED1 は F になった
- さらに, \overline{CLK} をに立下り信号を入力し続けると, 最初の 1 回はどの出力も L のままだったが, 2 回目以降は, 出力 A は, \overline{CLK} が L になるタイミング毎回, 出力 B は, 2 回に 1 回, 出力 C は, 4 回に 1 回, 出力 D は, 8 回に 1 回, NLED1 は, 16 進数表記で 1 ずつ加算されているように変化していた.
- 4つの出力を, DCBA の順番にしたとき, この出力を H を 1, L を 0 とし, D,C,B,A を 4,3,2,1 桁目を表しているとみると, 2 進数で数字を表現していると考えられた.
- 入力 \overline{CLK} と出力 A の周期の間には, $1:2 = \overline{CLK}:A$ の関係があると考えられた. また, 出力 A と B, B と C, C と Dの間には, $1:2 = A:B, 1:2 = B:C, 1:2 = C:D$ の関係があると考えられた. さらに, 入力 \overline{CLK} 信号の周期を基準とすると, 各周期の大きさの比は $1:2:4:8:16 = \overline{CLK}:A:B:C:D$ であった.
- 入力 \overline{CLK} と出力 A の周波数の間には, 周波数は周期の逆数なことを考慮すると, $1:1/2 = \overline{CLK}:A$ の関係があると考えられた. また, 出力 A と B, B と C, C と Dの間には, $1:1/2 = A:B, 1:1/2 =$

$B : C, 1 : 1/2 = C : D$ の関係があると考えられた。さらに, 入力 \overline{CLK} 信号の周期を基準とすると, 各周波数の大きさの比は $1 : 1/2 : 1/4 : 1/8 : 1/16 = \overline{CLK} : A : B : C : D$ であった。

4 感想

理論的にはわかっていた論理回路を実際にブレッドボード上で実装してみることで, 各ゲートの組み合わせで論理回路を実装できることに感動した。また, 順序回路は現在の入力値だけでなく, 過去に入力された値によって出力値を決定する論理回路であり, その回路を実装してみて, 結果を見ていくと本当になっていることがわかったのはとても感動した。

参考文献

- [1] 知能機械工学基礎実験テキスト P.52-P.80
- [2] CT-311S 実習セット (デジタル編) 学習の手引き, サンハヤト株式会社
- [3] 最新 74 シリーズ IC 規格票, CQ 出版社
- [4] 猪飼國夫, 本多中二共著, 定本 デジタルシステムの設計, CQ 出版社