



《电磁工业软件理论与仿真》

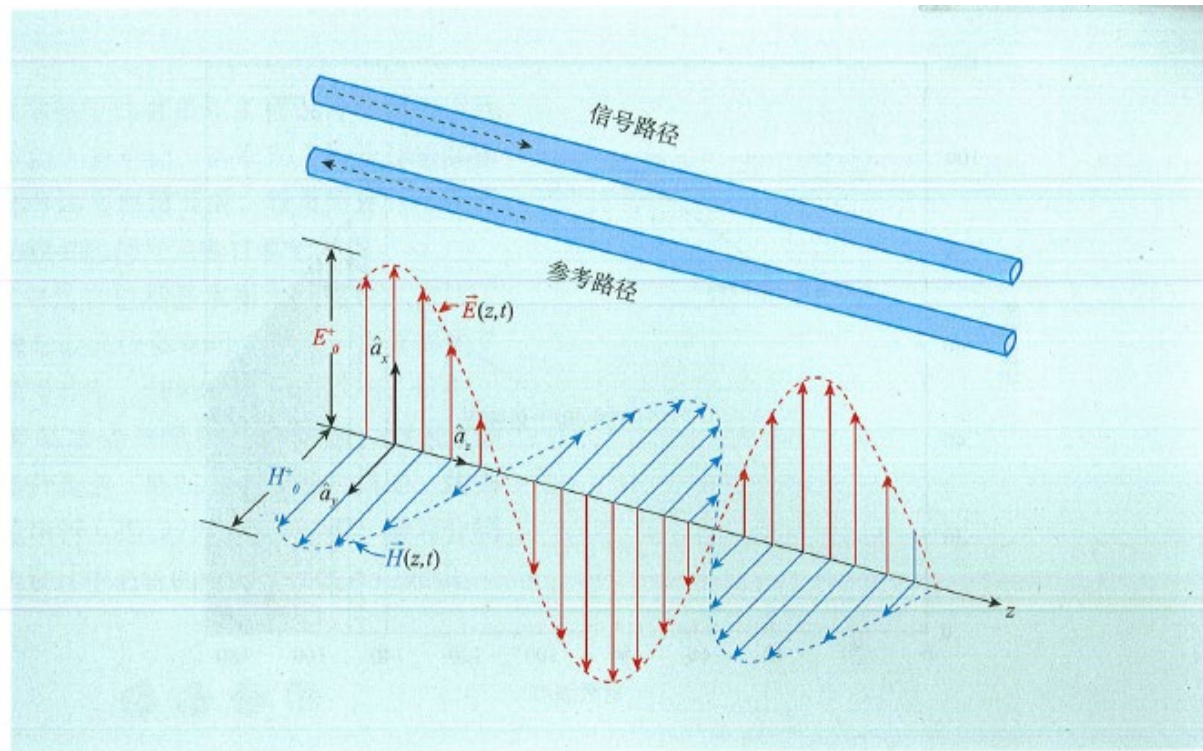
PCI-E串行通道仿真

电子科技大学（深圳）高等研究院
电子产品工业软件研究中心

2023-04

高速互联通道仿真简介

- 高速互联通道是什么？
- 数字化技术大大提高了电子产品的抗噪声能力，很长一段时期，电路设计工程师可以集中精力于电路的功能逻辑设计，互连通道被认为是理想的，不必考虑信号传输问题。随着电路速率的不断提高，芯片加工工艺的改进，互连通道对信号的影响越来越明显。



▲ 图 3.1 传输线示意图

高速互联通道仿真简介

- 为什么要做高速互联通道仿真？
- 随着电路速率的不断提高，芯片加工工艺的改进，互连通道对信号的影响越来越明显，信号的畸变已经到了影响电路功能实现的程度，工程师不得不面对严重的信号完整性 (SI) 问题。今天数字电路设计已经进入一个新的领域，必须理解信号完整性原理，使用融入信号完整性设计的新设计方法才能保证电路功能的正常实现，这对硬件设计工程师提出了更高的要求。

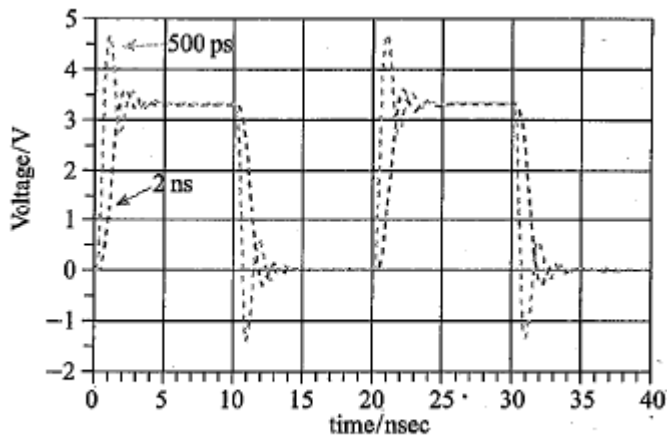


图 1-4 信号的振铃

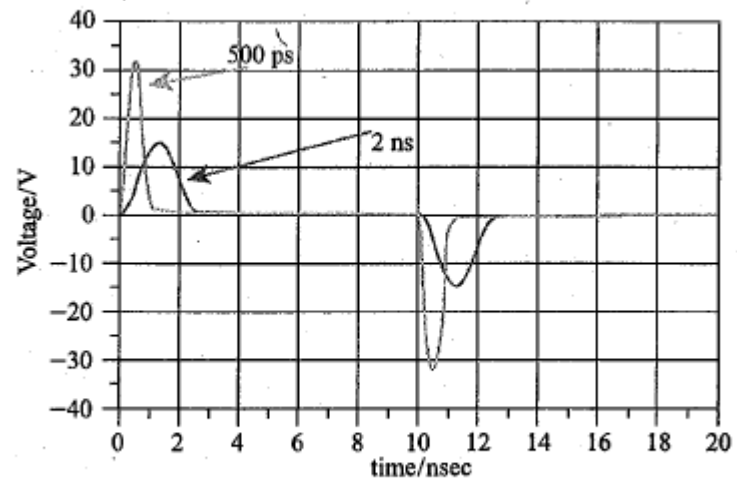


图 1-5 邻近线的干扰

高速互联通道仿真简介

- 怎么解决高速互联通道仿真遇到的问题？
- 信号完整性中，描述各种现象的名词很多，如振铃、上冲、下冲、过冲、串扰、共阻抗、共模、电感、回路电感、单位长度电感、回路面积、容性负载、寄生电容、衰减、损耗、谐振、反射、地弹、阻抗突变、残桩、模态转换、抖动、误码率等。这种信息的“轰炸”让很多工程师感到困惑和茫然，解决这个问题是一个系统的工程，找到正确切入点需要坚实的理论基础和一定的“直觉”。
- 故本次实验以跑通，得到结果为主。如何对通道性能进行评估和改进，留待同学们自行研究探索。

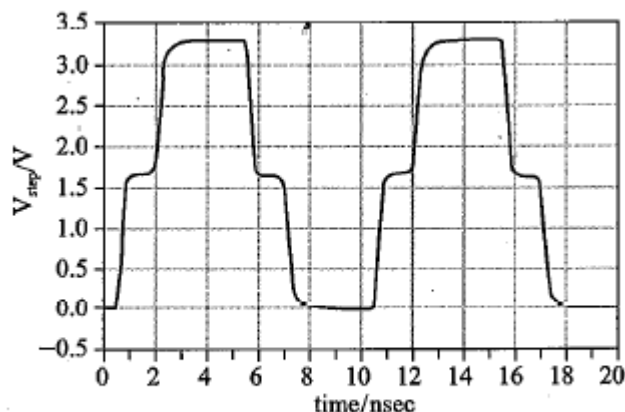


图 4-2 信号边沿的台阶

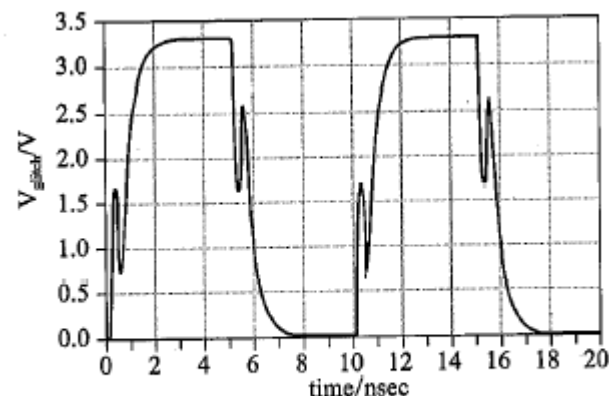


图 4-3 信号边沿的回勾

S参数简介

用 S 参数来表征线性网络是基于波的传播理论，反映的是信号的入射波与反射波之间的关系。根据波传播方程，端口处的电压可表示为

$$V(z) = V(z)^+ e^{-\gamma z} + V(z)^- e^{-\gamma z} \quad (6-4)$$

假设端口阻抗为 Z_0 ，则端口的电流可表示为

$$I(z) = I(z)^+ e^{-\gamma z} - I(z)^- e^{-\gamma z} = \frac{V(z)^+}{Z_0} e^{-\gamma z} - \frac{V(z)^-}{Z_0} e^{-\gamma z} \quad (6-5)$$

因此，如果能够得到端口处的入射信号和反射信号之间的关系，那么也可以完全反映网络的特性。以二端口网络为例，图 6-3 显示了以入射波和反射波表征网络的方法。定义了 4 个表征入射波和反射波的参量 a_1 、 b_1 、 a_2 、 b_2 。



图 6-3 入射波和反射波

$$\begin{aligned} a_1 &= \frac{V_1^+}{\sqrt{Z_0}} \\ b_1 &= \frac{V_1^-}{\sqrt{Z_0}} \\ a_2 &= \frac{V_2^+}{\sqrt{Z_0}} \\ b_2 &= \frac{V_2^-}{\sqrt{Z_0}} \end{aligned} \quad (6-6)$$

可以使用下面的两个等式表征二端口网络：

$$\begin{aligned} b_1 &= S_{11} a_1 + S_{12} a_2 \\ b_2 &= S_{21} a_1 + S_{22} a_2 \end{aligned} \quad (6-7)$$

其矩阵形式为

$$\begin{bmatrix} b_1 \\ b_2 \end{bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{bmatrix} a_1 \\ a_2 \end{bmatrix} \quad (6-8)$$



S参数简介

从定义可见, $a_i (i = 1, 2)$ 表示的是阻抗归一化的入射信号电压, $b_i (i = 1, 2)$ 表示的是阻抗归一化的反射信号电压, 因此 S_{ij} 将入射信号和反射信号联系起来。这组参数 S_{ij} 就称为 S 参数。

如果确定了入射信号和反射信号情况, 那么端口处的电压和电流也就确定了。为方便分析, 忽略 $e^{-\gamma z}$, 电压电流和入射信号及反射信号之间的关系可简写为

$$\begin{aligned} V &= V^+ + V^- \\ I &= \frac{V^+}{Z_0} - \frac{V^-}{Z_0} \end{aligned} \quad (6-9)$$

入射信号及反射信号也可以使用端口处的电压和电流表示

$$\begin{aligned} V^+ &= \frac{1}{2}(V + Z_0 I) \\ V^- &= \frac{1}{2}(V - Z_0 I) \end{aligned} \quad (6-10)$$

从频域了解S参数

- 从频域的角度可以大大简化对 S 参数的理解。频域内单个频点对应的是时域单频正弦信号，图 6-5 显示了频域、时域对应关系，因此可以说频域只存在一种信号，即正弦信号在信号完整性中，S 参数通常用来描述无源线性的互连结构，某一频点的 S 参数可看成是互连结构对正弦信号的响应。由于互连结构是无源的，散射信号的频率一定是和入射信号的频率相同，从端口进入的是正弦信号，从端口出来的也一定是同频率的正弦信号。S 参数可以简化为从端口出来的正弦信号与进入端口的正弦信号的比值。对于二端口互连结构(比如单根传输线)，有以下两公式。

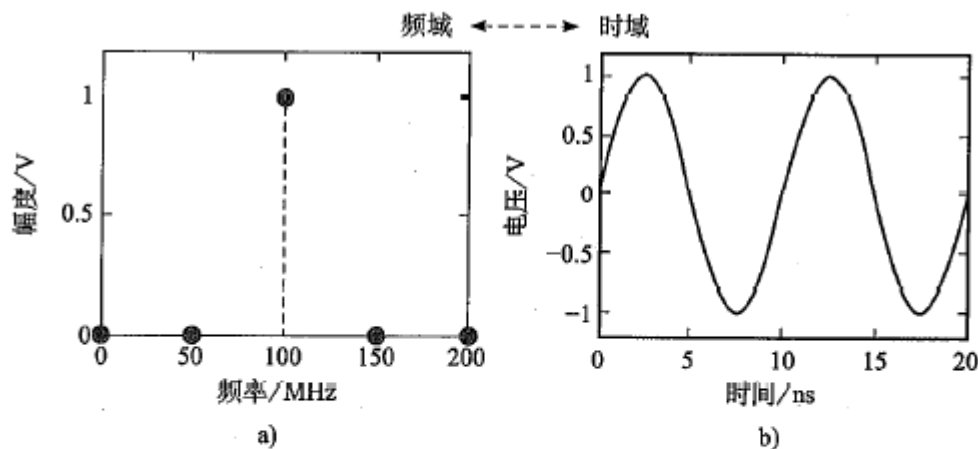


图 6-5 频域、时域对应关系

$$S_{11} = \frac{b_1}{a_1} = \frac{\text{端口 1 出来的正弦信号}}{\text{端口 1 进入的正弦信号}} \quad (6-11)$$

$$S_{21} = \frac{b_2}{a_1} = \frac{\text{端口 2 出来的正弦信号}}{\text{端口 1 进入的正弦信号}} \quad (6-12)$$



PCB上的S11

- PCB上的互连结构是线性无源的，在传输信号时激励源只有一个，即驱动器发出的信号。如果正弦信号从端口1进入，根据 S11定义，S表11示端口1出来的正弦信号和端口1进入的正弦信号的比值。工上通常把 S11称为回波损耗 (Return Loss)。在只有一个激励源的情况下，端口1出来的正弦信号来源只有一个，即由端口1进入的正弦信号和互连结构相互作用而引起的。很明显端口1出来的是正弦信号进入互连结构后反射回来的信号，因此 S11表示的就是互连结构对信号的反射。可以用入射信号和反射信号来表示 S11。

$$S_{11} = \frac{b_1}{a_1} = \frac{V^- / \sqrt{Z_0}}{V^+ / \sqrt{Z_0}} = \frac{V^-}{V^+} \quad (6-15)$$

PCB上的S21

- 根据 S21定义，S21表示从端口 2出来的正弦波和从端口1进的正弦波的比值。工程中通常把 S21称为插损耗 (Insertion Loss)。因此S21表示的是各个频点的正弦信号传输到互连结构末端的情况。幅度通常转换为 dB 表示。图 6-21为 FR4 板材上长度为1英寸的互连线插入损耗 (S21) 以及传输到端口 2 正弦波幅度情况。在 10 GHz 频点 S21幅度约-1 dB，说明如果该互连线的端口 1进入一个 10 GHz 的正弦波，端口 2输出正弦波被衰减了 1 dB，正弦波幅度变为入射波的 90%。

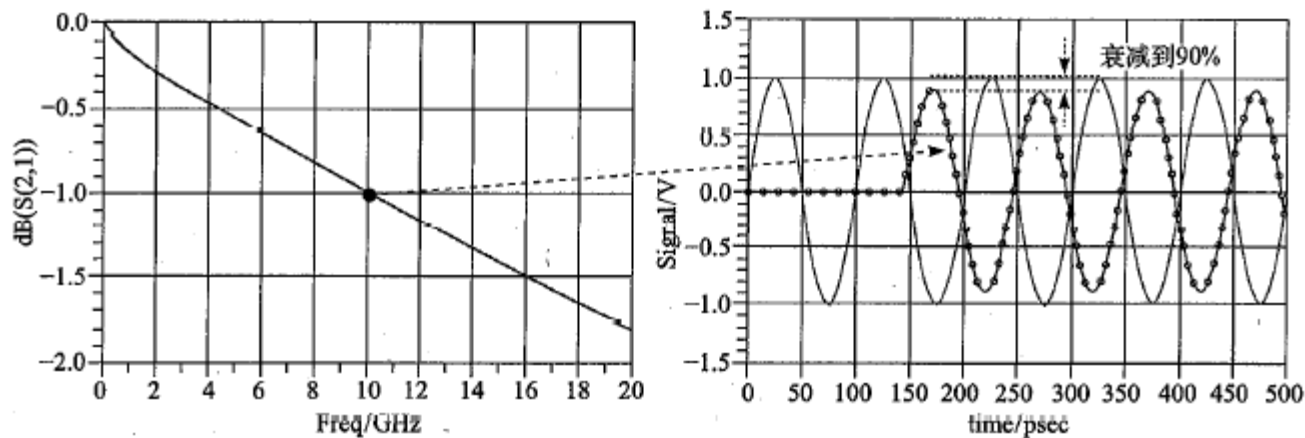


图 6-21 插入损耗与传输信号幅度

端接策略

- 如果不做任何处理, 即使点对点的互连, 反射也可能产生很大的影响, 由于发送端输出阻抗较低, 而接收端输入阻抗一般都远高于传输线特性阻抗, 信号会在两个端点之间反复反弹, 形成振铃。
- 阻抗突变是产生反射的根本原因, 从理论上讲, 如果在传输线的任何端消除这种阻抗突变, 反射也随之消失。匹配端接就是基于这种策略, 通过人为加入电阻来可消除或减轻这种阻抗突变。
- 传输线的匹配端接通常采用两种策略: 1) 使负载阻抗与传输线阻抗匹配, 即并联端接。2) 使源阻抗与传输线阻抗匹配, 即串联端接。在实际应用中, 我们要根据具体情况来选择是串联匹配还是并联匹配, 有时也会同时采用两种匹配形式, 不过一般情况下, 很少会让发送端和接收端都保持完全的匹配, 因为这种情况下, 接收端将无法靠反射来达到足够的电压幅值。

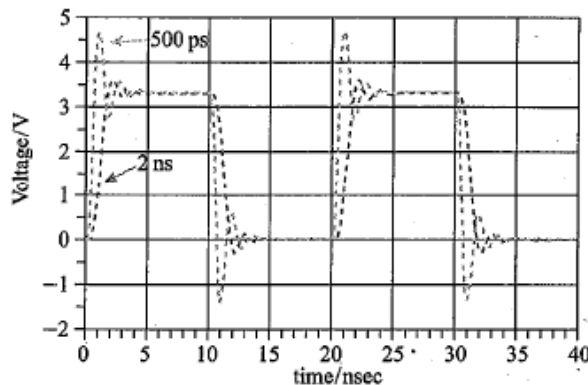
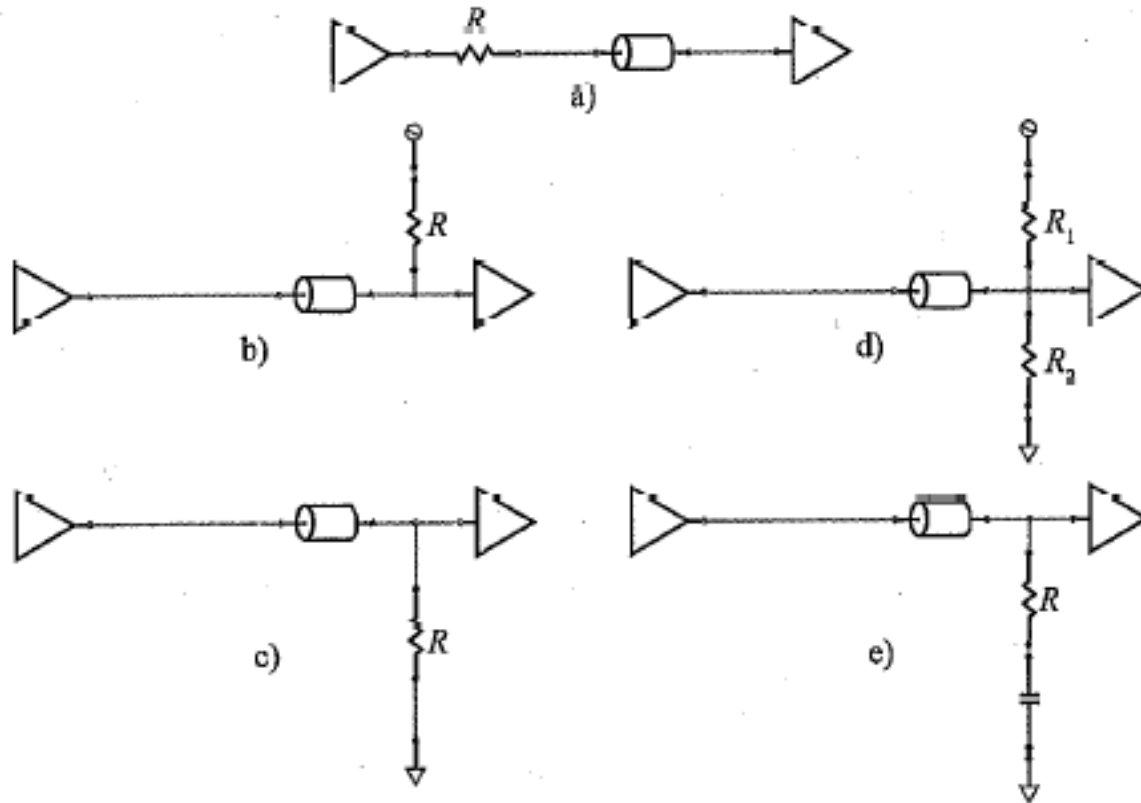


图 1-4 信号的振铃

端接策略

- 下图中显示了几种常用的端接方法:a 串联端接;b 末端并联端接上拉到电源c 末端并联端接下拉到地;d 戴维南端接;e AC端接等。



眼图的产生原理

- 眼图是由信号波形中很多截短的片段叠加在一起而形成的，因而使不同时段内的信号边沿和电压幅度分别叠放在一起，以图形的形式直观地看到信号边沿以及电压幅度的变化。下图将信号分成了不同时间段的波形片段，然后叠加在一起，眼图直观地显示这一叠加过程。通常眼图在时间上的跨度为两个码元的位宽。

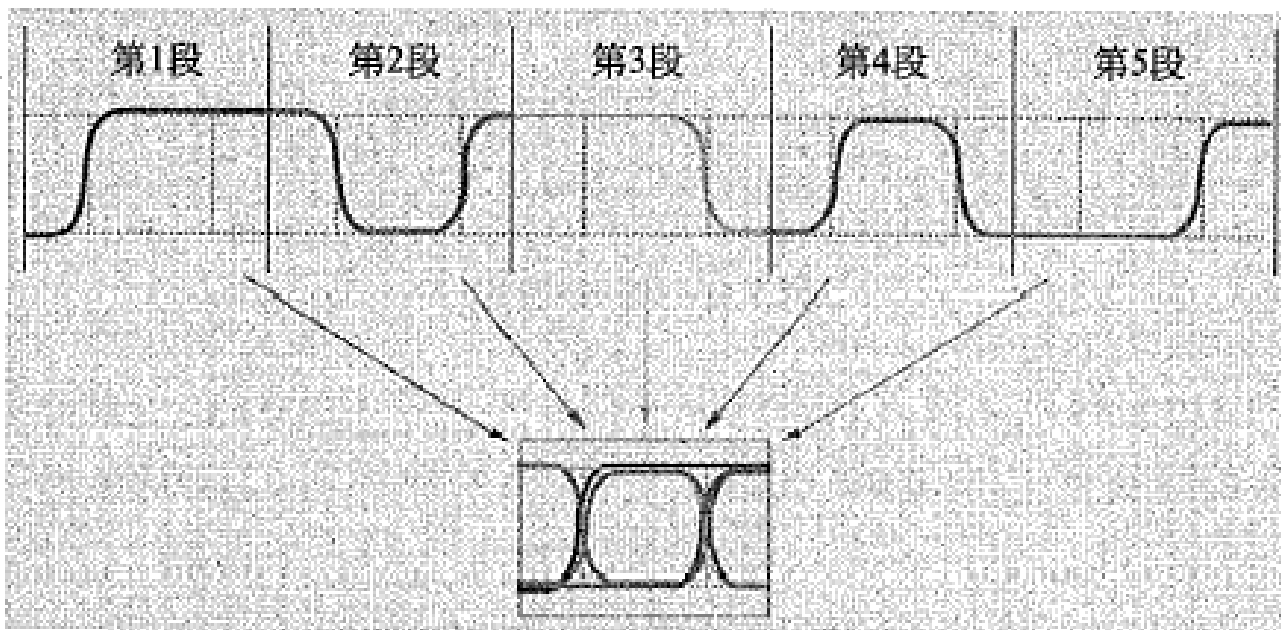


图 9-11 眼图的形成

眼图的产生原理

- 眼图直观地反映了时间上的抖动和幅度上的噪声，因而成为评估高速互连的一个通用工具。在边沿交叉点处边沿所在时间宽度反映了抖动的大小，眼图在幅度上所占用的电压范围反映了幅度噪声的大小，如下图所示。

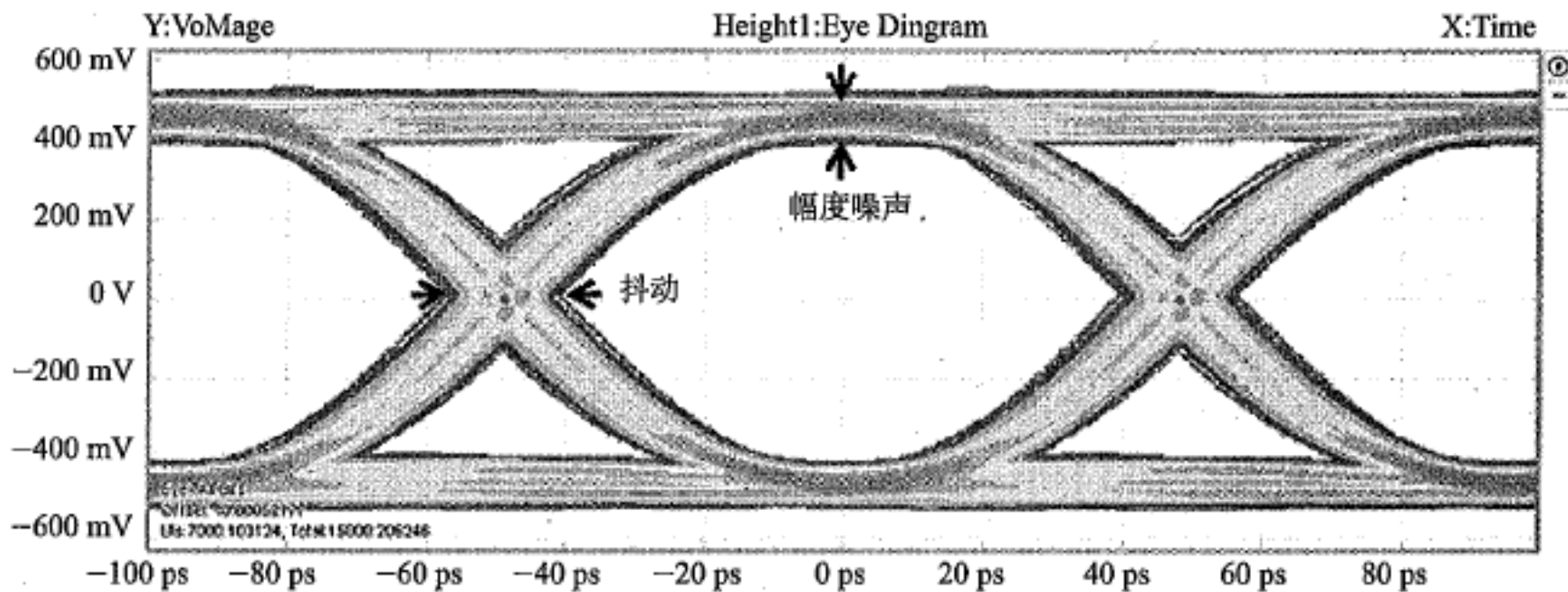
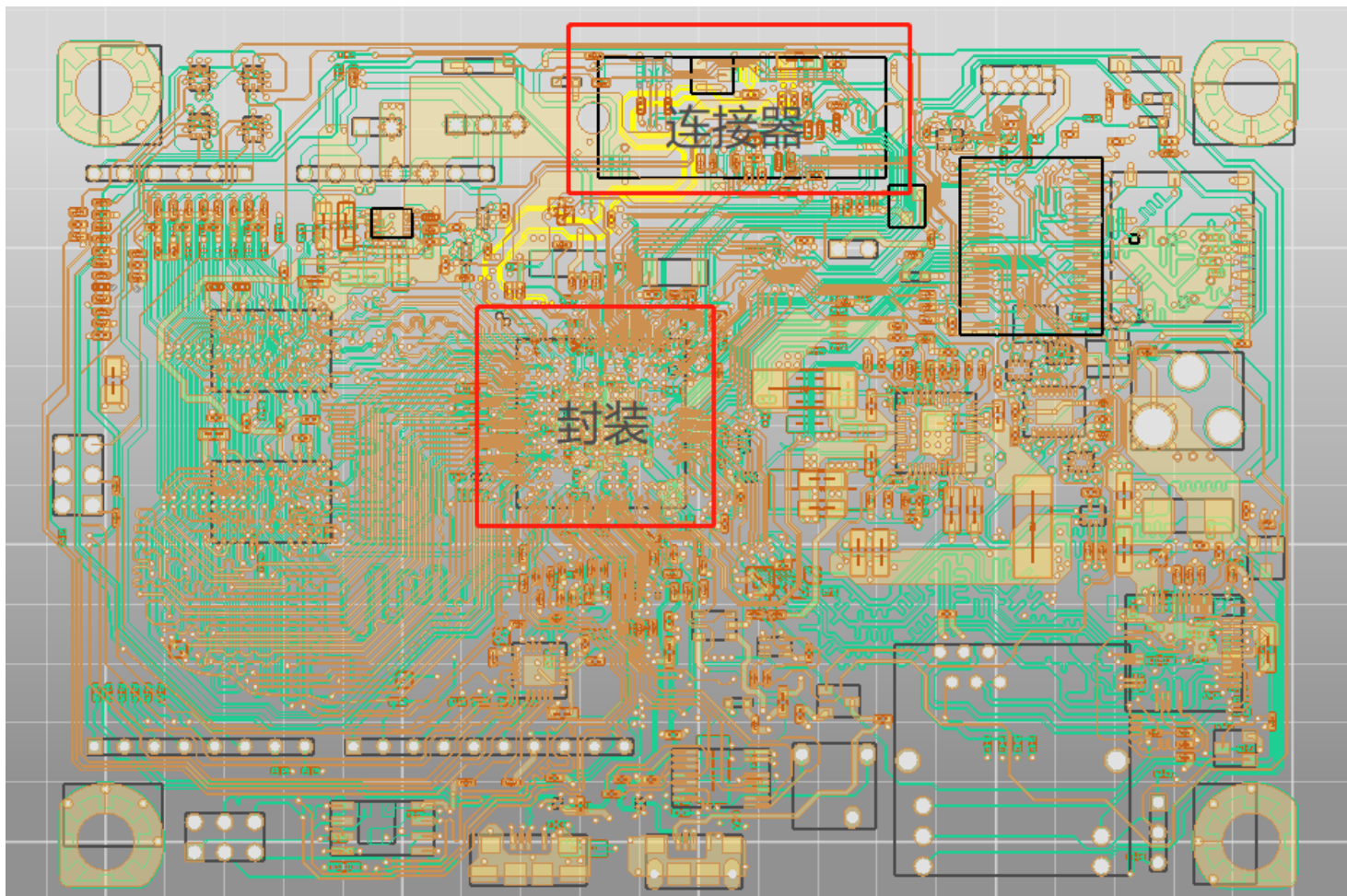


图 9-12 眼图、抖动、幅度噪声

PCI-E串行通道仿真

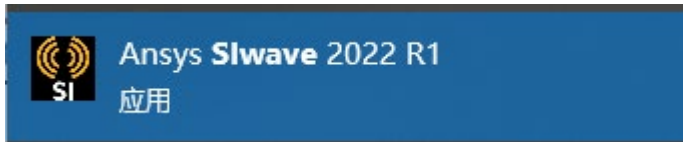
- 利用ANSYS SIwave和Designer进行仿真
- PCI-E 8GT/s通道及版图如图所示。





PCI-E串行通道仿真

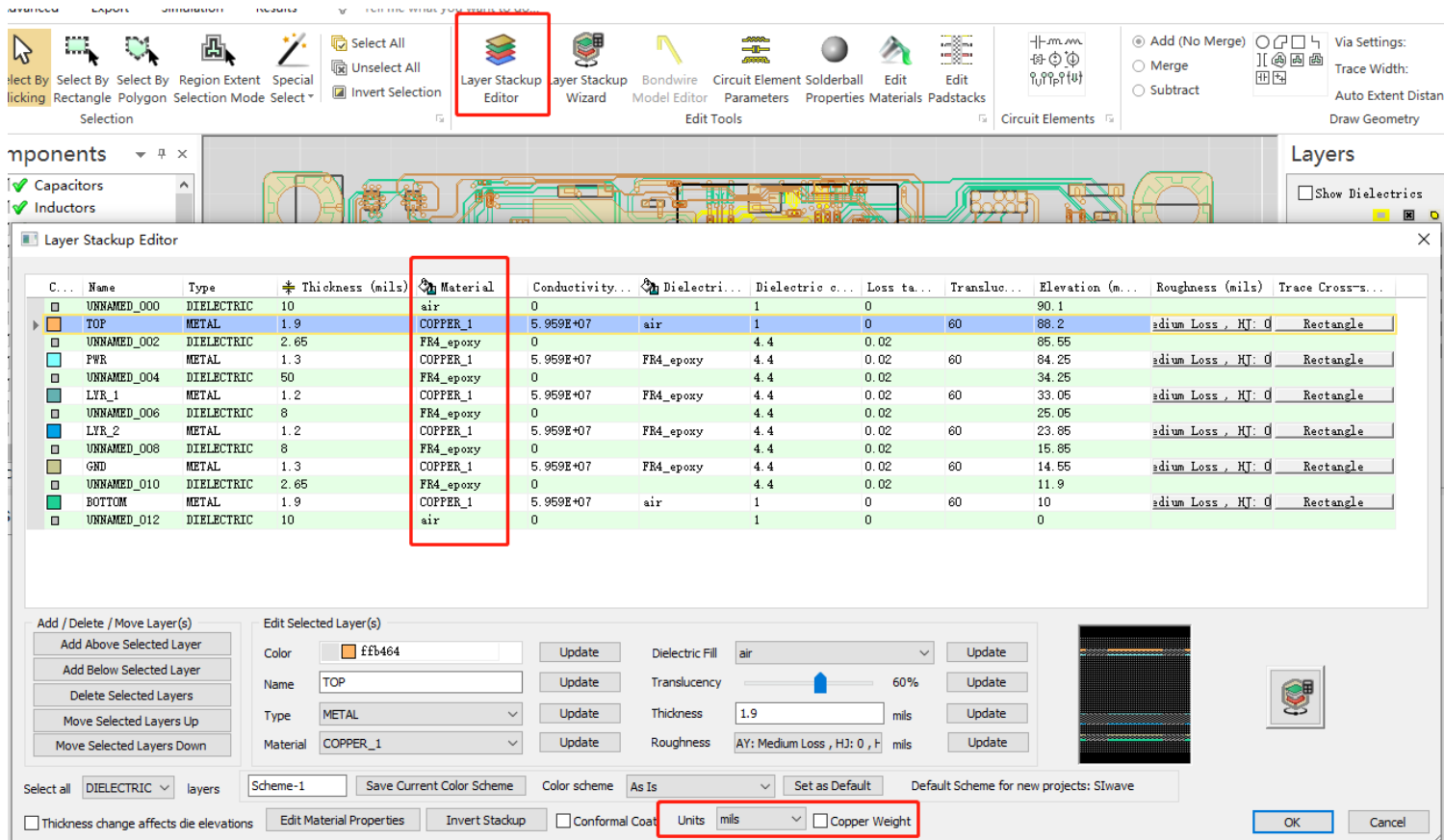
- 1、开始Siwave



- 2、打开一个Siwave项目
- 选择File-Open命令，浏览文件siwave_serial.siw，单击open，得到刚刚所示版图。

PCI-E串行通道仿真

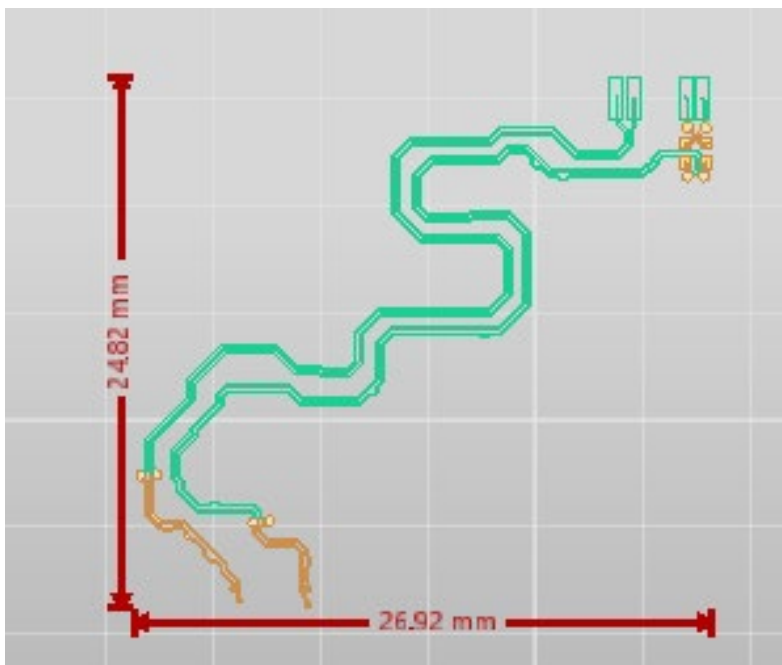
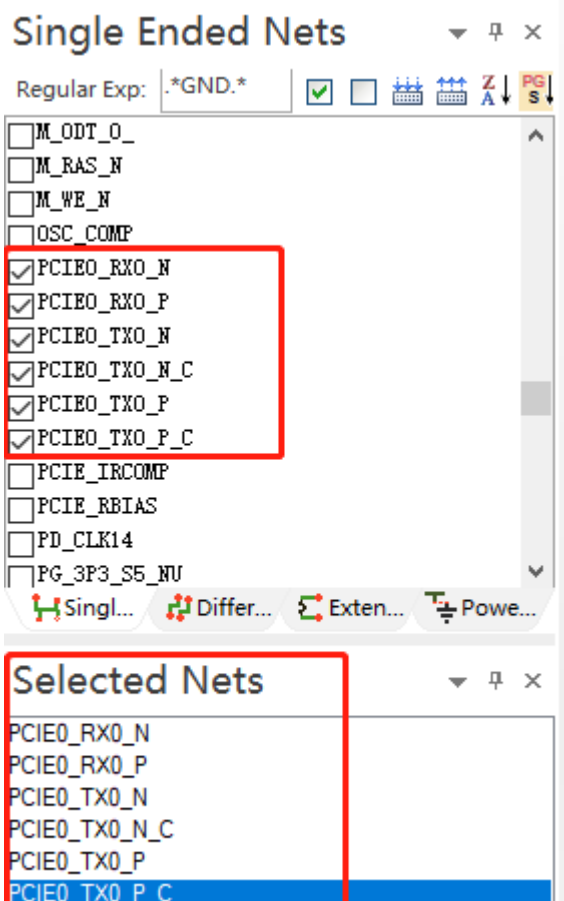
- 3、导入预定义的图层叠层
- 选择菜单项Import-Layer Stackup命令，浏览名为siwave_serial.stk的文件，单击open按钮。选择菜单项Home-Layer Stackup Editor命令，打开如图所示。验证叠层尺寸和材料属性单位为mil，单击OK退出。





PCI-E串行通道仿真

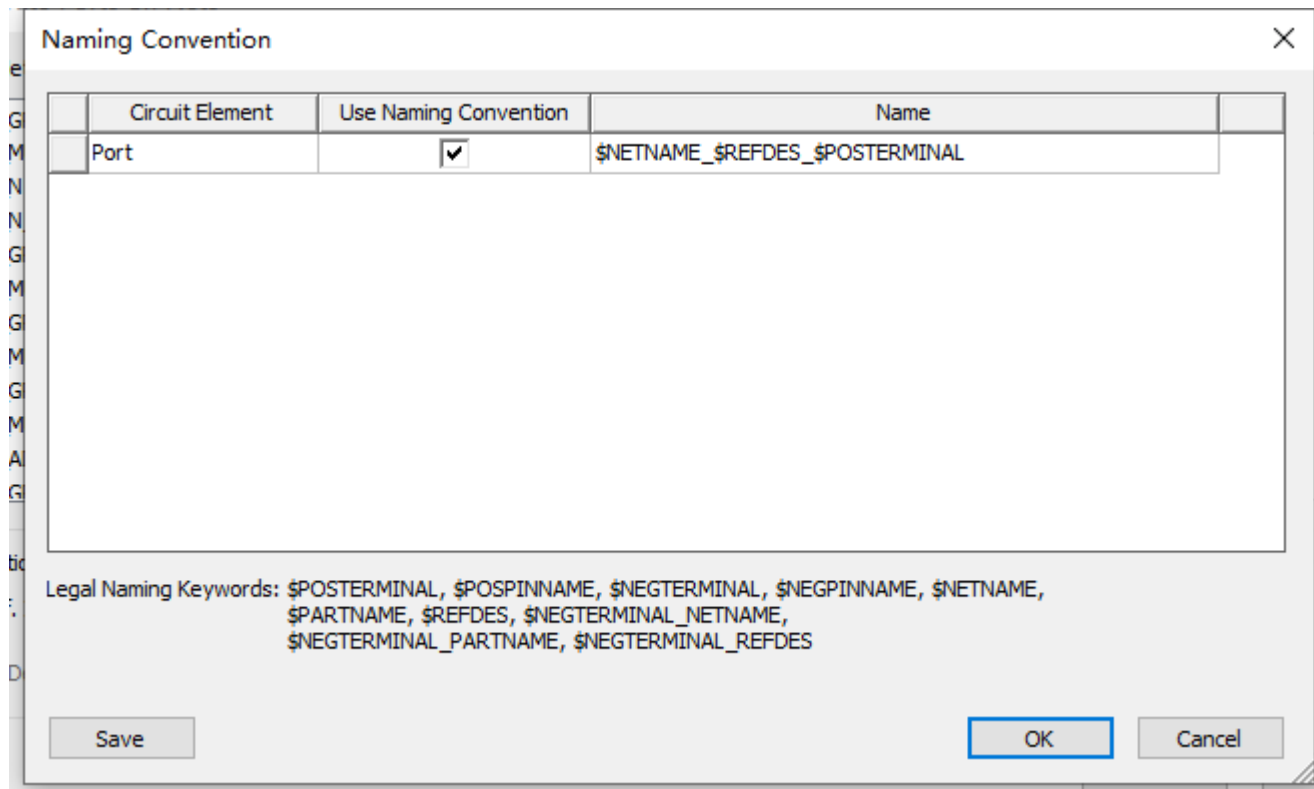
- 4、选择仿真网络
- 该实例使用Siwave SYZ求解器来仿真PCIE网络，选择两对PCIE差分线。右键 show selection only可以看到如图所示。





PCI-E串行通道仿真

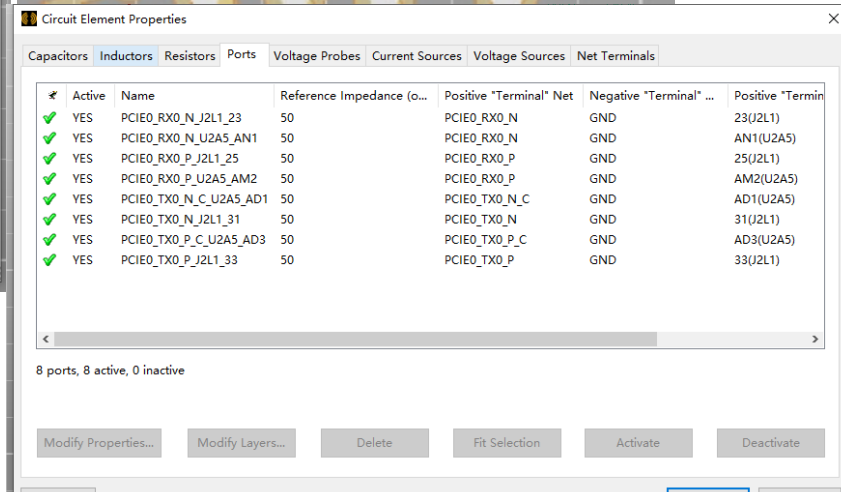
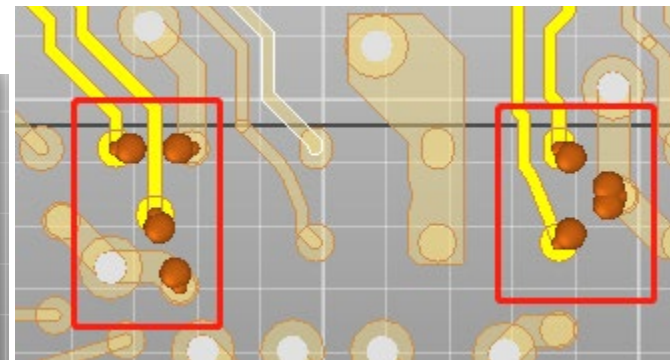
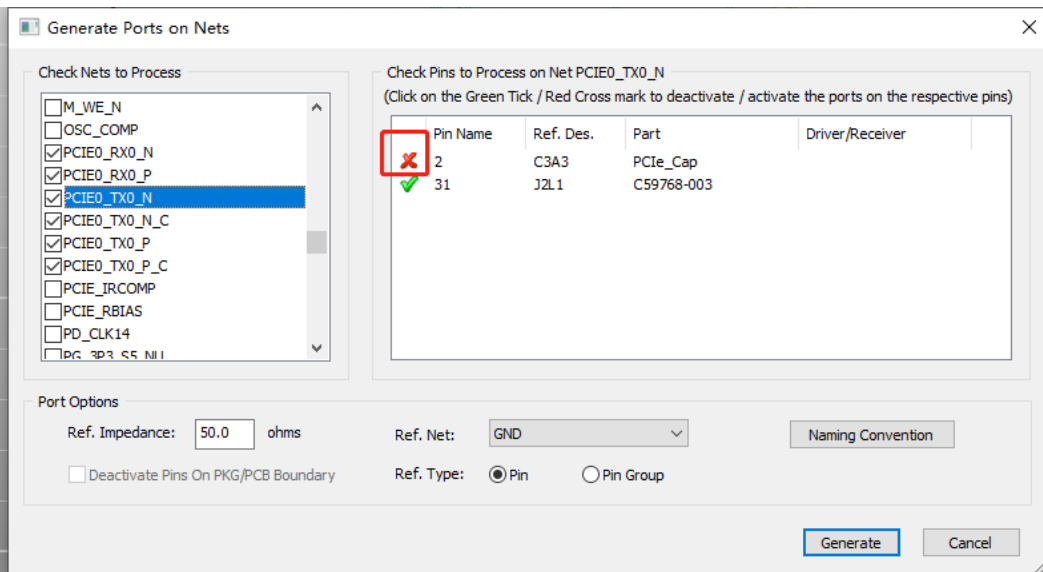
- 5、生成电路元件
- 如图所示，更改端口的命名规则：单击Tools-Generate Port on Selected Nets 命令，单击Naming Convention，在Circuit Element列中找到Port，选中Use Naming Convention复选框，将Port行中的Name文本框更改为\$NETNAME_\$REFDES_\$POSTERMINAL，单击Save，点击OK。





PCI-E串行通道仿真

- 6、生成端口
- 如图所示。单击Tools-Generate Port on Selected Nets 命令，选定的6条走线将参考最近的GND脚，自动将端口放置在其引脚位置。注意其中两个TX网络上有串联电容，我们不需要在电容引脚上创建端口，所以要取消。创建完后点击，Home-Circuit Element Parameters，选择Port选项卡确认有8个端口。





PCI-E串行通道仿真

- 7、保存Siwave项目
- 8、计算S参数
- Simulation-Compute SYZ Parameters, 设置如图所示。

Compute SYZ-parameters

Sweep Sensitivity Distributed Analysis (HPC)

Simulation name: SYZ Sweep 1

☒ Compute exact DC point

Frequency Range Setup

	Start Freq	Stop Freq	Num. Points / Step Size	Distribution
1	0Hz	20GHz	801	Linear

Add Above Add Below Delete Selection Preview...

Save Load Set Default Clear Default

Sweep Selection

☐ Discrete Sweep

☒ Interpolating Sweep

Relative error for S: 0.5 %

Passivity/Causality

☐ Enforce Causality

☒ Enforce Passivity

☐ Set FWS generation parameters

Min Rise/Fall Time / s

2.5E-11

3D Solver

☒ Q3D (auto-detected regions)

☐ HFSS (user-defined regions)

☐ AEDT regions schematic (do not simulate)

☐ Solve regions in parallel Configure...

HFSS solver options...

☒ Export Touchstone? file after simulation completes

Other solver options...

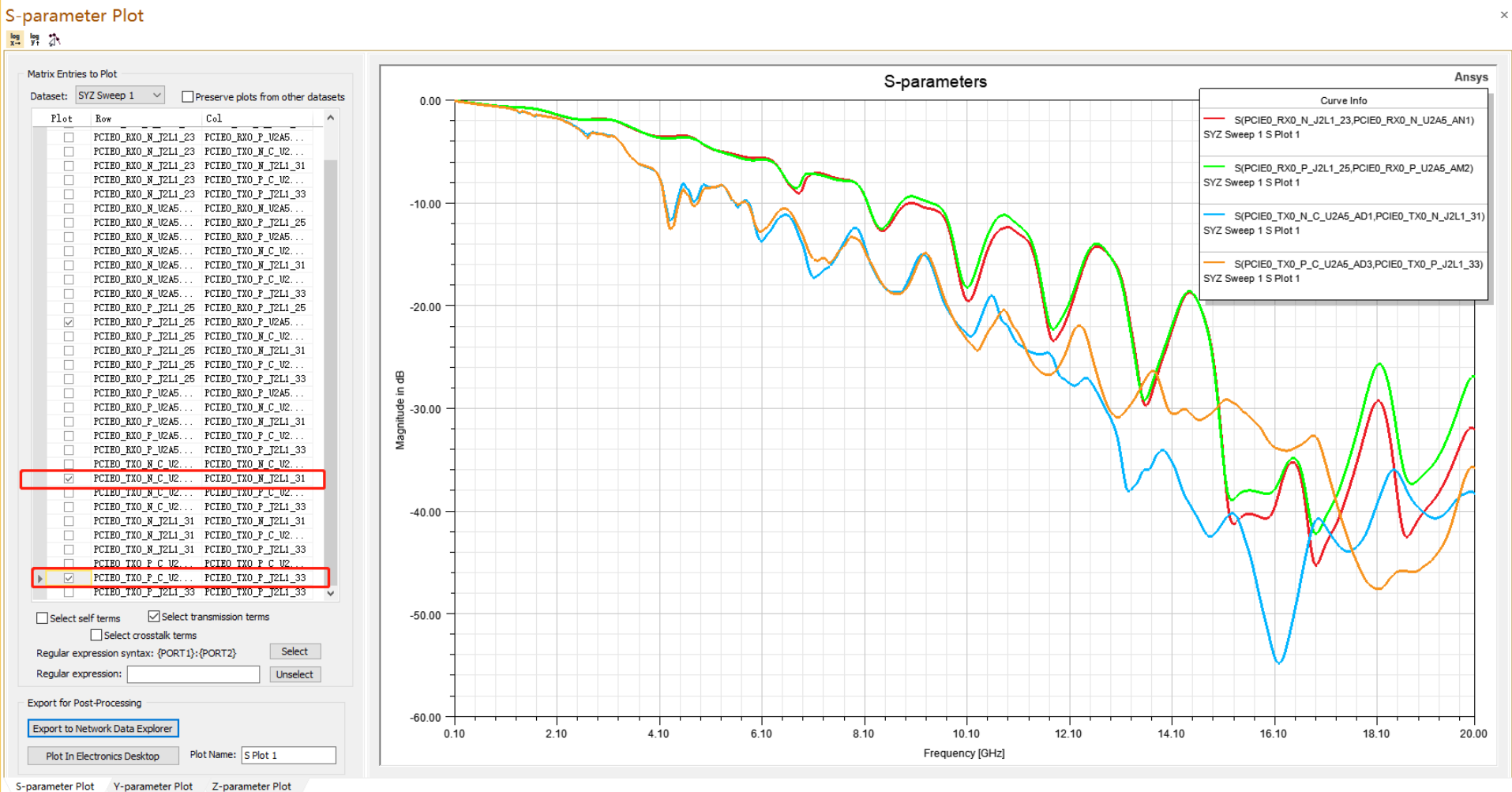
File path: C:/Users/cch-pc/Desktop/Courseware/test.s8p

Browse...



PCI-E串行通道仿真

- 9、编辑报告图
- Results-右键SYZ Sweep1-Plot Magnitude/Phase.





PCI-E串行通道仿真

- 10、导出State Space模型
- 单击Results-右键SYZ Sweep1-Compute FWS sub-circuit。

The screenshot shows the 'Broadband Export Options' dialog box. It is divided into three main sections: 'Macromodel Output Options', 'Macromodel Generator Options', and 'Miscellaneous Options'.

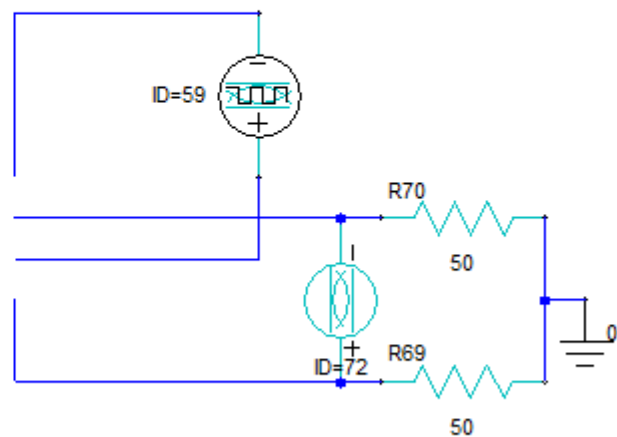
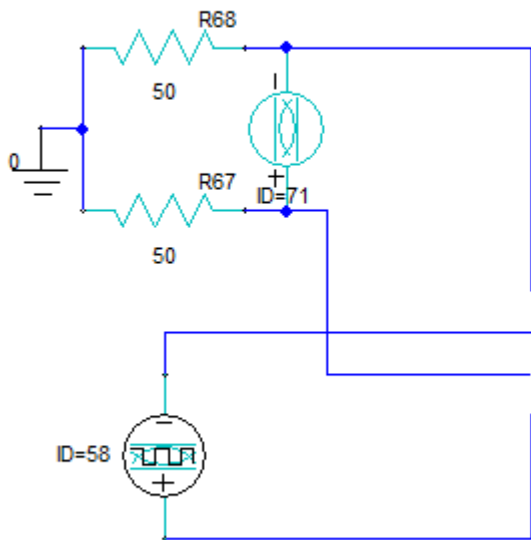
- Macromodel Output Options:**
 - Output File: C:/Users/cch-pc/Desktop/Courseware/SYZ_Sweep_1_sp_8.sss (with a 'Browse' button)
 - ☒ Change output file format
 - ☐ HSPICE
 - ☐ RFM
 - ☐ Touchstone 1.0
 - ☐ Touchstone 2.0
 - ☐ PSPICE
 - ☐ Spectre
 - ☒ Nexxim State Space
 - ☐ Twin Builder
 - ☐ HSPICE-Foster (pole-residue)
 - ☒ Use common ground
- Macromodel Generator Options:**
 - ☒ Enforce model passivity (highlighted with a dashed border)
 - Desired fitting error: 0.5 %
 - ☒ Ensure accurate Z-fit
 - ☐ Renormalize
 - 50 ohms
- Miscellaneous Options:**
 - ☒ Compare fit (with an 'Edit description' button)

At the bottom right, there is an 'Advanced >>' button. At the bottom center, there are 'OK' and 'Cancel' buttons.



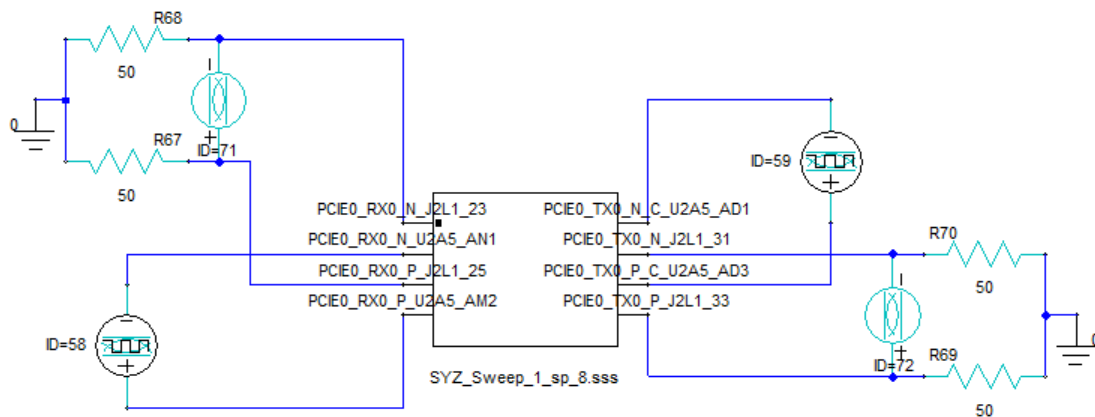
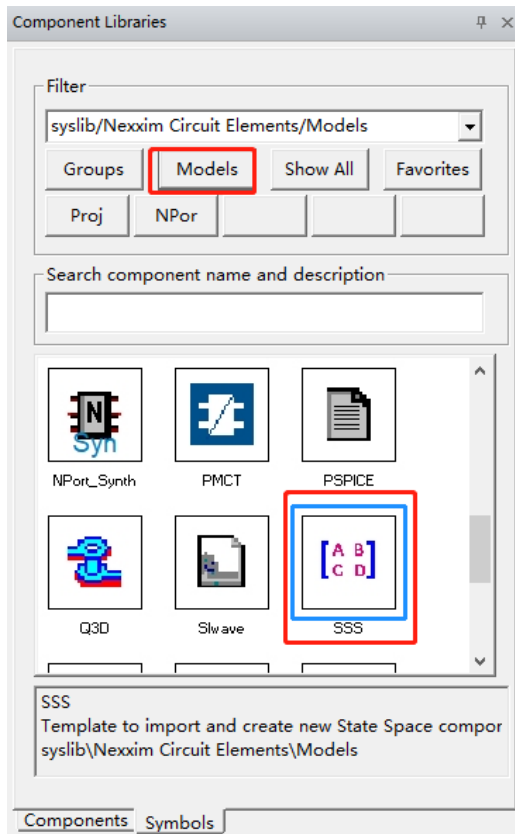
PCI-E串行通道仿真

- 11、访问ANSYS电路
- 双击打开Circuit_Serial_Channel_raw.aedtz, 存为Circuit_Serial_Channel_raw.aedt。



PCI-E串行通道仿真

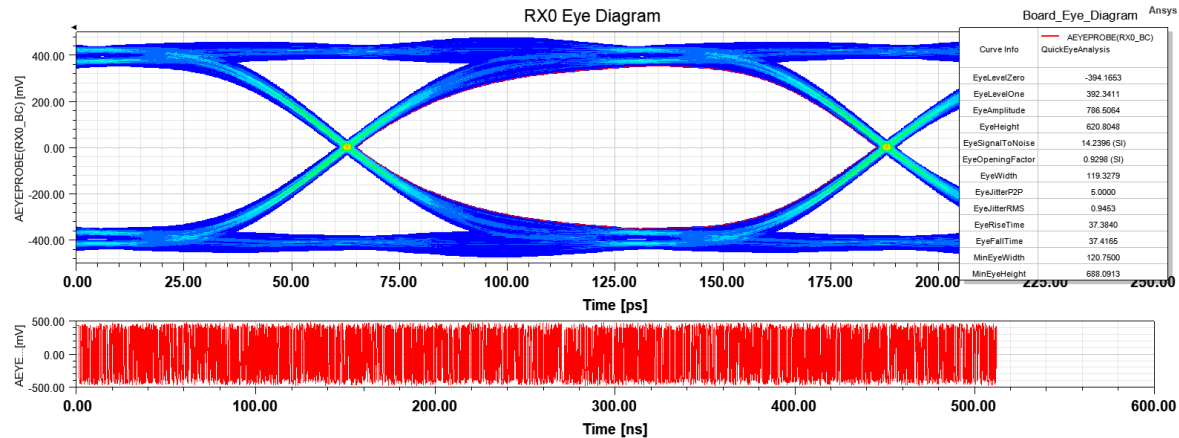
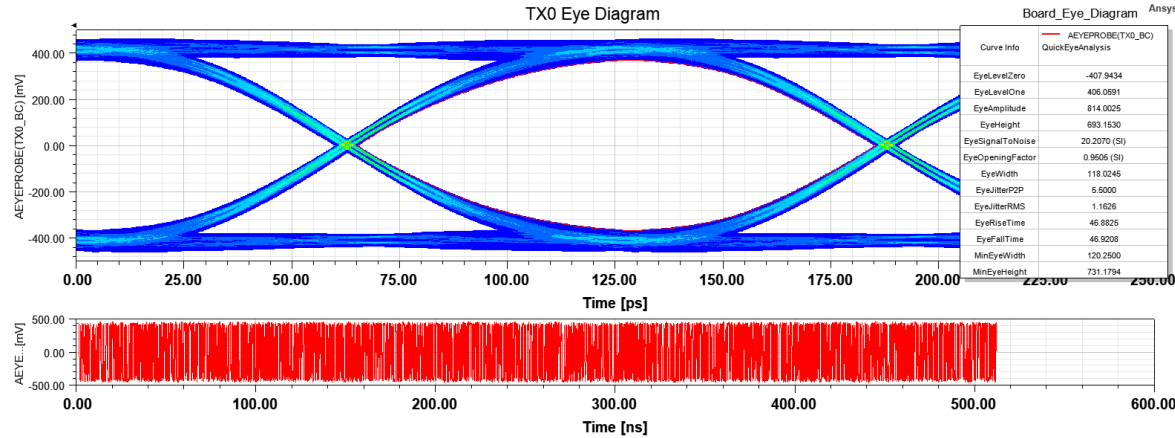
- 12、导入State Space模型
- 在Component Libraries对话框中，单击Import Models-Add Model-Add State-space Model命令，在N-Port data对话框中，更改名词为Siwave_serial。单击Browse按钮并选择siwave_serial_8.sss；单击Open按钮，将模型放入电路设计中。





PCI-E串行通道仿真

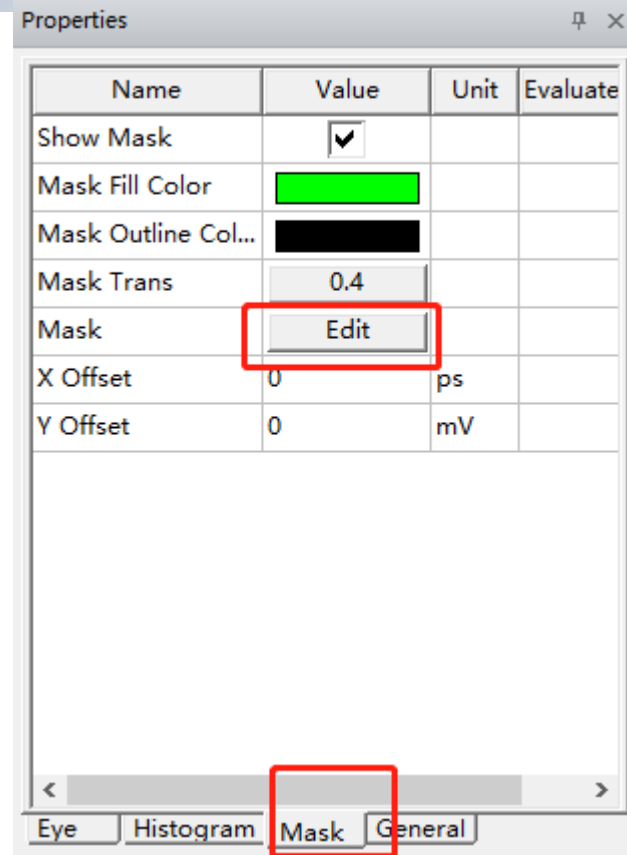
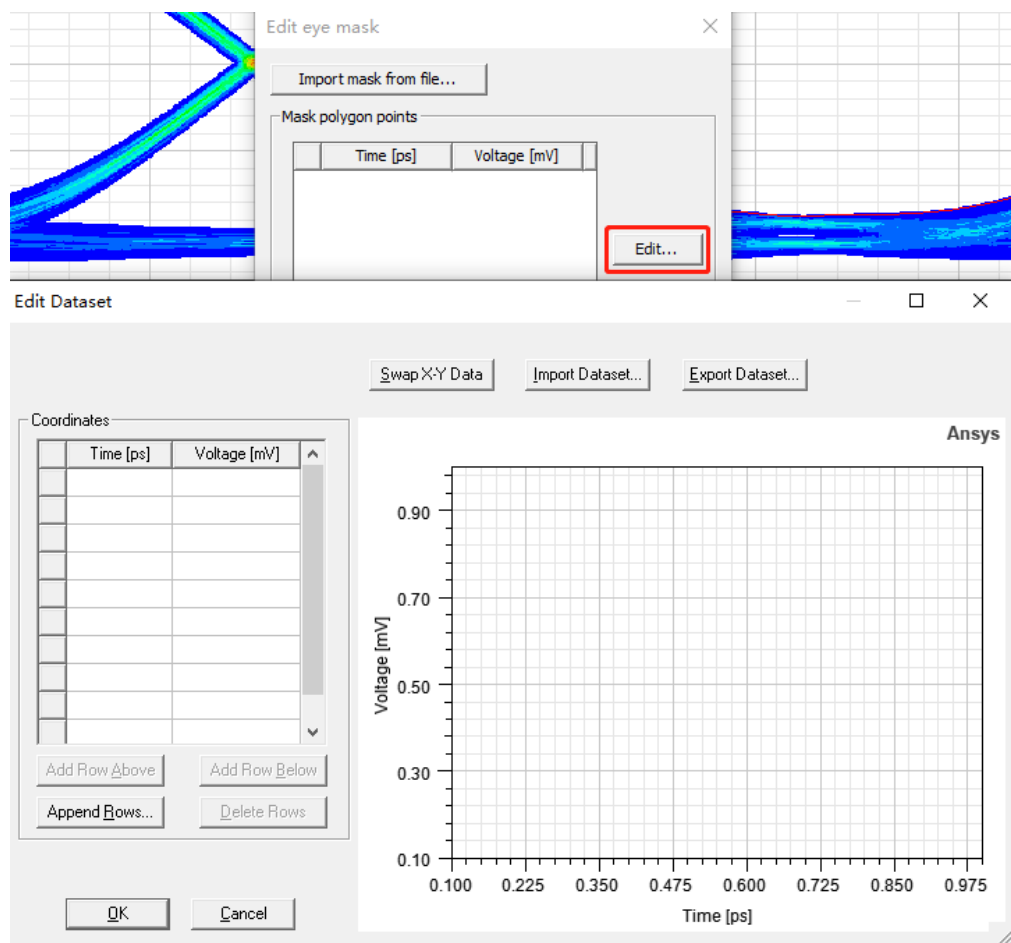
- 13、运行QuickEye和VerifEye分析
- 展开Board_Eye_Diagram并展开Project Manager窗口中的Analysis，此时已定义了两个仿真：QuickEye Analysis和VerifEye Analysis，右键Analyze，完成后在Result中查看结果。





PCI-E串行通道仿真

- 14、创建眼图模板
- 单击眼图，在左下Properties 中选择Mask edit



PCI-E串行通道仿真

- 14、创建眼图模板
- 根据PCIE3.0规范进行创建。

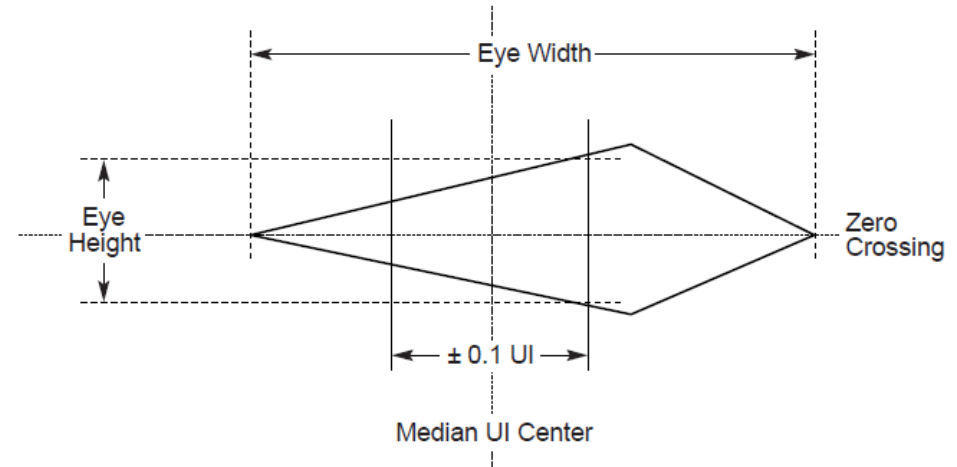


Table 4-27: Channel Tolerancing Eye Mask Values

0841

Symbol	Parameter	Value	Units	Comments
$V_{RX-CH-EH}$	Eye height	25 (min)	mVPP	Eye height at BER= 10^{-12} . Note 1.
$T_{RX-CH-EW}$	Eye width at zero crossing	0.3 (min)	UI	Eye width at BER= 10^{-12}
$T_{RX-DS-OFFSET}$	Peak EH offset from UI center	± 0.1	UI	See Figure 4-87 for details.
V_{RX-DFE_COEFF}	Range for DFE d_1 coefficient	± 30	mV	See Figure 4-70 for details.

Notes:

1. $V_{RX-CH-EH}$ is defined as max EH within an aperture of ± 0.1 UI from mean UI center. See Figure 4-87 for details.



PCI-E串行通道仿真

- 14、创建眼图模板
- 根据PCIE3.0规范进行创建。

Edit eye mask

Import mask from file...

Mask polygon points

	Time [ps]	Voltage [mV]
1	-18.75	0
2	-6.25	12.5
3	6.25	12.5
4	18.75	0
5	6.25	-12.5
6	-6.25	-12.5
7	-18.75	0

Edit...

☐ Add upper/lower limits [mV]

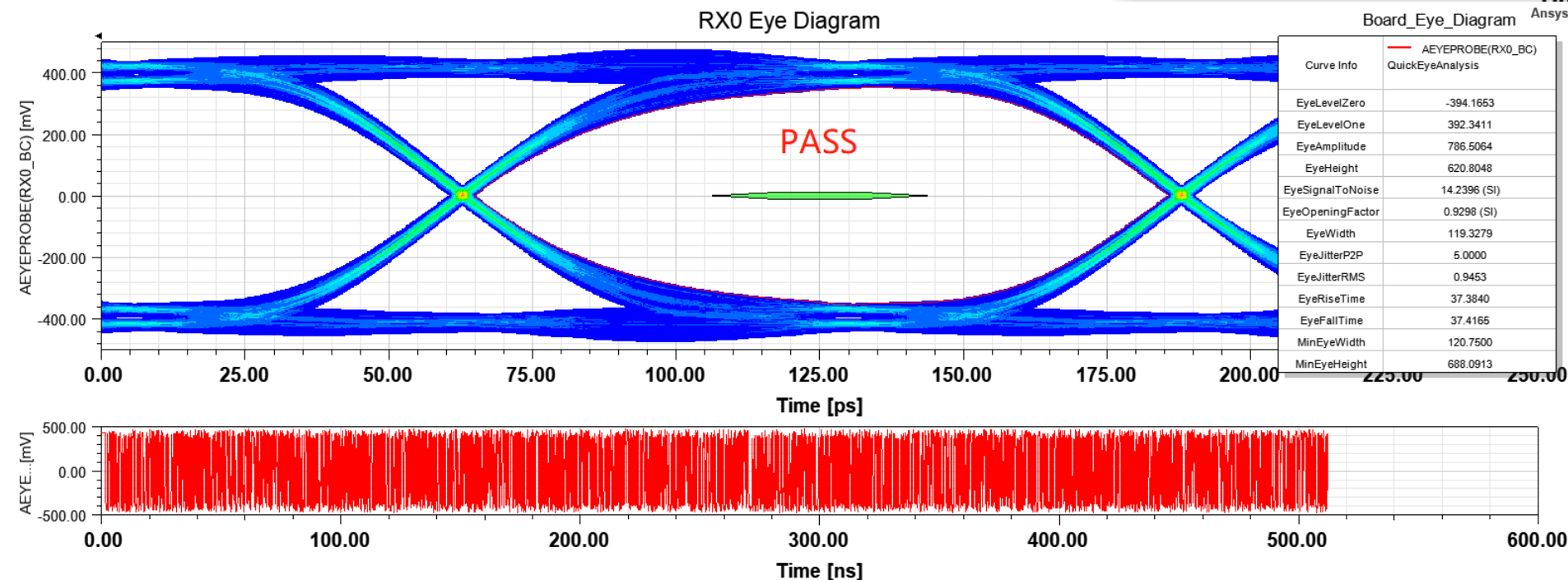
Upper limit 1000

Lower limit 0

OK

Export mask to file...

Cancel





完!!!



练习

- 基本要求：
 - 1、将本次仿真完整地跟做下来
 - 2、将层叠中的某个参数（材料属性、板材厚度等）进行更改，观察其对S参数的影响
 - 3、将搭建链路中的某个参数（端接电阻、激励源等）进行更改，观察其对眼图的影响

练习

- 进阶要求（选作）：
 - 1、用此例进行一次DDR仿真，自行选取一部分数据线地址线。
- 线地址线。

