

# Laboratoire 2

Université de Cergy-Pontoise

## Additionneurs, Soustracteurs et Multiplieurs

L'objectif de cet exercice est d'étudier les circuits arithmétiques pour l'addition, la soustraction et la multiplication. Chaque circuit sera décrit en VHDL puis implémenté sur une des cartes DE2 d'Altera.

### Partie I

On souhaite tout d'abord réaliser l'additionneur représenté dans la figure 2 travaillant sur des mots de 8 bits en complément à deux et générant un signal overflow lorsque le résultat de l'addition de A et B ne peut être valide sur 8 bits. Pour réaliser ce composant, vous utiliserez une structure à propagation de retenue comme indiqué dans la figure 1.

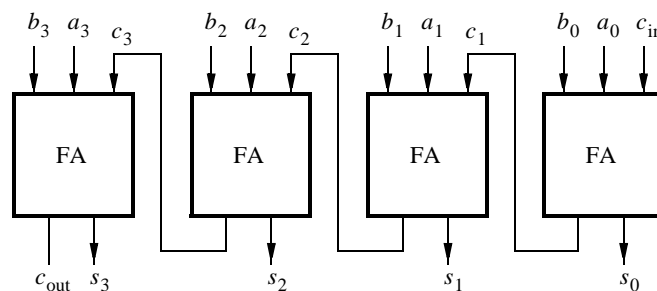


Figure 1: A four-bit ripple carry adder.

Comme d'habitude, décrivez votre composant en VHDL sous Quartus II et télécharger le design sur la carte pour les tests en suivant les étapes suivantes :

1. Créez un nouveau projet sous Quartus.
2. Écrire le code VHDL de l'additionneur complet basé sur la structure de la Figure 1. Suivre la méthode vue en cours utilisant une structure générique.
3. Écrire ensuite le code d'un processus avec sa liste de sensibilité pour représenter l'enregistrement des signaux A et S en registres (apparaissant dans la figure 2).
4. Écrire ou reprendre le code du décodeur 7-segments. Ce composant sera utilisé pour afficher les opérandes et le résultat des opérations sur la carte.
5. Écrire le code structurel complet du circuit de la figure 2. Pour cela, instancier les composants précédents au sein de la même architecture.
6. Connecter les entrées A aux switches  $SW_{7-0}$ , les entrées B aux switches  $SW_{16-8}$  et utilisez le bouton  $KEY_0$  comme un reset asynchrone actif à l'état bas et le bouton  $KEY_1$  comme une horloge manuelle pour les registres. Le résultat de l'addition sera affiché sur  $LEDR_{7-0}$  et la retenue (carry-out) sur la led  $LEDR_8$ . Les opérandes A et B ainsi que la somme S seront également affichés en utilisant les afficheurs 7-segments.
7. Réaliser l'affectation des pin du FPGA.
8. Compiler votre design et vérifier le bon fonctionnement sur carte, notamment l'allumage du flag Overflow.

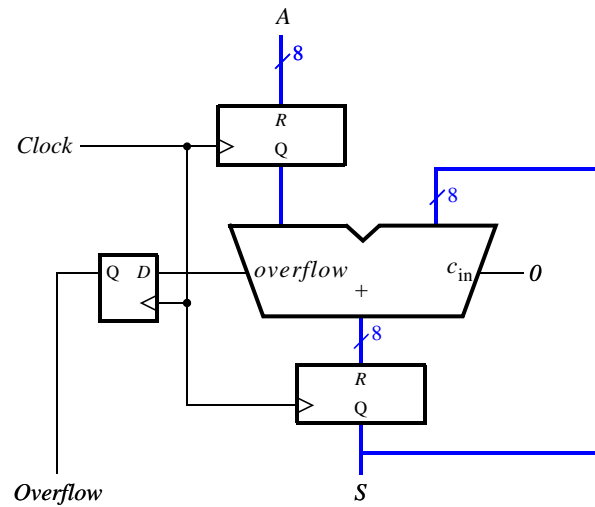


Figure 2: Un circuit accumulateur 8-bits.

## Part II

Étendre maintenant le circuit de la partie I pour permettre de réaliser l'addition et la soustraction. Un signal supplémentaire, appelé *add\_sub* et relié au switch  $SW_{16}$ , permettra de sélectionner l'opération désirée. Lorsque *add\_sub* est à 1, le circuit fournira en sortie la soustraction  $A - S$ . Autrement on calculera l'addition de la partie I.