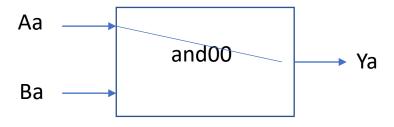
PIZARRAS DE APOYO PARA LAS PRESENTACIONES

ENTIDAD VHDL

PUERTA LOGICA AND

SUMADOR MEDIO

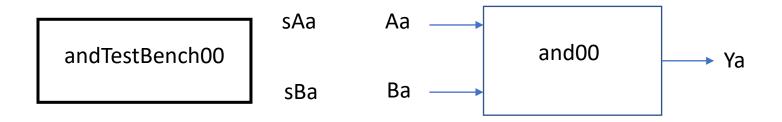
SUMADOR COMPLETO



Representación gráfica de un módulo funcional de un circuito lógico secuencial o combinacional. El término "módulo funcional" se refiere a que lleva a cabo una función booleana simple o compleja, en función de las entradas y entrega un resultado, en su salida. O en otro caso, un operación secuencial



B7	В7	В6	B5	B4	В3	B2	B1	В0
----	----	----	----	----	----	----	----	----

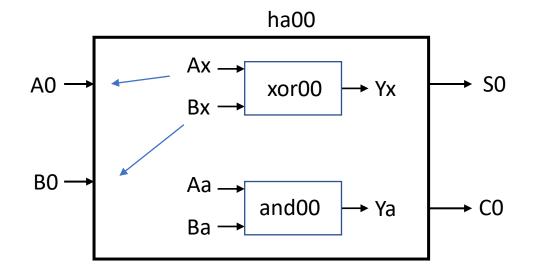


Representación gráfica de un módulo funcional de un circuito lógico secuencial o combinacional. El término "módulo funcional" se refiere a que lleva a cabo una función booleana simple o compleja, en función de las entradas y entrega un resultado, en su salida. O en otro caso, un operación secuencial

Α	0	1	1	1
В	0	1	1	0

ESTILO ESTRUCTURAL O JERARQUICO

A0	В0	S0	CO
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1



10

RTL = Register Transfer Level

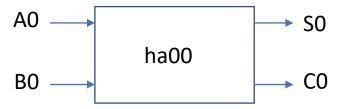
Half Adder

ESTILO ESTRUCTURAL O JERARQUICO



ESTILO ESTRUCTURA O JERARQUICO

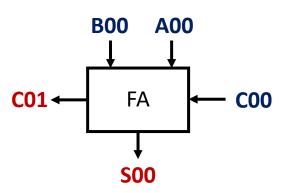
ha00TestBench



Α	0	1	1	1
В	0	1	1	0
S	1	1	0	1

A00	B00	C00	S00	C01
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1





S00

A00, B00 C00

0,0 1

0,1 1

1,1 1

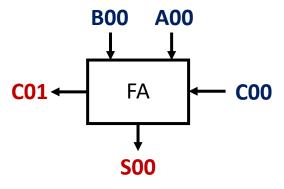
1,0 1

Α	0	1	1	1
В	0	1	1	0
S	1	1	0	1

11

A00	B00	C00	S00	C01
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

1	1	0	0	0	0	0	0
1	1	0	0	0	0	1	1
0	0	1	1	1	1	0	0



Primero hacer la síntesis Por álgebra de Boole

Full Adder

O por mapas de Karnahugh

Arreglar por Teorema de D'Morgan