



INSTITUTO POLITECNICO NACIONAL
ESCUELA SUPERIOR DE CÓMPUTO (ESCOM)



**COMPORTAMIENTO Y CONSTRUCCION DE
COMPUERTAS LÓGICAS CON TECNOLOGÍA MOS**

NOMBRE DEL ALUMNO:

- SANTOS MÉNDEZ ULISES JESÚS

UNIDAD DE APRENDIZAJE:

- FUNDAMENTOS DE DISEÑO DIGITAL

NOMBRE DEL MAESTRO:

- LOPEZ LEYVA LUIS OCTAVIO

GRUPO:

- 2CV3

Las formas en las que se pueden representar físicamente las variables lógicas como señales en los circuitos electrónicos son dos (0 y 1). En un circuito estos valores se representan como niveles de voltaje o de corriente.

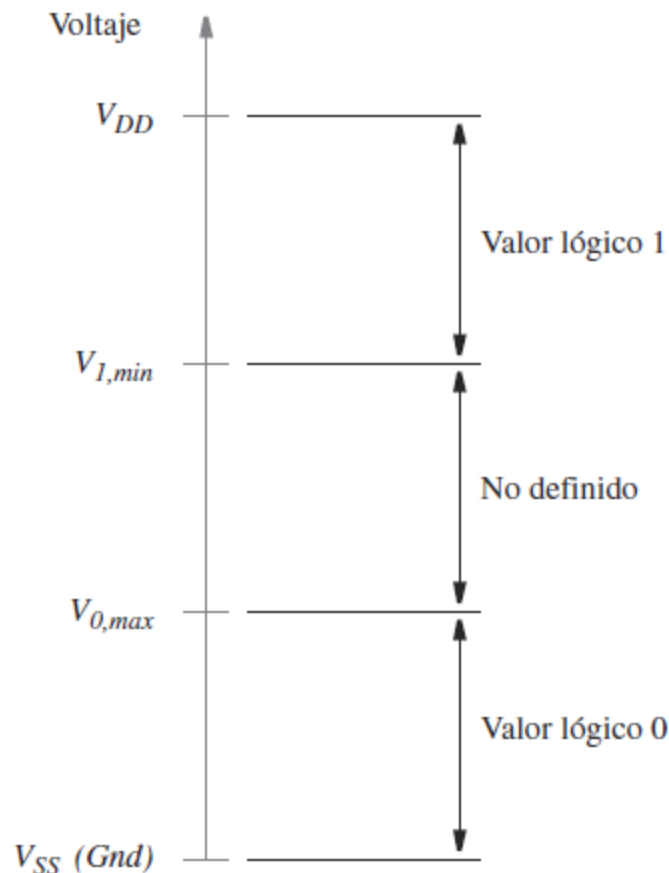
La forma más obvia de representar dos valores lógicos como niveles de voltaje es definir un voltaje umbral: el voltaje por debajo del umbral representa un valor lógico y el que está por arriba, otro.

La elección acerca de cuál valor lógico se asocia con los niveles de voltaje bajo o alto es arbitraria, usualmente el 0 lógico se representa con los niveles de voltaje bajos y el 1 con los altos. Esto se conoce como sistema de lógica positiva. La elección opuesta, en la que los niveles de voltaje bajos representan el 1 lógico y los altos el 0 se denomina sistema de lógica negativa.

Cuando se usa el sistema de lógica positiva los valores lógicos 0 y 1 se llaman simplemente “bajo” y “alto”.

V_{DD} = Fuente de poder

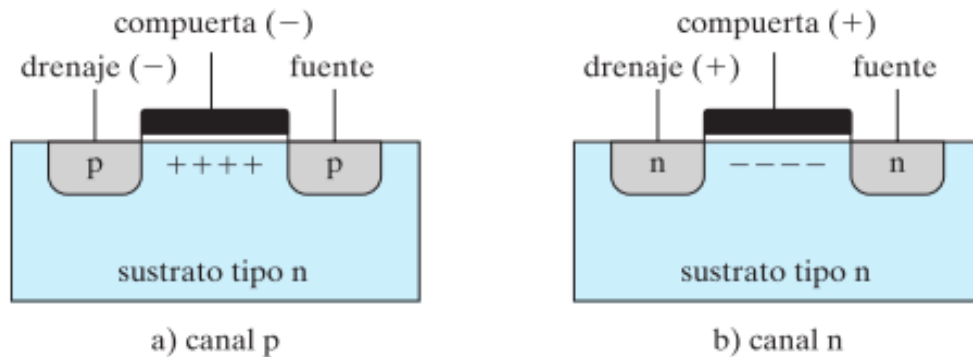
V_{SS} = Ground, Tierra



Metal-Óxido-Semiconductor (MOS)

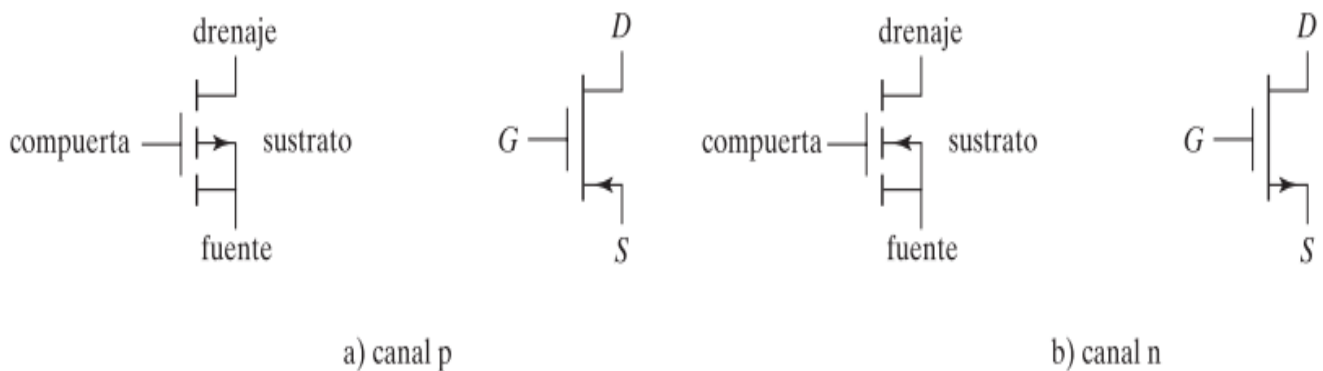
El transistor de efecto de campo (FET, field-effect transistor) es un transistor unipolar, ya que su funcionamiento depende del flujo de sólo un tipo de portador. Hay dos tipos de transistores de efecto de campo: el transistor de efecto de campo de unión (JFET, junction FET) y el metal-óxido-semiconductor. El primero se utiliza en circuitos lineales y el otro en circuitos digitales.

La estructura básica del transistor MOS se divide en dos diferentes, MOS de canal P (PMOS) y MOS de canal N (NMOS).



El MOS de canal p consiste en un sustrato levemente impurificado de Silicio tipo n. Dos regiones se impurifican intensamente por difusión de impurezas tipo p para formar la fuente y el drenaje. La región entre las dos secciones tipo p actúa como canal. La compuerta es una placa de metal separada del canal por un dieléctrico aislado de dióxido de Silicio.

En el MOS de canal n, la terminal de fuente se conecta al sustrato y se aplica un voltaje positivo a la terminal del drenaje, cuando el voltaje de compuerta está por debajo del voltaje de umbral no fluye corriente en el canal.



Interruptores de transición

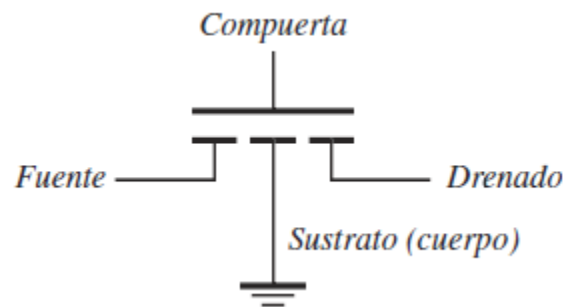
Los circuitos lógicos se construyen con transistores. Para entender cómo se construyen los circuitos lógicos podemos suponer que un transistor funciona como un simple interruptor.

Cuando la señal de entrada es baja el interruptor se abre, cuando es alta el interruptor se cierra. El transistor más popular para implementar un interruptor simple es el transistor semiconductor de óxido metálico con efecto de campo (MOSFET). Existen dos tipos de MOSFET, conocidos como canal n (NMOS) y canal p (PMOS).

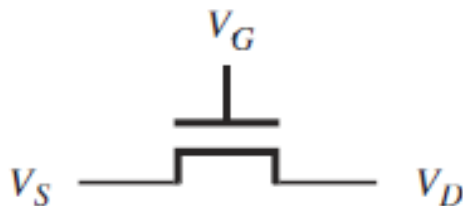
- a) Interruptor simple controlado mediante la entrada x



- b) Transistor NMOS



- c) Símbolo simplificado de un transistor NMOS



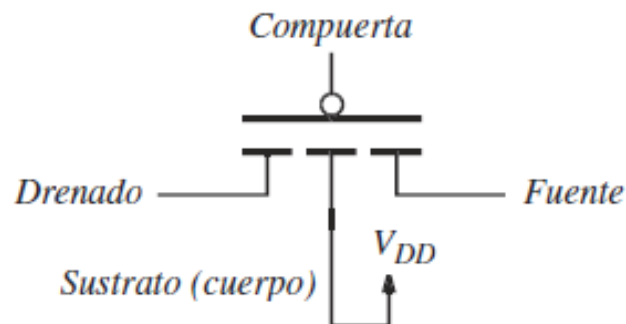
El transistor NMOS está controlado por el voltaje V_G en la terminal de compuerta. Si V_G es bajo, entonces no hay conexión entre la fuente y el drenado, y se dice que el transistor está apagado. Si V_G es alto, entonces el transistor está encendido y opera como un interruptor cerrado que conecta las terminales fuente y drenado.

Los transistores PMOS funcionan de modo opuesto a los NMOS. Estos últimos se utilizan para realizar un tipo de interruptor inverso, donde el interruptor se abre cuando la entrada de control es alta y se cierra cuando es baja.

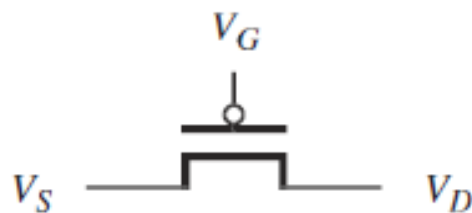
a) Interruptor con el funcionamiento opuesto



b) Transistor PMOS

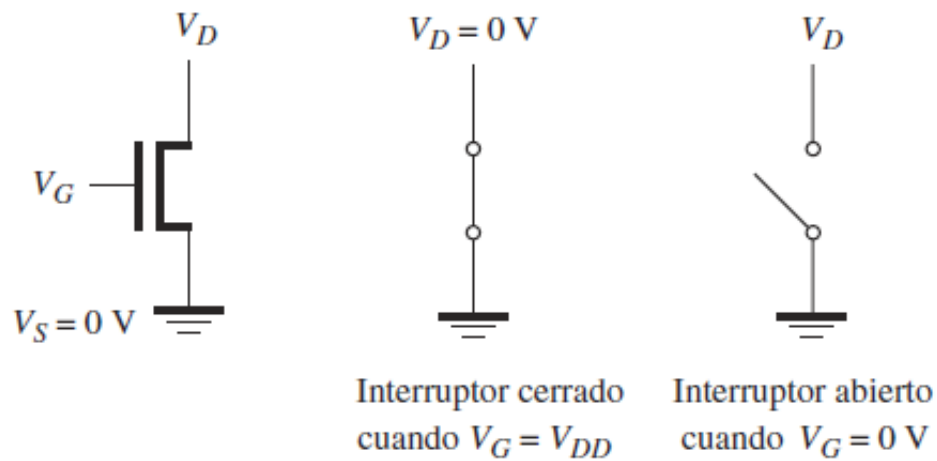


c) Símbolo simplificado de un transistor PMOS

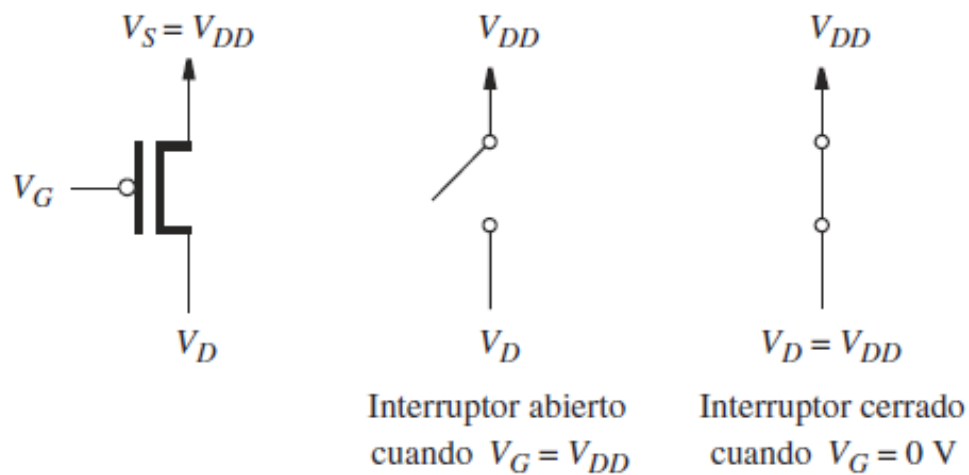


Si V_G es alto, entonces el transistor PMOS se apaga y opera como un interruptor abierto. Cuando V_G es bajo, el transistor se enciende y actúa como un interruptor cerrado que conecta la fuente y el drenado. En el transistor PMOS la fuente es el nodo con el voltaje más alto.

a) Transistor NMOS

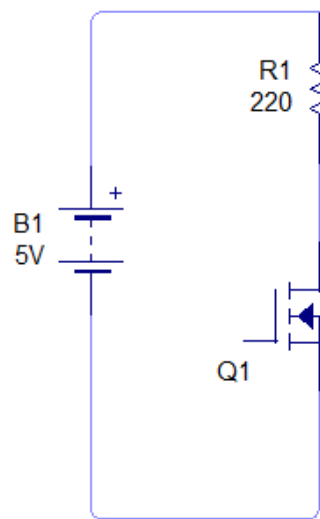


b) Transistor PMOS

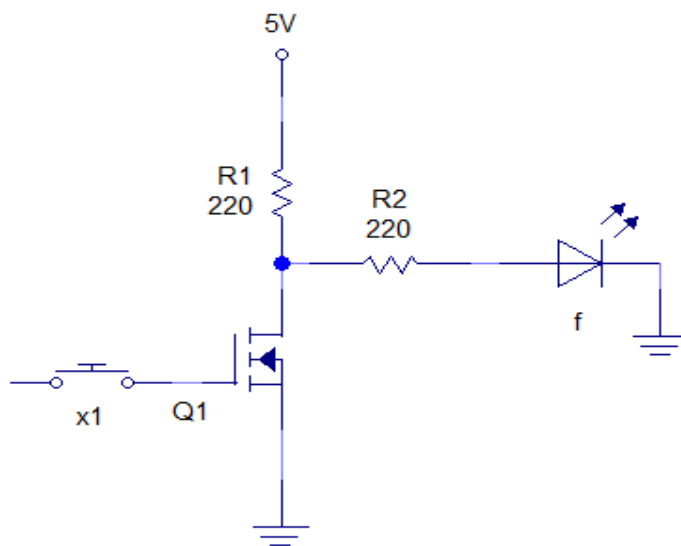


Compuertas lógicas NMOS

a) Diagrama de circuito NOT

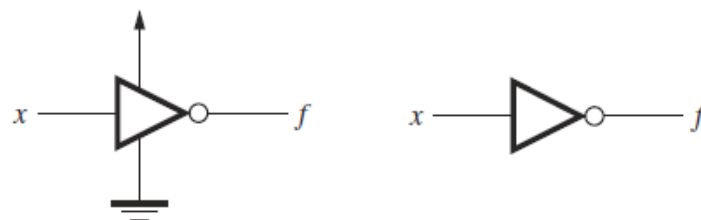


b) Diagrama de circuito simplificado NOT

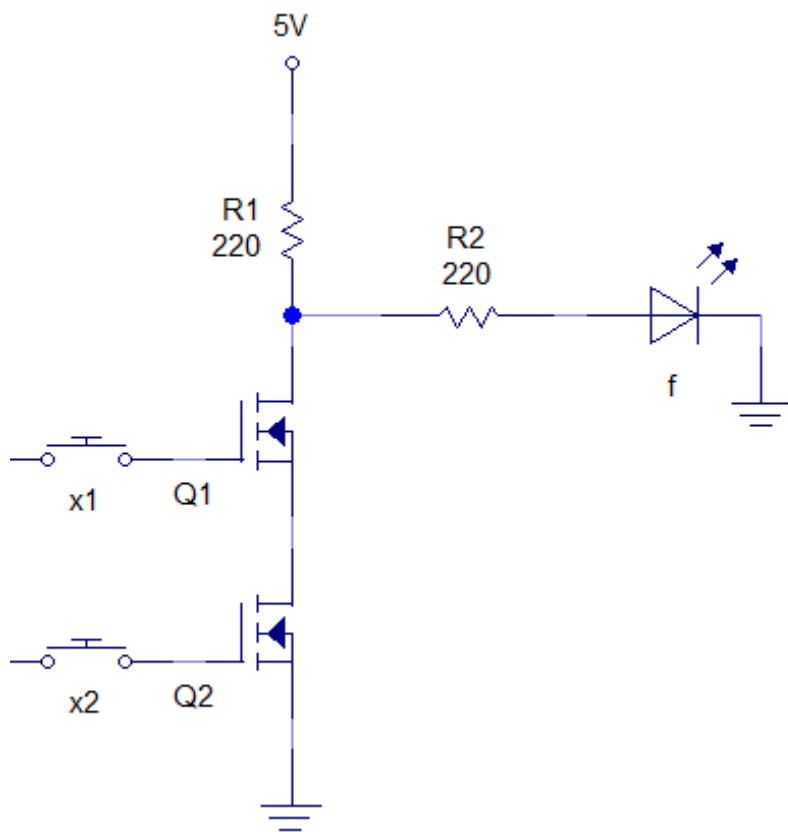


x1	f
0	1
1	0

c) Símbolos gráficos NOT

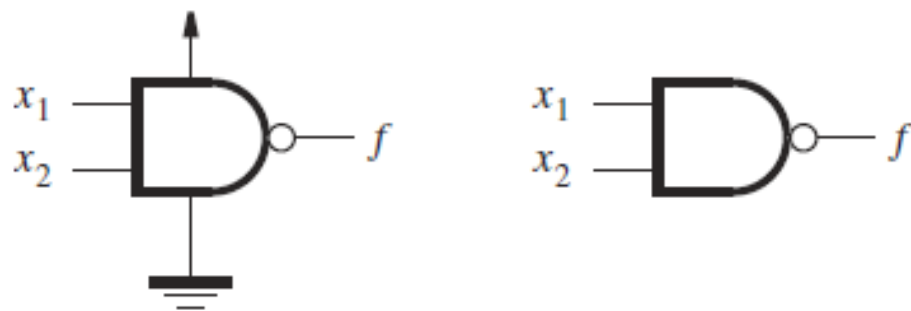


a) Compuerta NAND

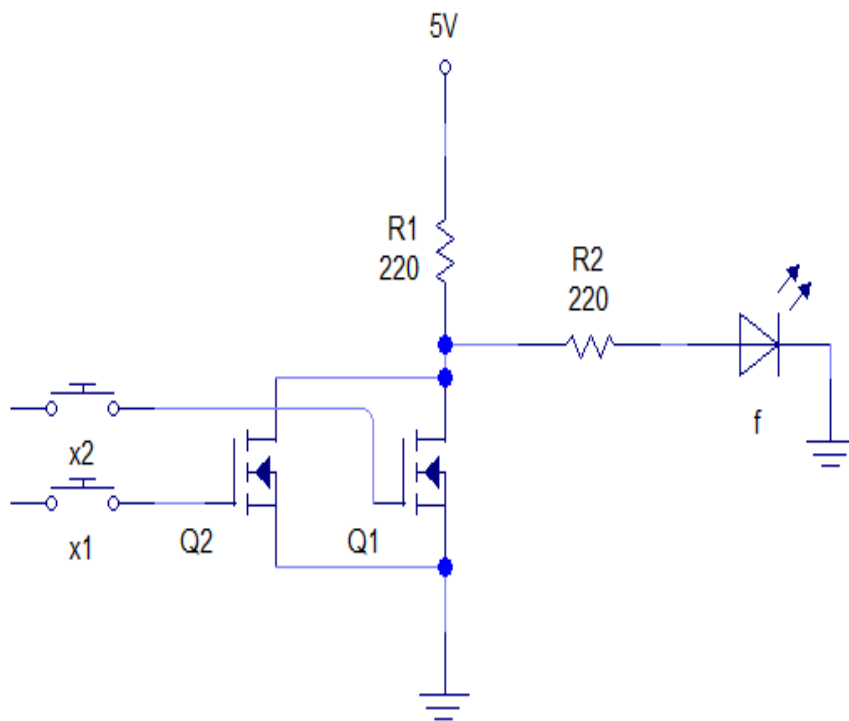


x1	x2	f
0	0	1
0	1	1
1	0	1
1	1	0

b) Símbolos gráficos

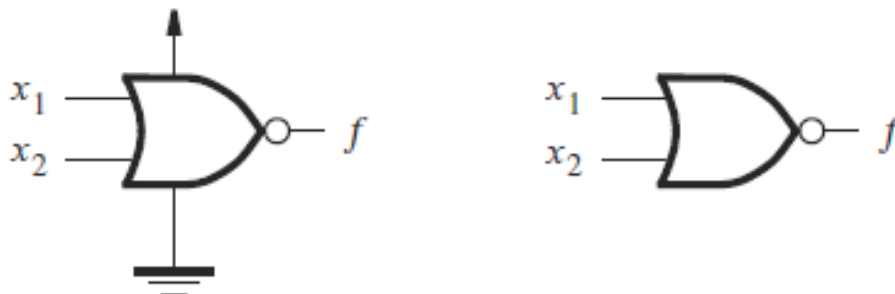


a) Compuerta NOR

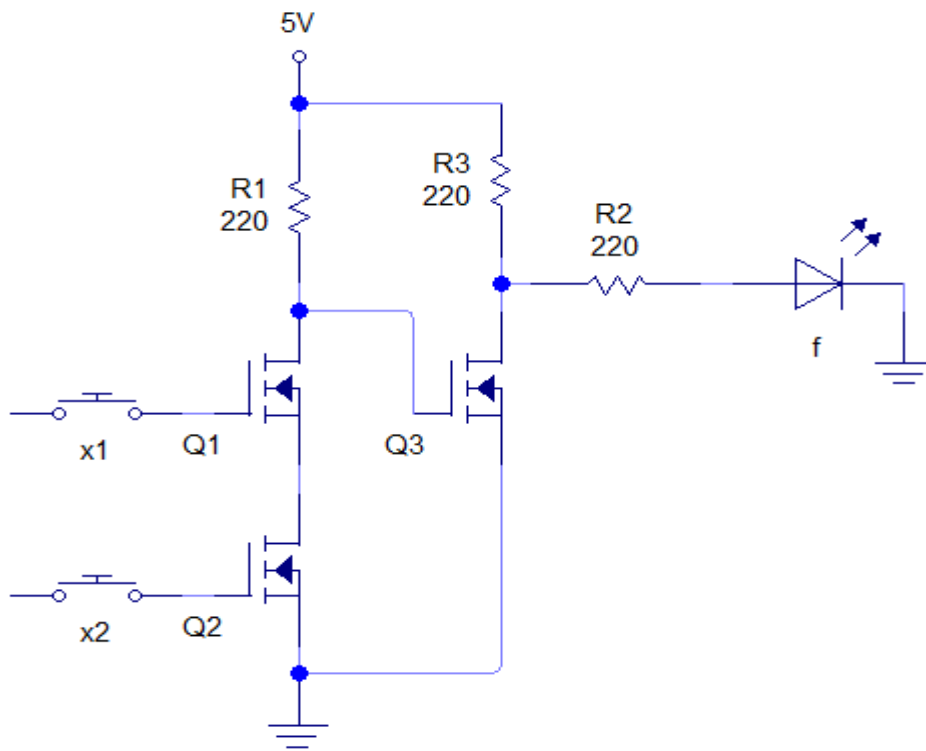


x1	x2	f
0	0	1
0	1	0
1	0	0
1	1	0

b) Símbolos gráficos

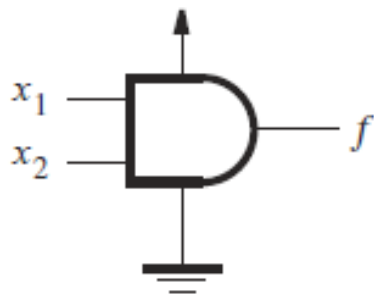


a) Compuerta AND

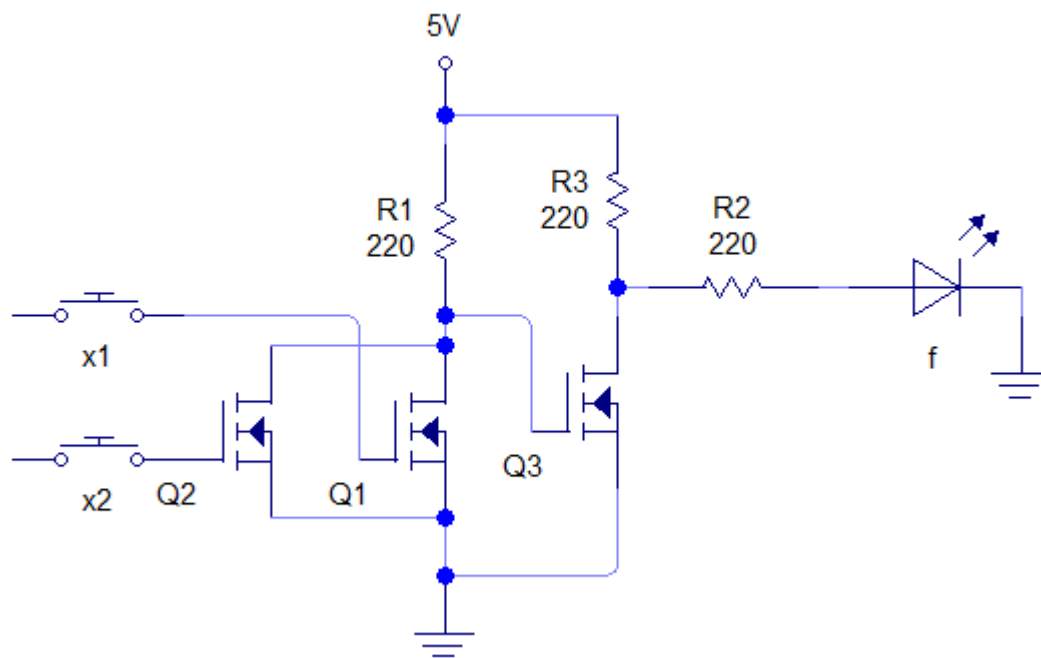


x1	x2	f
0	0	0
0	1	0
1	0	0
1	1	1

b) Símbolos gráficos

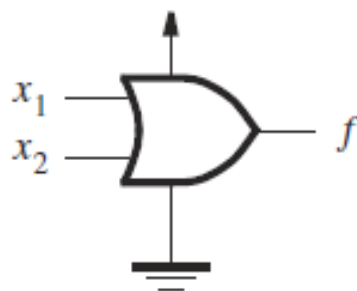


a) Compuerta OR



x1	x2	f
0	0	0
0	1	1
1	0	1
1	1	1

b) Símbolos gráficos

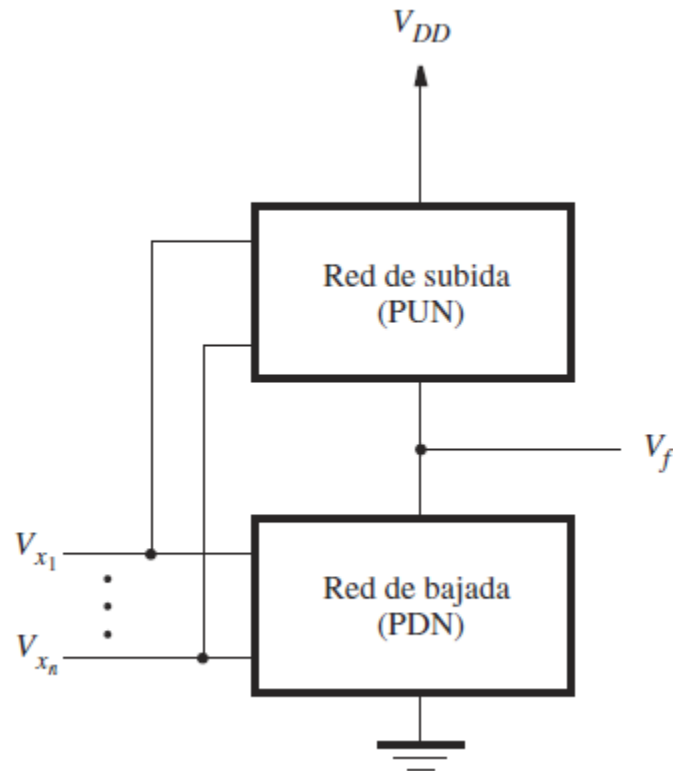


Compuertas lógicas CMOS

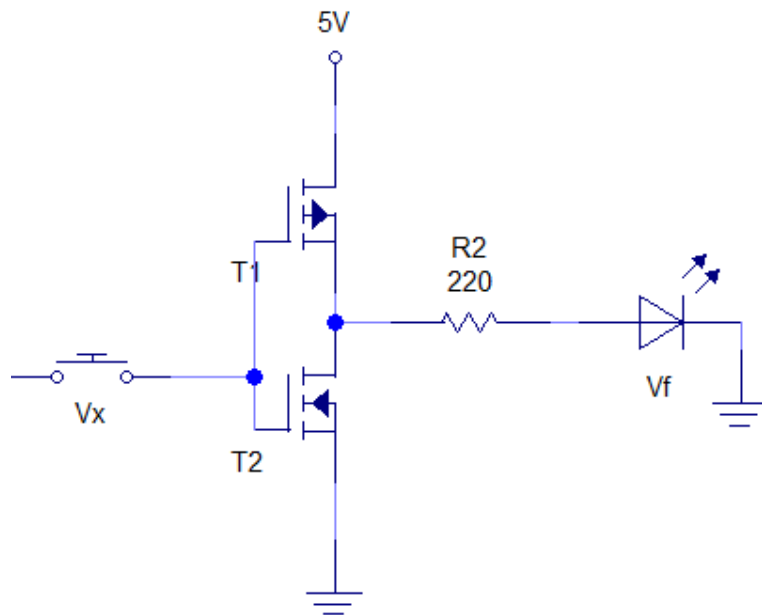
El conjunto de los transistores NMOS y PMOS al utilizarlos mutuamente da paso a un enfoque conocido como tecnología CMOS.

El concepto del circuito CMOS se basa en la sustitución del dispositivo de subida con una red de subida (PUN, pull-up network) construida con transistores PMOS, de modo que las funciones realizadas por las redes PDN (pull-down network) y PUN se complementan.

Estructura de un circuito CMOS



a) Realización CMOS de una compuerta NOT



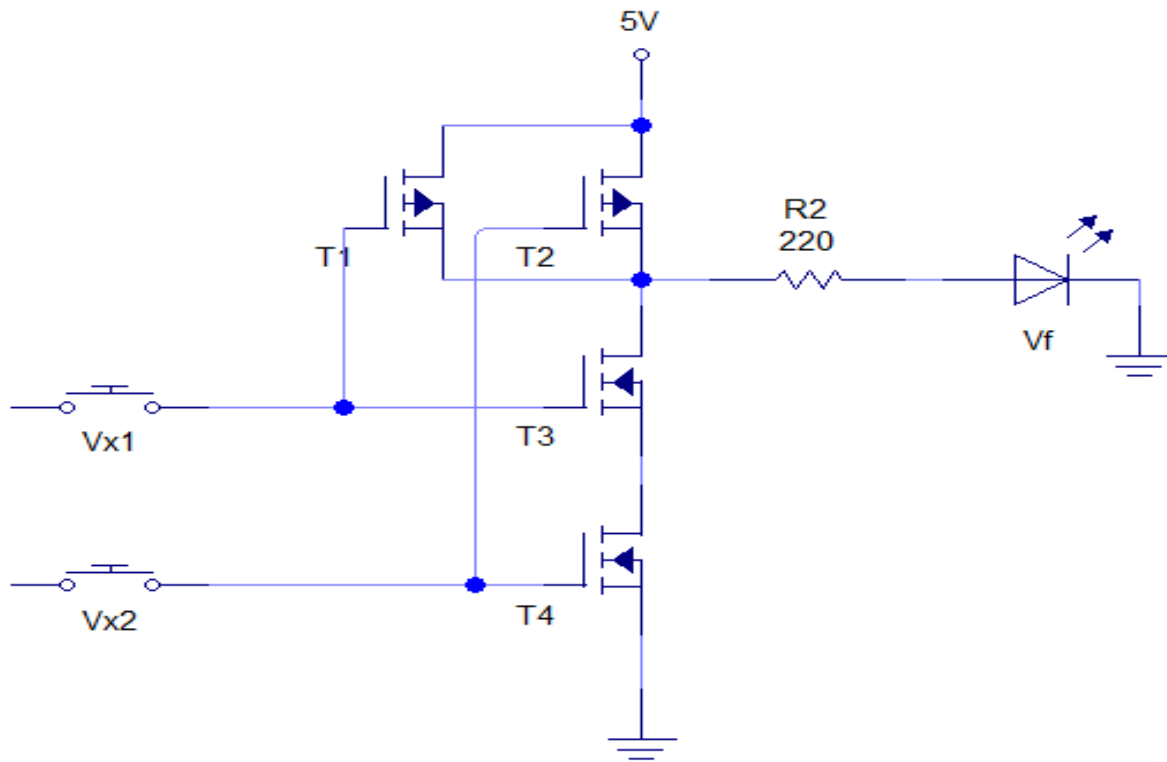
x	T1	T2	f
0	on	off	1
1	off	on	0

b) Realización CMOS de una compuerta NAND

$$f = \overline{X_1 X_2}$$

$$f = \overline{X_1} + \overline{X_2} \quad PMOS$$

$$\overline{f} = \overline{\overline{X_1 X_2}} \quad NMOS$$



x1	x2	T1	T2	T3	T4	f
0	0	on	on	off	off	1
0	1	on	off	off	on	1
1	0	off	on	on	off	1
1	1	off	off	on	on	0

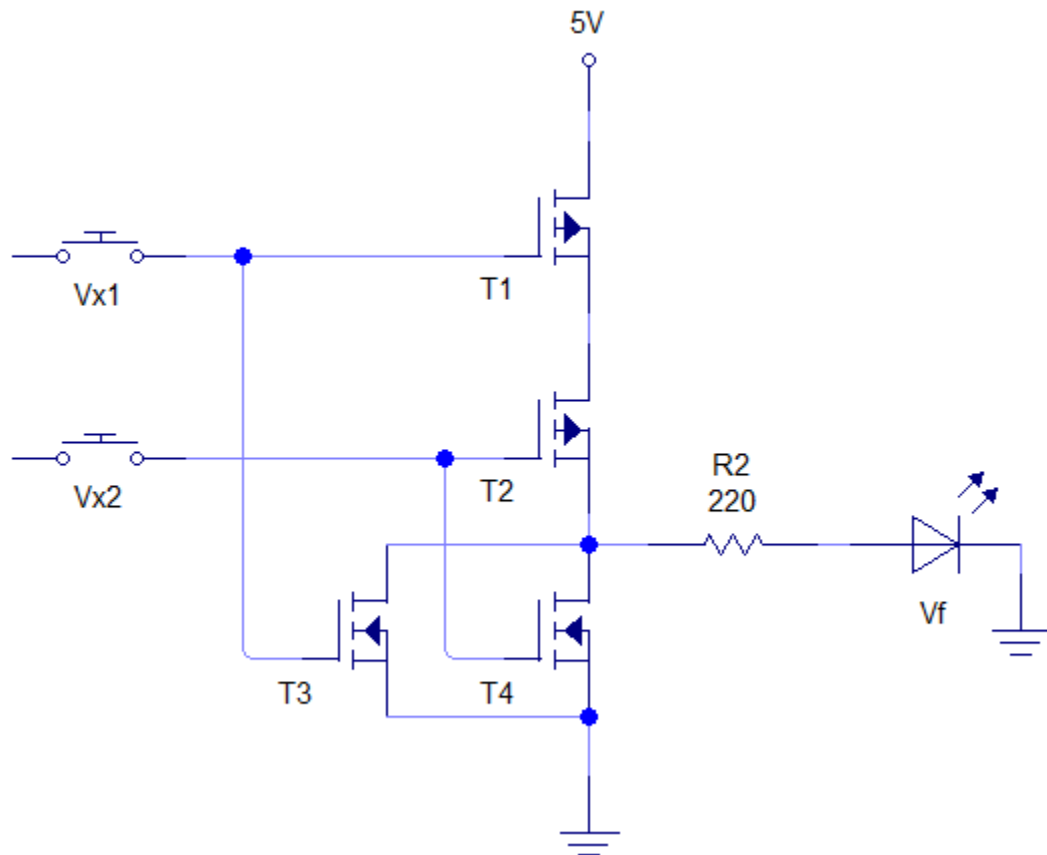
c) Realización CMOS de una compuerta NOR

$$f = \overline{X_1 + X_2}$$

$$f = \overline{X_1} \overline{X_2} \quad PMOS$$

$$\overline{f} = \overline{\overline{X_1 + X_2}}$$

$$\overline{f} = X_1 + X_2 \quad NMOS$$



x1	x2	T1	T2	T3	T4	f
0	0	on	on	off	off	1
0	1	on	off	off	on	0
1	0	off	on	on	off	0
1	1	off	off	on	on	0

d) Realización CMOS de una compuerta AND

